

BỘ QUỐC PHÒNG
HỌC VIỆN KỸ THUẬT QUÂN SỰ

PHẠM MẠNH HÀ

**NGHIÊN CỨU CẢI TIẾN MẠCH SAN BẰNG,
MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ
TRONG MÁY THU QUANG**

Chuyên ngành: Kỹ thuật điện tử
Mã số: 9.52.02.03

TÓM TẮT LUẬN ÁN TIẾN SĨ KỸ THUẬT

HÀ NỘI – 2023

**CÔNG TRÌNH ĐƯỢC HOÀN THÀNH TẠI
HỌC VIỆN KỸ THUẬT QUÂN SỰ - BỘ QUỐC PHÒNG**

Người hướng dẫn khoa học: PGS.TS Nguyễn Thế Quang

Phản biện 1: PGS.TS Bùi Thanh Tùng, Đại học QGHN

Phản biện 2: PGS.TS. Lê Hải Châu, Học viện CNBCVT

Phản biện 3: PGS.TS Đào Thanh Toán, Trường ĐH GTVT

Luận án sẽ được bảo vệ trước Hội đồng chấm luận án cấp Học viện theo Quyết định số 544/QĐ-HV ngày 16/02/2023 của Giám đốc Học viện Kỹ thuật Quân sự, họp tại Học viện Kỹ thuật Quân sự vào hồi: giờ ngày tháng năm 2023

Có thể tìm hiểu luận án tại:

- 1. Thư viện Học viện Kỹ thuật Quân sự**
- 2. Thư viện Quốc gia**

MỞ ĐẦU

1. Lý do chọn đề tài

Để đáp ứng nhu cầu trao đổi thông tin tốc độ cao với độ chính xác cao ngày càng tăng lên thì hệ thống thông tin quang ra đời như chìa khóa để tạo ra các mạng thông tin băng thông rộng, tốc độ cao. Trong hệ thống thông tin quang điển hình thì mạch san bằng (EQ: Equalizer) và mạch khôi phục dữ liệu, xung đồng hồ (CDR: Clock and Data Recovery) trong máy thu quang đóng vai trò quan trọng, quyết định trực tiếp chất lượng của hệ thống.

Để chống lại các ảnh hưởng của kênh truyền người ta sử dụng các mạch san bằng để đảo ngược ảnh hưởng của kênh truyền dữ liệu. Do các đặc tính của kênh truyền không biết trước đối với quá trình truyền dữ liệu nên mạch san bằng được thiết kế sẵn sẽ không tối ưu. Do đó các mạch san bằng thích nghi trở nên phù hợp hơn. Các giải pháp san bằng thích nghi khác nhau được chia thành 3 nhóm chính gồm sử dụng các mạch lọc, quản lý độ mở của mẫu mắt (Eye Open Monitor), sử dụng bộ đếm; tuy nhiên các nghiên cứu cho đến nay hoặc cần các mạch tương tự phức tạp, hiệu suất của mạch phát hiện công suất, mạch phát hiện độ dốc và mạch phát hiện đỉnh có thể nhạy với các thay đổi của quá trình xử lý, hoặc việc san bằng không thể thực hiện với sơ đồ mẫu mắt đóng ban đầu dẫn đến hạn chế khả năng ứng dụng của nó, hoặc hiệu suất san bằng phụ thuộc rất nhiều vào mật độ dữ liệu đầu vào, hoặc chất lượng san bằng có sự trả giá với phần cứng sử dụng trong mạch thích nghi, hoặc yêu cầu các mạch nhớ số lớn và thời gian thích nghi dài. Vì vậy cần nghiên cứu mạch san bằng thích nghi không phức tạp, không bị hạn chế các trường hợp ứng dụng và có độ chính xác cao.

Trong máy thu quang, mạch CDR nằm sau mạch san bằng và đóng một vai trò quan trọng, quyết định đến chất lượng khôi phục lại

tín hiệu. Trong đó mạch CDR dựa trên vòng khóa pha (PLL) được nghiên cứu và thiết kế phổ biến. Do khoảng bám tần số hẹp của mạch PLL mà hầu hết việc thiết kế mạch CDR yêu cầu thêm một mạch phát hiện tần số (FD). Dựa vào phương thức bám tần số mà có hai phương thức của CDR gồm CDR sử dụng tần số tham chiếu và CDR không sử dụng tần số tham chiếu, như sau:

Thứ nhất là sử dụng một xung đồng hồ tham chiếu bên ngoài cho việc bám tần số. Phương thức này đơn giản nhưng làm tăng giá thành sản phẩm, tốc độ dữ liệu đầu vào bị giới hạn đến một hoặc một vài giá trị rời rạc nên không thích hợp với yêu cầu dải rộng của tốc độ dữ liệu.

Thứ hai là trích trực tiếp xung đồng hồ từ chuỗi dữ liệu đầu vào mà không cần một xung đồng hồ tham chiếu bên ngoài. Phương pháp này có kỹ thuật thực hiện phức tạp hơn nhưng nó có miền ứng dụng rộng hơn, đơn giản, giá thành rẻ hơn trong triển khai thực tế. Vì vậy, phương thức này hấp dẫn hơn để nghiên cứu nhưng các nghiên cứu trước đây hoặc làm tăng thời gian bám tần số, hoặc có khoảng bám hạn chế, hoặc không đáp ứng được với tốc độ dữ liệu đầu vào thay đổi liên tục, hoặc độ chính xác của quá trình bám tần số phụ thuộc mạnh vào mật độ chuyển của dữ liệu đầu vào, khiến cho kỹ thuật này không thích hợp với các CDR có mật độ chuyển khác nhau của dữ liệu, hoặc nhạy với nhiễu xuyên ký tự của dữ liệu đầu vào, hoặc dựa trên một mẫu huấn luyện nên chỉ được sử dụng trong một số ứng dụng cụ thể. Như vậy, theo hiểu biết của nghiên cứu sinh thì không dễ để có thể đạt được một CDR thỏa mãn đồng thời việc không sử dụng tần số tham chiếu, dải rộng, có khả năng phát hiện tần số hai hướng và tốc độ dữ liệu liên tục. Vì vậy cần nghiên cứu mạch CDR đáp ứng tất cả các tiêu chí trên.

Xuất phát từ vị trí và vai trò của mạch EQ và CDR trong máy thu quang, từ việc nghiên cứu các vấn đề còn tồn tại đối với các giải pháp

thực hiện san bằng thích nghi và khôi phục dữ liệu và xung đồng hồ, nghiên cứu sinh lựa chọn đề tài **“Nghiên cứu cải tiến mạch san bằng, mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang”** làm đề tài luận án. Trong luận án này, nghiên cứu sinh tập trung vào nghiên cứu về các giải pháp thực hiện san bằng thích nghi và các kỹ thuật khôi phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu. Kết quả của luận án sẽ góp phần vào hoàn thiện thiết kế máy thu quang nói riêng, máy thu dữ liệu nối tiếp tốc độ cao nói chung trên công nghệ CMOS (Complementary Metal Oxide Semiconductor). Trong luận án, Nghiên cứu sinh lựa chọn công nghệ CMOS cho thiết kế mạch EQ và CDR vì độ phổ biến rộng rãi, khả năng tích hợp cao và giá thành phù hợp hơn của CMOS so với finFET và GaAs.

2. Mục tiêu và nhiệm vụ của luận án

Mục tiêu của luận án là nghiên cứu đề xuất mạch san bằng thích nghi và mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang có kiến trúc thực hiện mạch đơn giản, có thời gian bám tần số và thời gian thích nghi san bằng ngắn.

Nhiệm vụ của luận án để đạt được mục tiêu nêu trên là:

- Đề xuất kỹ thuật san bằng thích nghi sử dụng bộ đếm để nâng cao độ chính xác san bằng và giảm thời gian san bằng thích nghi.
- Đề xuất mạch khôi phục dữ liệu và xung đồng hồ với phương pháp phát hiện tần số có kiến trúc không phức tạp, dải bám tần số rộng, không sử dụng tần số tham chiếu, có khả năng phát hiện tần số theo hai hướng, có khả năng đáp ứng với dữ liệu đầu vào có tốc độ thay đổi liên tục và có thời gian bám tần số ngắn.

3. Đối tượng và phạm vi nghiên cứu

- Đối tượng nghiên cứu: Mạch san bằng, mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang hữu tuyến.

- Phạm vi nghiên cứu:
- + Kỹ thuật san bằng thích nghi.
- + Kỹ thuật phát hiện tần số trong mạch khô phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu.

4. Phương pháp nghiên cứu

Luận án kết hợp phương pháp phân tích lý thuyết, thiết kế và mô phỏng trên phần mềm thiết kế chip chuyên dụng, cụ thể:

Phương pháp phân tích lý thuyết được sử dụng để nghiên cứu, đánh giá giải pháp thực hiện san bằng thích nghi và phát hiện tần số trong máy thu quang, từ đó đề xuất giải pháp thực hiện nâng cao chất lượng của mạch san bằng, mạch khô phục dữ liệu và xung đồng hồ.

Thiết kế, mô phỏng mạch san bằng, mạch khô phục dữ liệu và xung đồng hồ đề xuất trên phần mềm Cadence để đánh giá chất lượng của mạch.

5. Đóng góp của luận án

- Đề xuất mạch san bằng không có mạch tương tự phức tạp, sử dụng bộ đếm với dữ liệu đã lấy mẫu để điều chỉnh thích nghi hệ số khuếch đại của mạch san bằng nhằm nâng cao độ chính xác san bằng và đạt được thời gian thích nghi ngắn. Đóng góp này được trình bày trong công trình [C2].

- Đề xuất mạch khô phục dữ liệu và xung đồng hồ có khả năng bám tốc độ dữ liệu đầu vào thay đổi liên tục, thời gian bám tần số ngắn. Đóng góp được trình bày trong công trình [J1], [C1], [J2], [C3], [C4].

6. Bố cục của luận án

Chương 1 “Tổng quan về mạch san bằng và khô phục dữ liệu, xung đồng hồ trong máy thu quang”.

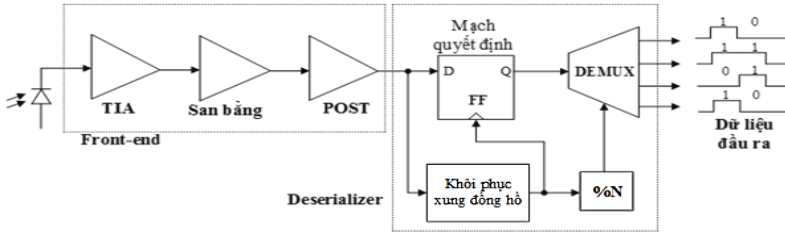
Chương 2 “Thiết kế mạch san bằng thích nghi sử dụng bộ đếm”.

Chương 3 “Thiết kế mạch khô phục dữ liệu và xung đồng hồ tốc độ dữ liệu liên tục”.

CHƯƠNG 1

TỔNG QUAN VỀ MẠCH SAN BẰNG VÀ KHÔI PHỤC DỮ LIỆU, XUNG ĐỒNG HỒ TRONG MÁY THU QUANG

1.1. Kiến trúc của máy thu quang



Hình 1.2: Kiến trúc máy thu quang

Máy thu quang gồm một photodiode, một mạch Front-end và một mạch Deserializer như Hình 1.2 [40].

1.2. San bằng trong máy thu quang

Dữ liệu truyền qua kênh chịu một số tổn hao phụ thuộc tần số do tính chất lọc thông thấp tự nhiên của các kênh hữu tuyến. Điều này sẽ gây ra ISI là nhiễu của các bit trước hoặc sau với bit được truyền hiện tại. ISI là không mong muốn tại máy thu và chúng ta muốn các bit được truyền không ảnh hưởng đến các bit lân cận của chúng. Ảnh hưởng của ISI làm đóng mẩu mắt, dẫn đến việc khôi phục xung đồng hồ và dữ liệu trở nên khó khăn và sẽ làm giảm chất lượng của máy thu. Để bù cho tổn hao phụ thuộc vào tần số này thì mạch san bằng được sử dụng để khắc phục những ảnh hưởng của kênh truyền trên dữ liệu thu được.

Các mạch san bằng tuyến tính và các mạch san bằng phi tuyến là hai kiểu san bằng tại máy thu có thể được sử dụng để bù ISI. Mạch san bằng tuyến tính có thể làm việc đúng với cả những mẫu mắt dữ liệu đã đóng hoàn toàn và trong điều kiện tỷ lệ lỗi bit (BER) cao, tuy nhiên ngoài khuếch đại tín hiệu thì chúng cũng khuếch đại tạp âm tần số cao. Ngược lại, các mạch san bằng phi tuyến không khuếch đại tạp âm tần số cao nhưng cần mẫu mắt dữ liệu ban đầu mở để hoạt động đúng [41].

1.3. Mạch CDR trong máy thu quang

Mạch khôi phục dữ liệu và xung đồng hồ (CDR) tạo ra một tín hiệu xung đồng hồ từ luồng dữ liệu nhị phân đầu vào. Trong phạm vi nghiên cứu, luận án tập trung vào trình bày về các kiến trúc của mạch CDR dựa trên PLL. Từ các nghiên cứu về các mạch phát hiện pha (PD) và FD, các kiến trúc của mạch CDR dựa trên PLL hoàn chỉnh có thể đạt được. Mỗi kiến trúc phải bao gồm (a) đạt được sự bám tần số và pha để đảm bảo khóa mạch dù có sự thay đổi tần số của VCO do quá trình xử lý và nhiệt độ và (b) khôi phục lại dữ liệu bên trong mạch PD để tránh vấn đề *skew* hệ thống. Trong đó *skew* là hiện tượng một tín hiệu xung đồng hồ tới các mạch khác nhau tại các thời điểm khác nhau.

1.4. Kết luận Chương 1

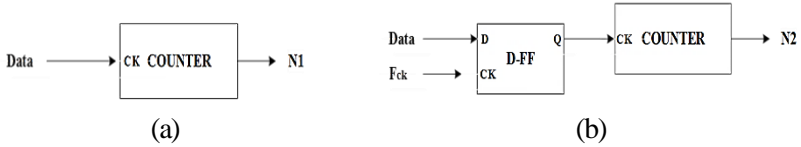
Nội dung Chương 1 đã trình bày tổng quan về kiến trúc của máy thu phát quang, vị trí, vai trò và cấu tạo các thành phần của mạch EQ và mạch CDR cũng được giới thiệu. Từ đó đề xuất mạch san bằng thích nghi và mạch CDR tốc độ dữ liệu liên tục trong các máy thu quang.

CHƯƠNG 2

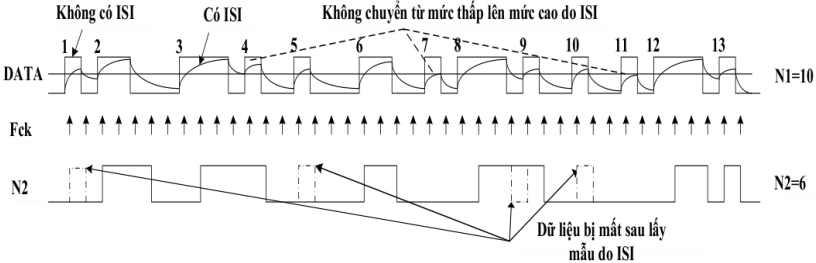
THIẾT KẾ MẠCH SAN BẰNG THÍCH NGHI SỬ DỤNG BỘ ĐẾM

2.1. Kỹ thuật san bằng thích nghi dựa trên bộ đếm đề xuất

Thuật toán san bằng thích nghi sử dụng bộ đếm trong [10] dựa trên nguyên tắc là số sườn của dữ liệu lớn hơn khi ảnh hưởng của ISI nhỏ và ngược lại. Nhờ vậy giảm được sự phức tạp trong thực hiện mạch và thời gian thích nghi. Tuy nhiên kỹ thuật này có độ chính xác thực hiện san bằng không cao. Để nâng cao độ chính xác trong thực hiện san bằng, nghiên cứu sinh đề xuất thay vì đếm trực tiếp số sườn tăng của dữ liệu thì thực hiện đếm số sườn tăng của dữ liệu đã được lấy mẫu. Hình 2.17 thể hiện sự so sánh giữa thực hiện san bằng trong [10] với thực hiện san bằng của đề xuất này, và biểu diễn trên miền thời gian của chúng được thể hiện như trong Hình 2.18 với ảnh hưởng của ISI.



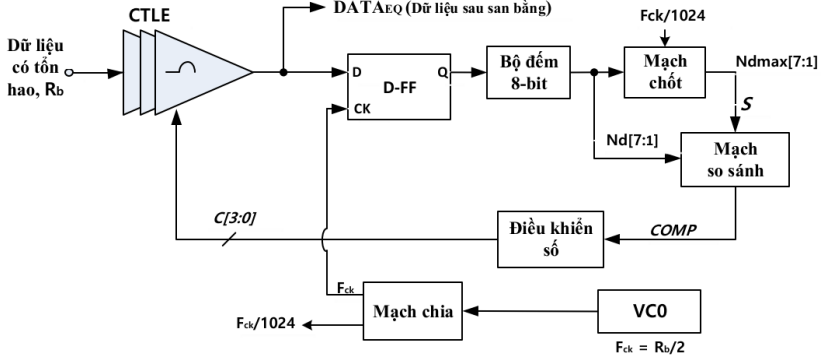
Hình 2.17: (a) Sơ đồ khối nguyên lý san bằng trong [10], (b) sơ đồ khối nguyên lý san bằng để xuất



Hình 2.18: Biểu đồ trên miền thời gian của Hình 2.17

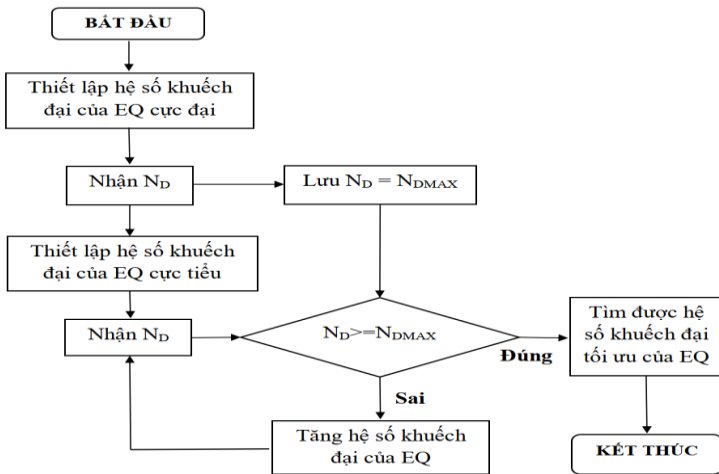
Trong Hình 2.17(a), dữ liệu được đưa trực tiếp vào bộ đếm để đếm số sườn tăng của dữ liệu. Kết quả được ghi nhận như $N1$. Trong Hình 2.17(b), dữ liệu được lấy mẫu bởi một xung đồng hồ trước khi đưa vào bộ đếm. Kết quả được ghi nhận như $N2$. Như Hình 2.18, với dữ liệu không bị ảnh hưởng bởi ISI (dữ liệu không bị biến dạng) thì số sườn tăng của dữ liệu là 13, trong khi dữ liệu ảnh hưởng bởi ISI thì việc đếm trực tiếp số sườn tăng của dữ liệu cho kết quả $N1$ bằng 10 và đếm số sườn tăng của dữ liệu sau khi đã lấy mẫu cho kết quả $N2$ bằng 6. Điều này là do khi bị ảnh hưởng bởi ISI thì dữ liệu bị biến dạng, sườn của dữ liệu không có sự chuyển từ mức thấp lên mức cao (tại sườn tăng thứ 4, 7 và 11) nên bộ đếm không phân biệt được ($N1 = 10$) và việc lấy mẫu dữ liệu bị ISI mạnh cũng dẫn đến thiếu một số sự chuyển mức của dữ liệu thu được như được biểu diễn bằng các đường nét đứt trên Hình 2.18 ($N2 = 6$). Với việc thiếu một số giá trị $N2$ do ISI gây ra ($N2 < N1$), việc đếm số sườn tăng của dữ liệu đã được lấy mẫu sẽ nhạy cảm với ISI hơn so với việc đếm trực tiếp số sườn tăng của dữ liệu. Điều này nghĩa là việc đếm trực tiếp số sườn tăng của dữ liệu cho thực hiện san bằng thường là san bằng chưa đủ với dữ liệu chịu ảnh hưởng mạnh bởi ISI.

Như vậy, kỹ thuật san bằng của đề xuất này chính xác hơn trong [10].



Hình 2.19: Sơ đồ khối của mạch san bằng thích nghi đề xuất

Sơ đồ khối của mạch san bằng tuyến tính thời gian liên tục thích nghi (CTLE) được thể hiện trong Hình 2.19.



Hình 2.20: Thuật toán san bằng thích nghi

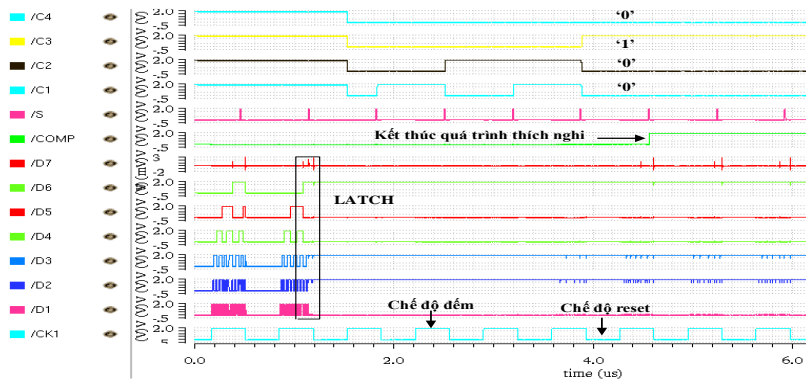
Mạch san bằng thích nghi đề xuất bao gồm CTLE, flip-flop loại D (D-FF), bộ đếm 8 bit, mạch chốt dữ liệu, mạch so sánh, mạch điều khiển số tạo ra 4 bit điều khiển C[3:0], mạch dao động điều khiển bằng

điện áp (VCO) và mạch chia xung nhịp. Trong thiết kế này, mạch VCO tạo ra tần số bằng một nửa tốc độ của dữ liệu đầu vào ($F_{ck} = R_b/2$) để tương thích với mạch CDR bán tốc, sự tăng lên của 4 bit điều khiển $C[3:0]$ tương ứng với sự tăng lên của hệ số khuếch đại mạch san bằng. Giá trị đầu ra của bộ đếm 8-bit được lưu bằng N_d . Dữ liệu sau san bằng của mạch là $DATA_{EQ}$.

Hình 2.20 thể hiện thuật toán san bằng thích nghi cho mạch san bằng được đề xuất. Quá trình thích nghi được chia thành 2 chu kỳ. Chu kỳ đầu tiên, hệ số khuếch đại tần số cao của CTLE được thiết lập lớn nhất ($C[3:0] = 1111$). Dữ liệu đã san bằng được lấy mẫu tại D-FF bởi một xung đồng hồ đồng bộ từ mạch chia xung nhịp với $F_{ck} = R_b/2$, sau đó các sườn tăng của dữ liệu đã lấy mẫu được đếm bởi bộ đếm 8 bit, kết quả đếm được lưu trữ trong mạch chốt như $N_{dmax}[7:0]$. Mạch chốt chỉ hoạt động một lần ở trạng thái ban đầu khi mạch CTLE có hệ số khuếch đại lớn nhất. Sau khi nhận giá trị $N_{dmax}[7:0]$, hệ số khuếch đại tần số cao của CTLE được đặt lại đến cực tiểu ($C[3:0] = 0000$), kết thúc chu kỳ đầu tiên và bắt đầu chu kỳ thứ 2 của quá trình thích nghi. Giá trị $N_d[7:1]$ nhận được từ bộ đếm 8 bit trong chu kỳ thứ 2 được so sánh với $N_{dmax}[7:1]$ được lưu trữ trong chu kỳ đầu tiên của quá trình thích nghi. Nếu $N_d[7:1]$ nhỏ hơn $N_{dmax}[7:1]$ thì tín hiệu $COMP$ ở đầu ra mạch so sánh ở mức logic thấp và mạch điều khiển số sẽ tăng mã $C[3:0]$ để tăng hệ số khuếch đại tần số cao của CTLE. Khi $N_d[7:1]$ bằng hoặc lớn hơn $N_{dmax}[7:1]$, tín hiệu $COMP$ chuyển từ mức logic thấp lên mức logic cao. Khi đó, mã $C[3:0]$ được cố định, mạch san bằng đạt được hệ số khuếch đại tần số cao tối ưu, quá trình san bằng thích nghi được hoàn thành.

2.2. Các kết quả mô phỏng

Hình 2.25 là kết quả mô phỏng hoạt động của mạch EQ đề xuất với các hoạt động chốt và thích nghi của EQ.

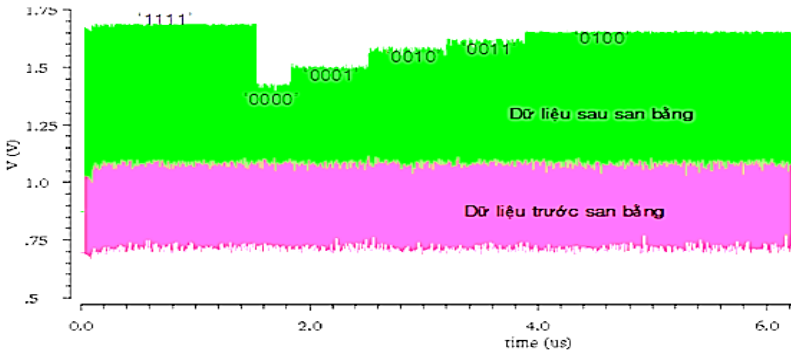


Hình 2.25: Kết quả mô phỏng mạch EQ thích nghi đề xuất tại tốc độ dữ liệu đầu vào 3 Gb/s

Đầu tiên, mã điều khiển hệ số khuếch đại CTLE C[3:0] được đặt bằng 1111 để cực đại hệ số khuếch đại tần số cao của CTLE. Trong thời gian này, đầu ra bộ đếm 8 bit B[7:0] được lưu thành D[7:0]. Sau đó, C[3:0] được đặt lại bằng 0000 để cực tiểu hệ số khuếch đại tần số cao của CTLE và bắt đầu quá trình thích nghi. Mã điều khiển hệ số khuếch đại của CTLE C[3:0] được thích nghi bằng cách so sánh giá trị giữa B[7:1] và D[7:1]. Khi B[7:1] bằng hoặc lớn hơn D[7:1], tín hiệu COMP lên mức logic cao và thuật toán thích nghi kết thúc. Khi đó, mạch EQ khóa mã điều khiển hệ số khuếch đại của CTLE là 0100, hệ số khuếch đại đạt được của CTLE là 16,8 dB.

Hình 2.26 là dạng sóng của dữ liệu đầu vào và đầu ra mạch EQ. Dữ liệu đầu vào mạch EQ được thiết lập có biên độ nhỏ để đánh giá hiệu quả san bằng. Ban đầu, biên độ dữ liệu đầu ra được thiết lập cực đại khi mã điều khiển là 1111, sau đó biên độ này được thiết lập đến cực tiểu với mã điều khiển là 0000. Biên độ đầu ra mạch EQ tăng theo sự tăng lên của mã điều khiển hệ số khuếch đại mạch CTLE và được giữ cố định khi quá trình thích nghi kết thúc. Một mô phỏng được thực hiện cho kỹ thuật san bằng thích nghi trong [10] và kỹ thuật san bằng thích

nghi đề xuất với cùng điều kiện để kiểm chứng hiệu quả của đề xuất.



Hình 2.26: Dữ liệu trước và sau khi thực hiện san bằng

Bảng 2.1 thể hiện sự so sánh của hai EQ về độ chính xác. Với kỹ thuật san bằng thích nghi đề xuất, độ mở của mẫu mắt dữ liệu đạt được rộng hơn so với sự thực hiện trong [10]. Bằng cách đếm các sườn của dữ liệu đã lấy mẫu thay vì đếm trực tiếp các sườn dữ liệu, mạch EQ thích nghi đề xuất hoạt động chính xác hơn mạch EQ trong [10].

Bảng 2.1: So sánh độ chính xác của mạch EQ của [10] và của đề xuất

	Trước san bằng	Mạch EQ trong [10]	Mạch EQ đề xuất
dX (ps)	216	185	230
dY (mV)	102	739	772
Hệ số khuếch đại của CTLE (dB)		12	16.8
Mã điều khiển hệ số khuếch đại CTLE C[3:0]		0010	0100

Bảng 2.2 thể hiện chất lượng so sánh của mạch EQ đề xuất với các nghiên cứu có cùng kiến trúc san bằng sử dụng CTLE. Mạch EQ đề xuất có thời gian thích nghi ngắn hơn so với [9, 10] và có dải động điện áp đầu ra lớn hơn [6, 10]. Hơn nữa, mạch EQ đề xuất không sử dụng một tần số tham chiếu bên ngoài chip như [10, 18]. Điều này sẽ tăng khả năng tích hợp trên chip cho mạch EQ đề xuất.

Bảng 2.2: So sánh chất lượng mạch EQ đề xuất với nghiên cứu trước

	[6]	[9]	[10]	[18]	Đề xuất (Mô phỏng)
Công nghệ (nm)	130 CMOS	130 CMOS	40 CMOS	28 CMOS	180 CMOS
Nguồn (V)	1.5	1.2	1.1	0.9	1.8
Tốc độ dữ liệu (Gb/s)	4.7	5.4	5-20	15	3
Kiến trúc san bằng	CTLE	CTLE	CTLE	CTLE + DFE	CTLE
Thời gian thích nghi	N/A	18.37 ms	6 μ s	N/A	4.6 μ s
Dải động điện áp đầu ra	750 mV	N/A	739 mV	N/A	772 mV
Sử dụng xung đồng hồ tham chiếu bên ngoài	Không	Không	Có	Có	Không

2.3. Kết luận chương 2

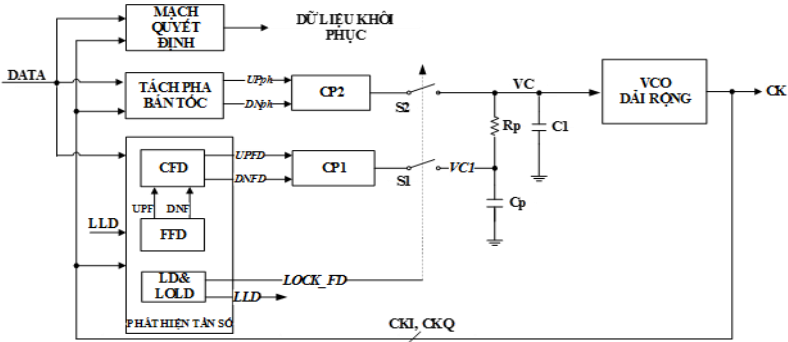
Trong chương 2, luận án đề xuất kỹ thuật san bằng thích nghi dựa trên bộ đếm cho dữ liệu đã được lấy mẫu. Kết quả mô phỏng mạch EQ thích nghi đề xuất trên công nghệ CMOS 180nm cho thấy mạch đạt được thời gian thích nghi ngắn và nâng cao được độ chính xác san bằng.

CHƯƠNG 3

THIẾT KẾ MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ TỐC ĐỘ DỮ LIỆU LIÊN TỤC

3.1. Mạch CDR đề xuất I

Trong phần này, luận án đề xuất một nguyên lý phát hiện tần số theo hai bước bởi kết hợp giữa vòng bám tần số tinh (FFD) và vòng bám tần số thô (CFD). Trong đó thay vì hoạt động độc lập thì CFD và FFD hoạt động đồng thời.



Hình 3.8: Sơ đồ khối của mạch CDR tốc độ dữ liệu liên tục đề xuất

Với kiến trúc mạch phát hiện tần số đề xuất, mạch CDR vừa có khả năng phát hiện sự thay đổi của tốc độ dữ liệu đầu vào, vừa làm việc tốt với dải rộng và các PRBS khác nhau của dữ liệu đầu vào, có khả năng phát hiện tần số theo hai hướng và đạt được thời gian bám tần số ngắn. Sơ đồ khối của mạch CDR bán tốc, không sử dụng tần số tham chiếu đề xuất được thể hiện như trên Hình 3.8.

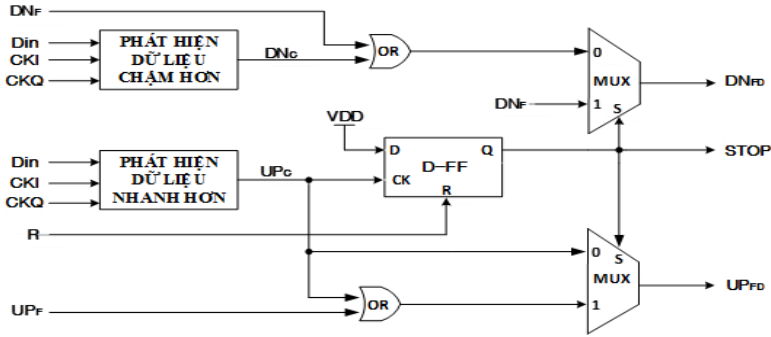
Mạch CDR bao gồm mạch CFD cải tiến, mạch FFD cải tiến, mạch phát hiện trạng thái khóa (LD), mạch phát hiện trạng thái mất khóa (LOLD), mạch tách pha bán tốc bang-bang [18], mạch quyết định để khôi phục dữ liệu, mạch lọc vòng, mạch dao động điều khiển bằng điện áp (VCO) dải rộng và hai mạch bơm-sạc (CP1 và CP2). Ban đầu, chuyển mạch S1 đóng, S2 mở, FLL làm việc để giảm sai lệch giữa tần số của VCO và $\frac{1}{2} R_b$. Khi sai lệch này đủ nhỏ thì CDR khóa tần số (xuất hiện tín hiệu *LOCK_FD* từ mạch LD) và chuyển sang bám pha với chuyển mạch S1 mở và S2 đóng. Tín hiệu *LLD* từ mạch LOLD sẽ xuất hiện mỗi khi R_b thay đổi để bắt đầu một vòng bám tần số mới.

3.1.1. Mạch phát hiện tần số thô đề xuất

Hình 3.9 thể hiện mạch CFD đề xuất, bao gồm một mạch phát hiện dữ liệu nhanh hơn xung đồng hồ, một mạch phát hiện dữ liệu chậm hơn

xung đồng hồ, hai cổng OR, một D-FF và hai bộ ghép kênh (MUX).

Hình 3.9: Sơ đồ khối mạch phát hiện tần số thô CFD đề xuất



Hai tín hiệu UP_F và DN_F là các tín hiệu từ đầu ra của mạch FFD. Mạch phát hiện dữ liệu nhanh hơn và chậm hơn tạo ra các tín hiệu UP_C và DN_C tương ứng. Khi dữ liệu nhanh hơn xung đồng hồ, tín hiệu UP_C xuất hiện, lấy mẫu D-FF, tạo ra tín hiệu $STOP$. Dựa vào giá trị của tín hiệu $STOP$ mà mạch CFD lựa chọn các tín hiệu UP và DN tương ứng.

Nguyên lý hoạt động cụ thể của mạch CFD như sau:

khi không có tín hiệu $STOP$ ($STOP = '0'$):

$$DN_{FD} = DN_F + DN_C \quad (3.1)$$

$$UP_{FD} = UP_C = 0 \quad (3.2)$$

khi có tín hiệu $STOP$ ($STOP = '1'$):

$$DN_{FD} = DN_F \quad (3.3)$$

$$UP_{FD} = UP_F + UP_C \quad (3.4)$$

khi sự sai lệch giữa một nửa tốc độ dữ liệu đầu vào và tần số đầu ra của VCO đủ nhỏ thì $UP_C = 0$, tức là $UP_{FD} = UP_F$, lúc này đầu ra của vòng bám tần số thô chính là các tín hiệu của vòng bám tần số tinh. Như vậy, với cấu trúc đề xuất kết hợp giữa mạch CFD và FFD sẽ cho phép hai vòng bám tần số thô và tinh làm việc đồng thời.

Kỹ thuật phát hiện dữ liệu nhanh hơn xung đồng hồ dựa trên việc

đếm số sườn chuyển liên tiếp của dữ liệu đầu vào trong một chu kỳ xung đồng hồ với chế độ toàn tốc và trong một nửa chu kỳ xung đồng hồ với chế độ bán tốc đã được trình bày trong [19, 31, 32]. Khi đó, khoảng điều chỉnh tần số của VCO là Δf trong khoảng thời gian Δt được xác định theo công thức [32]:

$$\Delta f \approx 4K_{VCO} \frac{\Delta t}{T_b} \cdot \frac{T_{CKI/2} - T_b}{T_{CKI/2}} \cdot \frac{1}{8} \cdot 5T_b \cdot \frac{1}{C_p} \cdot I_{FD_UP} \quad (3.5)$$

Nếu cố định các tham số như hệ số khuếch đại của VCO (K_{VCO}), dòng bơm-sạc (I_{FD_UP}) của mạch CP và giá trị tụ điện (C_p) trong mạch lọc vòng thì khoảng điều chỉnh tần số của VCO phụ thuộc chủ yếu vào độ rộng của xung UP tạo ra từ mạch phát hiện dữ liệu nhanh hơn. Với cùng cách tiếp cận, độ lệch tần số trong mạch phát hiện dữ liệu chậm hơn xung đồng hồ cũng phụ thuộc mạnh vào độ rộng của xung DN. Vì vậy, Nghiên cứu sinh tập trung vào kỹ thuật để mở rộng độ rộng xung UP và xung DN bằng cách thêm một số thành phần mạch phụ trợ vào sơ đồ mạch phát hiện tần số trong [35].

Bảng 3.2: So sánh hiệu quả của mạch phát hiện dữ liệu nhanh hơn

Thời gian mô phỏng (μs)	Khoảng tần số thay đổi được của VCO khi không mở rộng xung UP (MHz) [35]	Khoảng tần số thay đổi được của VCO khi mở rộng xung UP (MHz)	K_F
0.4	175	401	2.27
0.5	243	476	1.96
0.8	378	575	1.52
1	417	615	1.47

Kết quả so sánh hiệu quả bám tần số của các đề xuất được thể hiện tại Bảng 3.2 và Bảng 3.3. Trong đó, K_F là tỷ số về khoảng điều chỉnh được của tần số VCO giữa mạch phát hiện dữ liệu nhanh hơn/ chậm hơn đề xuất và mạch phát hiện dữ liệu nhanh hơn/ chậm hơn trong

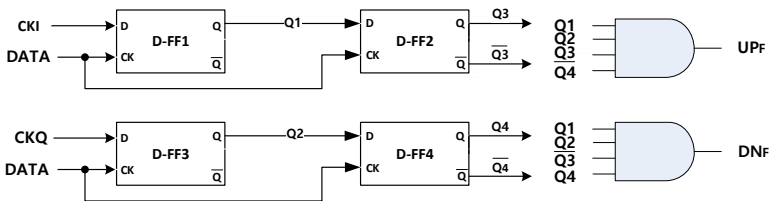
[35]. Có thể thấy rằng, K_F luôn lớn hơn 1 nên với độ rộng xung UP và DN được mở rộng thì mạch CFD bám tăng và giảm tần số cải thiện được thời gian bám tần số so với [35].

Bảng 3.3: So sánh hiệu quả của mạch phát hiện dữ liệu chậm hơn

Thời gian mô phỏng (μs)	Khoảng tần số thay đổi được của VCO khi không mở rộng xung DN (MHz) [35]	Khoảng tần số thay đổi được của VCO khi mở rộng xung DN (MHz)	K_F
100	57	73	1.28
200	77	175	2.27
300	98	276	2.81
400	116	369	3.18

3.1.2. Mạch phát hiện tần số tinh đề xuất

Trong các công trình nghiên cứu [27, 72], mạch FFD sử dụng DQFD (digital quadri-correlator frequency detector) để phát hiện tần số cho CDR bán tốc. Tuy nhiên, mạch FFD này yêu cầu 4 pha của xung đồng hồ. Thông thường, các mạch đệm và các mạch lấy mẫu với nhiều pha của xung đồng hồ sẽ làm tăng công suất tiêu thụ và diện tích chiếm của mạch. Vì vậy, trong luận án này, Nghiên cứu sinh đề xuất mạch DQFD bán tốc cải tiến chỉ sử dụng hai pha của xung đồng hồ. Mạch nguyên lý của mạch phát hiện tần số tinh (FFD) đề xuất được thể hiện trên Hình 3.15.



Hình 3.15: Mạch nguyên lý của mạch FFD đề xuất

Mạch FFD bao gồm 4 D-FF và 2 cổng AND. Khi tốc độ của dữ

liệu đầu vào nhanh hơn tần số của xung đồng hồ thì mạch FFD tạo ra xung UP và ngược lại khi tốc độ của dữ liệu đầu vào chậm hơn tần số của xung đồng hồ thì mạch tạo ra xung DN. Trong điều kiện khóa, không có xung UP và DN được tạo ra.

3.1.3. Kết quả mô phỏng mạch CDR đề xuất I

Mạch CDR đề xuất được thiết kế trên công nghệ CMOS TSMC 180 nm. Các tham số mô phỏng như sau: tốc độ dữ liệu đầu vào bằng 2 Gb/s, tần số dao động thiết lập của mạch VCO bằng 580 MHz, dòng CP cho vòng khóa pha bằng 20 μ A. Kết quả mô phỏng quá trình làm việc của mạch CDR cho thấy mạch CDR đề xuất làm việc tốt với chất lượng của jitter xung đồng hồ khôi phục và dữ liệu khôi phục lần lượt bằng 25 ps và 29 ps. Thời gian đạt được tần số của mạch CDR với khoảng bảm 420 MHz là 2,53 μ s. Mạch CDR có công suất tiêu thụ bằng 43,2 mW với điện áp nguồn cung cấp 1,8 V.

Bảng 3.4: So sánh chất lượng mạch CDR đề xuất I với nghiên cứu trước

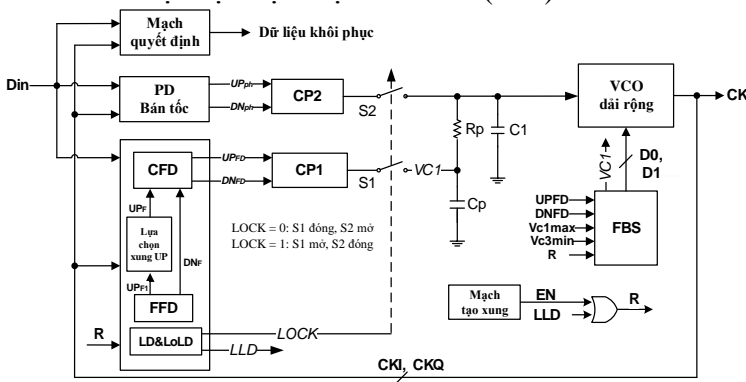
	[34]	[35] (MP)	[37]	Đề xuất (MP)
Công nghệ CMOS (<i>nm</i>)	130	180	65	180
Nguồn (<i>V</i>)	1.5	1.8	1	1.8
Tốc độ dữ liệu (<i>Gb/s</i>)	1-16 Bán tốc	0.2-3 Bán tốc	0.65-10.5 Toàn tốc	0.3-2.5 Bán tốc
Kiểu FD	Hai hướng	Hai hướng	Hai hướng	Hai hướng
Bảm tốc độ dữ liệu liên tục	Không	Không	Có	Có
Nhạy với ISI của dữ liệu đầu vào	Không	Không	Có	Không
Thời gian bảm tần số (μ s)	1000	12.9	52	2.53
Jitter _{p-p} (<i>ps</i>)	146 @1Gb/s	10 @3Gb/s	23.5 @10Gb/s	25 @2Gb/s
Công suất tiêu thụ (<i>mW</i>)	160	37.8	26	30.2

Kết quả so sánh chất lượng của mạch CDR đề xuất I với các nghiên cứu trước như trên Bảng 3.4. Mạch CDR đề xuất có khả năng

bám tần số theo hai hướng, không nhạy với ISI của dữ liệu đầu vào và có thời gian bám tần số ngắn hơn so với các nghiên cứu [34, 35, 37].

3.2. Mạch CDR đề xuất II

Sơ đồ khối của mạch CDR đề xuất II được thể hiện như trên Hình 3.23. Mạch CDR II cải tiến khả năng phát hiện tần số của mạch CDR I bằng cách đề xuất một mạch lựa chọn xung điều khiển bám tăng tần số (xung UP_F) và chia nhỏ dải tần số làm việc của VCO với một mạch VCO 3 dải và một mạch lựa chọn dải tần số (FBS).



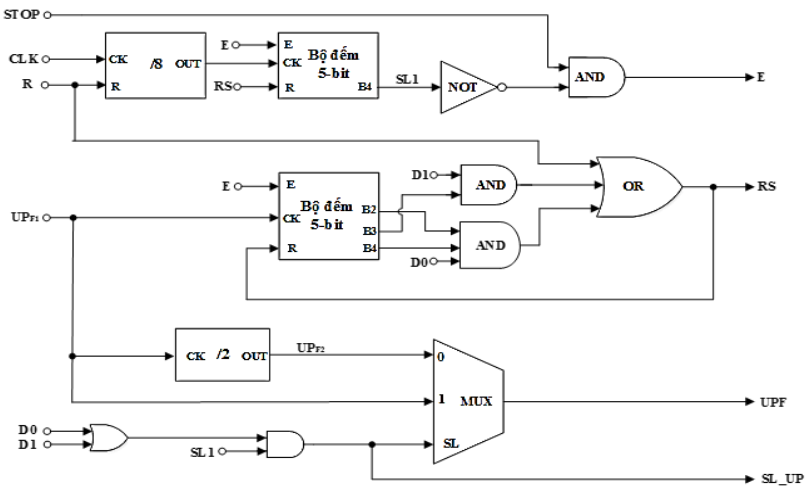
Hình 3.23: Sơ đồ khối của mạch CDR với mạch lựa chọn xung điều khiển bám tăng tần số đề xuất

3.2.1. Mạch lựa chọn xung điều khiển bám tăng tần số đề xuất

Tốc độ thay đổi tần số của xung đồng hồ phụ thuộc vào độ rộng của xung UP ở đầu ra của mạch CFD và mạch FFD. Trong đó độ rộng của xung UP_F ở đầu ra của mạch FFD tỉ lệ nghịch với tốc độ của dữ liệu đầu vào. Khi tốc độ của dữ liệu càng cao thì độ rộng xung UP ở đầu ra của mạch phát hiện tần số càng giảm. Kết quả là tốc độ tăng tần số của xung đồng hồ giảm, tăng thời gian đạt được tần số. Để khắc phục vấn đề này, Nghiên cứu sinh đề xuất mạch lựa chọn xung điều khiển bám tăng tần số (xung UP_F) để thời gian bám tần số ngắn. Thay vì đưa trực tiếp tín hiệu UP_F từ đầu ra mạch FFD vào mạch CFD, mạch lựa chọn

xung điều khiển bám tăng tần số đề xuất được sử dụng để mở rộng xung UP_F cho tốc độ dữ liệu cao. Sơ đồ nguyên lý mạch chọn xung điều khiển bám tăng tần số đề xuất như Hình 3.24.

Để kiểm tra hiệu quả của mạch lựa chọn xung điều khiển bám tăng tần số đề xuất, một mô phỏng được thực hiện với FLL trong [71] và FLL sử dụng mạch lựa chọn xung điều khiển bám tăng tần số với cùng các điều kiện.



Hình 3.24: Mạch chọn xung điều khiển bám tăng tần số đề xuất

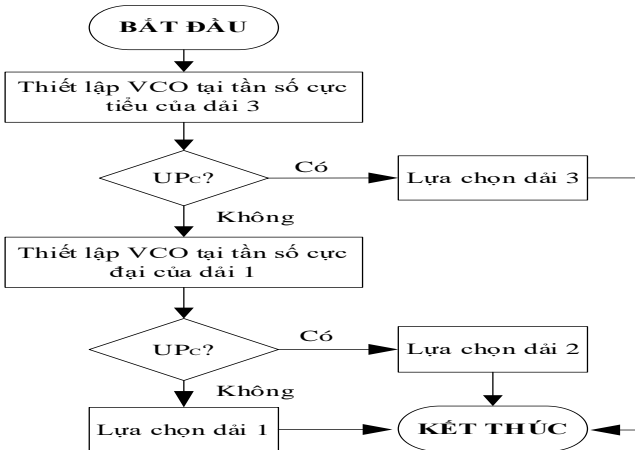
Bảng 3.5 thể hiện kết quả so sánh của các FLL về tốc độ thay đổi tần số của VCO. Với dữ liệu đầu vào 3 Gb/s, dòng bơm-sạc $500\mu A$, điện dung trong mạch lọc vòng 1 nF, điện áp điều khiển (VC) của VCO trong trường hợp có mạch lựa chọn xung điều khiển bám tăng tần số tăng nhanh hơn trường hợp không có mạch lựa chọn xung điều khiển bám tăng tần số. Như vậy, với mạch lựa chọn xung điều khiển bám tăng tần số đề xuất, FLL sẽ đạt được thời gian khóa tần số ngắn hơn.

Bảng 3.5: So sánh tốc độ thay đổi tần số của VCO trong các FLL

Thời gian mô phỏng (ns)	100	300	500	700	900
VC khi không có mạch lựa chọn xung điều khiển bám tăng tần số (mV) [71]	530	563	588	623	658
VC khi có mạch lựa chọn xung điều khiển bám tăng tần số (mV)	538	586	652	710	757

3.2.2. Mạch lựa chọn dải tần số cho VCO đề xuất

Như đã trình bày trong Mục 3.1, mạch CDR đề xuất I có chất lượng jitter của dữ liệu và xung đồng hồ khôi phục không cao, một phần là do hệ số khuếch đại cao của mạch VCO dải rộng. Vì vậy, để khắc phục vấn đề này, mạch VCO ba dải được thiết kế trong mạch CDR đề xuất II. Dựa trên mối quan hệ giữa tốc độ của dữ liệu ngẫu nhiên đầu vào và tần số của VCO, một mạch lựa chọn dải tần số cho VCO ba dải được thực hiện với thuật toán lựa chọn dải thể hiện trên Hình 3.28.

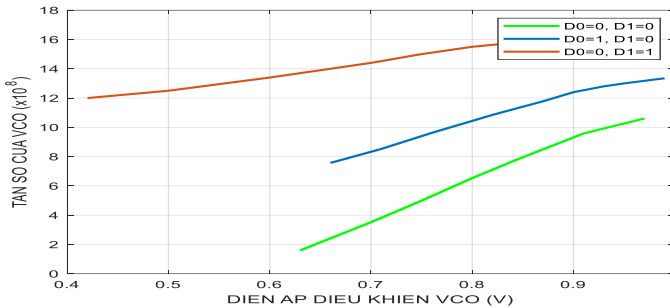


Hình 3.28: Lưu đồ thuật toán lựa chọn dải tần số của VCO

Xung UPC là đầu ra của mạch phát hiện dữ liệu nhanh hơn trong mạch CFD và sử dụng để quyết định các dải tần làm việc của VCO. UPC xuất hiện khi tốc độ dữ liệu đầu vào lớn hơn 2 lần tần số của VCO.

3.2.3. Mạch VCO ba dải

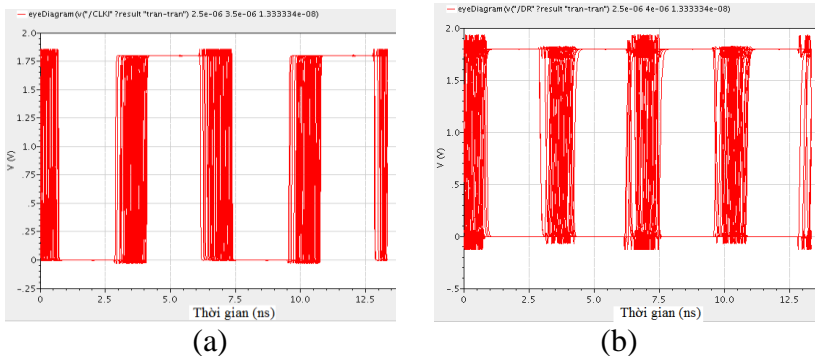
Mạch VCO dải rộng được thiết kế theo kiến trúc vi sai 4 tầng, kiểu vòng với các dải tần số được lựa chọn bởi 2 bit điều khiển số D0 và D1. Mạch VCO làm việc trong dải tần từ 150 MHz đến 1,6 GHz: dải 1 từ 150 MHz đến 820 MHz, dải 2 từ 800 MHz đến 1,24 GHz và dải 3 từ 1,22 GHz đến 1,6 GHz như trên Hình 3.31.



Hình 3.31: Kết quả mô phỏng ba dải tần số của VCO dải rộng

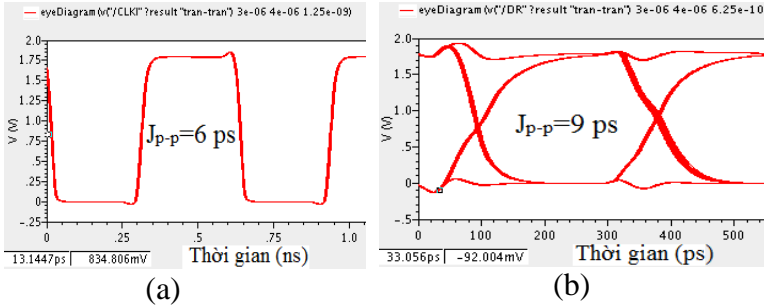
3.2.4. Kết quả mô phỏng mạch CDR đề xuất II

Mạch CDR tiêu thụ công suất tổng cộng 40,2 mW tại tốc độ dữ liệu 3,2 Gb/s với điện áp nguồn cấp là 1,8 V.



Hình 3.37: Chất lượng jitter tại 300 Mb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục

Hình 3.37 và Hình 3.38 thể hiện kết quả mô phỏng dạng sóng khôi phục của xung đồng hồ và dữ liệu tại tốc độ dữ liệu đầu vào 300 Mb/s và 3,2 Gb/s tương ứng. Mạch CDR đề xuất có jitter xung đồng hồ khôi phục và dữ liệu khôi phục lần lượt bằng 6 ps và 9 ps tại tốc độ dữ liệu đầu vào 3,2 Gb/s.



Hình 3.38: Chất lượng jitter tại 3.2 Gb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục

Bảng 3.8: So sánh chất lượng CDR đề xuất II với các nghiên cứu trước

	[35] (Mô phỏng)	[78]	[79]	CDR đề xuất (Mô phỏng)
Công nghệ (nm)	180 CMOS	65 CMOS	180 CMOS	180 CMOS
Nguồn (V)	1.8	1	1.8	1.8
Tốc độ dữ liệu (Gb/s)	0.2-3	0.75-3	0.43-3.45	0.3-3.2
Kiểu FD	Hai hướng	Hai hướng	Hai hướng	Hai hướng
Bám tốc độ dữ liệu liên tục	Có	Có	Có	Có
Nhạy với ISI	Không	Không	Có	Không
Thời gian bám tần số (μs)	12.9	> 41.6	17.9	2.02
Jitter _{p-p} (ps)	10 @3Gb/s	37.2 @3Gb/s	29.8 @3.45Gb/s	6 @3.2Gb/s
Công suất tiêu thụ (mW)	37.8	15.5	26	40.2

Bảng 3.8 tổng kết chất lượng của mạch CDR đề xuất và so sánh chất lượng với các nghiên cứu trước. Mạch CDR đạt được dải tần làm việc rộng, không nhạy với ISI của dữ liệu đầu vào và thời gian đạt được tần số ngắn là $2,02 \mu\text{s}$ với khoảng băm 380 MHz .

3.3. Kết luận chương 3

Trong chương này, luận án đã trình bày chi tiết về thiết kế của hai mạch CDR đề xuất.

Mạch CDR thứ nhất đề xuất kỹ thuật phát hiện tần số theo hai bước với sự kết hợp của vòng băm tần số thô và vòng băm tần số tinh để đảm bảo vòng băm tần số thô và vòng băm tần số tinh hoạt động đồng thời. Mạch CDR có khoảng rộng của tốc độ dữ liệu đầu vào, đạt được khả năng phát hiện tần số theo hai hướng, tốc độ dữ liệu đầu vào liên tục, thời gian băm tần số ngắn.

Mạch CDR thứ hai đề xuất một mạch lựa chọn xung điều khiển băm tăng tần số và một mạch lựa chọn dải tần số cho VCO ba dải để giảm thời gian băm tần số khi tốc độ dữ liệu đầu vào lớn, đồng thời cải thiện chất lượng jitter của xung đồng hồ và dữ liệu khôi phục.

KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN TIẾP THEO

Một số kết quả đạt được của luận án:

1. Đề xuất kỹ thuật san bằng thích nghi dựa trên bộ đếm dữ liệu đã được lấy mẫu. Sau đó thiết kế mạch san bằng thích nghi trên công nghệ CMOS 180nm , đánh giá, so sánh với các nghiên cứu trước [C2].

2. Phân tích kỹ thuật phát hiện tần số dải rộng, không sử dụng tần số tham chiếu, có khả năng phát hiện tần số theo hai hướng. Từ đó đề xuất một kỹ thuật phát hiện tần số đạt được cả 03 tiêu chí quan trọng của mạch CDR là dải rộng, phát hiện tần số 2 hướng và tốc độ dữ liệu liên tục [J1, C1]. Mạch CDR dựa trên mạch phát hiện tần số đề xuất cũng được thiết kế, mô phỏng đánh giá. Kết quả cho thấy mạch có kiến

trúc đơn giản, thời gian bám tần số ngắn.

3. Đề xuất mạch lựa chọn xung điều khiển bám tăng tần số cho xử lý bám tăng tần số và mạch lựa chọn dải tần số cho mạch VCO dải rộng [J2, C3, C4]. Kết quả cho thấy thiết kế có hiệu quả cao khi tốc độ dữ liệu đầu vào tăng lên, thời gian bám tần số giảm, chất lượng của jitter xung đồng hồ và dữ liệu khôi phục được cải thiện.

Hướng phát triển của luận án

1. Nghiên cứu kết hợp mạch san bằng tuyến tính CTLE và mạch san bằng phản hồi quyết định nâng cao chất lượng mạch san bằng thích nghi. Tích hợp hoàn chỉnh máy thu quang, chế tạo, đo chip. Thiết kế chip trên các công nghệ mới hơn như 65nm, 28nm để tăng tần số làm việc của mạch.

2. Ứng dụng kỹ thuật phát hiện tần số đã đề xuất để đề xuất một kiến trúc mạch CDR vòng đơn có khoảng bám tần số rộng.

3. Đề xuất kỹ thuật phát hiện tần số dải rộng, phát hiện tần số 2 hướng, tốc độ dữ liệu liên tục, giảm thời gian đạt được tần số. Cải tiến mạch phát hiện pha để nâng cao chất lượng của dữ liệu khôi phục.

CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ CỦA TÁC GIẢ

[J1] Nguyễn Hữu Thọ, **Phạm Mạnh Hà**, Lê Thị Luận, Lê Thị Trang, Nguyễn Thế Quang, “Thiết kế mạch khôi phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu, tốc độ dữ liệu liên tục sử dụng công nghệ CMOS 180 nm”, Tạp chí nghiên cứu KH&CN quân sự (ISSN 1859 - 1043), vol. 10, no. 63, tr. 46-58, 10/2019.

[J2] **Ha Manh Pham**, quang Thế nguyên, Thọ Hữu Nguyễn, “Mạch khôi phục dữ liệu và xung đồng hồ dải rộng với mạch lựa chọn xung UP”, Journal of Science and Technology on Information and Communications (ISSN 2525 - 2224), Vol 2 Aug, pp. 42-48, 2021.

[C1] **P.M. Ha**, N.H. Tho, H.H. Hanh, and N.T. Quang, “A Wide-band Reference-less Bidirectional Continuous-Rate Frequency Detector”, in Signal Processing, Telecommunication & Computing (SigTelCom) (pp. 25-29), IEEE, March, 2019.

[C2] **P.M. Ha**, N.H. Tho, and N.T. Quang, “An Adaptive Continuous-Time Linear Equalizer Using Sampled Data Edge Counting”, The 2019 19th International Symposium on Communications and Information Technologies (ISCIT) (pp. 192-195), IEEE, Sep. 2019.

[C3] **Phạm Mạnh Hà**, Nguyễn Hữu Thọ, Lê Thị Luận và Nguyễn Thế Quang, “Thiết kế bộ lựa chọn dải tần số cho VCO dải rộng”, REV-ECIT, 2019

[C4] **P.M. Ha**, N.H. Tho, N. Thanh and N.T. Quang, “An Improved Wide-Band Referenceless CDR with UP Pulse Selector for Frequency Acquisition”, The 2020 International Conference on Advanced Technologies for Communications (ATC) (pp. 56-60), 2020.