

BỘ GIÁO DỤC VÀ ĐÀO TẠO

BỘ QUỐC PHÒNG

HỌC VIỆN KỸ THUẬT QUÂN SỰ

PHẠM MẠNH HÀ

NGHIÊN CỨU CẢI TIẾN MẠCH SAN BẰNG,
MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ
TRONG MÁY THU QUANG

LUẬN ÁN TIẾN SĨ KỸ THUẬT

HÀ NỘI – NĂM 2023

BỘ GIÁO DỤC VÀ ĐÀO TẠO

BỘ QUỐC PHÒNG

HỌC VIỆN KỸ THUẬT QUÂN SỰ

PHẠM MẠNH HÀ

**NGHIÊN CỨU CẢI TIẾN MẠCH SAN BẰNG,
MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ
TRONG MÁY THU QUANG**

Chuyên ngành: KỸ THUẬT ĐIỆN TỬ

Mã số: 9.52.02.03

LUẬN ÁN TIẾN SĨ KỸ THUẬT

NGƯỜI HƯỚNG DẪN KHOA HỌC:

PGS.TS. NGUYỄN THẾ QUANG

HÀ NỘI – NĂM 2023

LỜI CAM ĐOAN

Tôi xin cam đoan Luận án và các kết quả trình bày trong luận án là công trình nghiên cứu của tôi dưới sự hướng dẫn của cán bộ hướng dẫn. Các số liệu, kết quả trình bày trong luận án là hoàn toàn trung thực và chưa được công bố trong bất kỳ công trình nào trước đây. Các kết quả sử dụng tham khảo đều đã được trích dẫn đầy đủ và theo đúng quy định.

Hà Nội, ngày 14 tháng 02 năm 2023

Tác giả

Phạm Mạnh Hà

LỜI CẢM ƠN

Trong quá trình học tập, nghiên cứu và hoàn thành luận án, nghiên cứu sinh đã nhận được nhiều sự giúp đỡ và đóng góp quý báu.

Trước hết nghiên cứu sinh xin bày tỏ lòng cảm ơn sâu sắc đến PGS.TS. Nguyễn Thế Quang đã tận tình chia sẻ kiến thức và kinh nghiệm trong quá trình hướng dẫn nghiên cứu sinh hoàn thành nội dung luận án này.

Nghiên cứu sinh cũng chân thành cảm ơn các thầy, cô giáo trong Khoa Vô tuyến điện tử, tập thể Bộ môn Thông tin, Khoa Vô tuyến Điện tử, Học viện Kỹ thuật Quân sự, đã quan tâm và tận tình giúp đỡ và tạo điều kiện mọi mặt trong suốt thời gian nghiên cứu sinh học tập, nghiên cứu tại đây.

Nghiên cứu sinh cũng chân thành cảm ơn Ban Giám đốc Học viện, Phòng Sau đại học - Học viện Kỹ thuật Quân sự đã giúp đỡ và tạo điều kiện để nghiên cứu sinh hoàn thành luận án.

Cuối cùng, nghiên cứu sinh trân trọng cảm ơn gia đình, bạn bè và các đồng nghiệp, những người luôn quan tâm tới tiến độ thực hiện luận án và tạo động lực rất lớn để nghiên cứu sinh hoàn thành luận án này.

Xin chân thành cảm ơn!

MỤC LỤC

LỜI CAM ĐOAN	i
LỜI CẢM ƠN	iv
MỤC LỤC	v
DANH MỤC CÁC TỪ VIẾT TẮT	viii
DANH MỤC HÌNH VẼ	xi
DANH MỤC BẢNG	xv
DANH MỤC CÁC KÝ HIỆU TOÁN HỌC	xvi
MỞ ĐẦU	1
Chương 1 TỔNG QUAN VỀ MẠCH SAN BẰNG VÀ KHÔI PHỤC DỮ LIỆU, XUNG ĐỒNG HỒ TRONG MÁY THU QUANG	9
1.1. Kiến trúc của máy thu quang	9
1.2. San bằng trong máy thu quang	10
1.2.1. Mạch san bằng phi tuyến	11
1.2.2. Mạch san bằng tuyến tính	13
1.3. Mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang	16
1.3.1. Chức năng của CDR	17
1.3.2. Phát hiện pha và sườn dữ liệu	18
1.3.3. Mạch phát hiện pha tuyến tính	20
1.3.4. Mạch phát hiện pha Bang-bang	22
1.3.5. Mạch phát hiện pha bán tốc	24
1.3.6. Mạch phát hiện tần số đối với dữ liệu ngẫu nhiên	25
1.3.7. Các kiến trúc của mạch CDR dựa trên PLL	32
1.4. Kết luận Chương 1	37
Chương 2 THIẾT KẾ MẠCH SAN BẰNG THÍCH NGHI SỬ DỤNG BỘ ĐẾM	38
2.1. Các kỹ thuật san bằng thích nghi	38

2.1.1. San bằng thích nghi sử dụng các mạch lọc	39
2.1.2. San bằng thích nghi dùng kỹ thuật phát hiện độ dốc của dữ liệu ...	43
2.1.3. San bằng thích nghi sử dụng kỹ thuật cân bằng phổ.....	45
2.1.4. San bằng thích nghi sử dụng bộ đếm	50
2.2. Kỹ thuật san bằng thích nghi dựa trên bộ đếm đề xuất.....	55
2.2.1. Thuật toán san bằng thích nghi	57
2.2.2. Hoạt động của mạch chốt và mạch so sánh.....	59
2.2.3. Mạch san bằng tuyến tính thời gian liên tục (CTLE).....	60
2.2.4. Các kết quả mô phỏng	62
2.3. Kết luận Chương 2	67
Chương 3 THIẾT KẾ MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ TỐC ĐỘ DỮ LIỆU LIÊN TỤC	69
3.1. Mạch CDR dải rộng, phát hiện tần số hai hướng, tốc độ dữ liệu không liên tục	69
3.2. Mạch CDR đề xuất I.....	74
3.2.1. Mạch phát hiện tần số thô đề xuất.....	76
3.2.2. Mạch phát hiện tần số tinh đề xuất.....	81
3.2.3. Mạch dao động điều khiển bằng điện áp.....	83
3.2.4. Mạch phát hiện trạng thái khóa và trạng thái mất khóa	84
3.2.5. Kết quả mô phỏng mạch CDR tốc độ dữ liệu liên tục	85
3.3. Mạch CDR đề xuất II	88
3.3.1. Mạch lựa chọn xung điều khiển bám tăng tần số đề xuất.....	90
3.3.2. Mạch lựa chọn dải tần số cho VCO đề xuất.....	93
3.3.3. Mạch VCO ba dải.....	96
3.3.4. Kết quả mô phỏng mạch CDR đề xuất.....	99
3.4. Kết luận Chương 3	103
KẾT LUẬN VÀ KIẾN NGHỊ.....	105

DANH MỤC CÔNG TRÌNH CỦA TÁC GIẢ.....	107
TÀI LIỆU THAM KHẢO.....	108

DANH MỤC CÁC TỪ VIẾT TẮT

Từ viết tắt	Nghĩa Tiếng Anh	Nghĩa Tiếng Việt
APLL	Analog Phase Locked Loop	Vòng khóa pha tương tự
BGR	Bandgap Reference	Mạch tạo điện áp tham chiếu ổn định
BER	Bit Error Ratio	Tỷ lệ lỗi bit
CDR	Clock and Data Recovery	Khôi phục dữ liệu và xung đồng hồ
CFD	Coarse Frequency Detector	Mạch phát hiện tần số thô
CML	Current-Mode Logic	Logic chế độ dòng
CML/CMOS	Current-Mode Logic/ Complementary Metal-Oxide - Semiconductor	Mạch chuyển đổi mức logic chế độ dòng sang mức logic chế độ điện áp
CMOS	Complementary Metal-Oxide-Semiconductor	Chất bán dẫn ô-xit kim loại bù
CP	Charge-Pump	Mạch bơm-sạc
CTLE	Continuous-Time Linear Equalizer	Mạch san bằng tuyến tính thời gian liên tục
DETFF	Dual Edge Triggered Flip-Flop	Flip-Flop loại D kích hoạt bởi hai sườn
DFE	Decision Feedback Equalizer	Mạch san bằng phản hồi quyết định
DLL	Delay Locked Loop	Vòng khóa trễ
DPLL	Digital Phase Locked Loop	Vòng khóa pha số

Từ viết tắt	Nghĩa Tiếng Anh	Nghĩa Tiếng Việt
DQFD	Digital Quadricorrelator Frequency Detector	Mạch phát hiện tần số vuông pha số
D-FF	D Flip-Flop	Flip-Flop loại D
EDR	Edge Detector/Rectifier	Mạch phát hiện sườn dữ liệu
EFL	Effective Flat Loss	Tổn hao phẳng
EQ	Equalizer	Mạch san bằng
FBS	Frequency Band Selector	Mạch lựa chọn dải tần
FD	Frequency Detector	Mạch phát hiện tần số
FF	Flip-Flop	Mạch lấy mẫu theo sườn
FFD	Fine Frequency Detector	Mạch phát hiện tần số tinh
FIR	Finite Impulse Response	Đáp ứng xung hữu hạn
finFET	Fin Field-effect Transistor	Transistor hiệu ứng trường vây
FLL	Frequency Lock Loop	Mạch vòng khóa tần số
GaAs	Gallium arsenide	Chất bán dẫn, hợp chất hợp chất của gali và asen
ISI	Inter-symbol Interference	Nhiều xuyên ký tự
LC-VCO	Inductance Capacitance Voltage Controlled Oscillator	Mạch dao động điều khiển bằng điện áp dựa trên các phần tử cuộn cảm và tụ điện
LD	Lock Detector	Mạch phát hiện trạng thái khóa
LFL	Low-Frequency Loss	Tổn hao thành phần tần số thấp
LOLD	Loss of Lock Detector	Mạch phát hiện trạng thái mất khóa
LPF	Low Pass Filter	Mạch lọc thông thấp

Từ viết tắt	Nghĩa Tiếng Anh	Nghĩa Tiếng Việt
MUX	Multiplexer	Mạch ghép kênh
NMOS	Negative Metal Oxide Semiconductor	Bóng bán dẫn oxít kim loại kiểu N
NRZ	Non-Return-To-Zero	Dữ liệu không trở về không
PD	Phase Detector	Mạch phát hiện pha
PLL	Phase Lock Loop	Mạch vòng khóa pha
PMOS	Positive Metal Oxide Semiconductor	Bóng bán dẫn oxít kim loại kiểu P
PRBS	Pseudorandom Binary Sequence	Chuỗi nhị phân giả ngẫu nhiên
TIA	Transimpedance Amplifier	Mạch khuếch đại dòng điện-điện áp
UI	Unit Interval	Khoảng thời gian đơn vị
VC	Voltage Control	Điện áp điều khiển
VCO	Voltage Controlled Oscillators	Mạch dao động điều khiển bằng điện áp

DANH MỤC HÌNH VẼ

Hình 1.1: Sơ đồ khối hệ thống thông tin quang điển hình.....	9
Hình 1.2: Kiến trúc máy thu quang điển hình.....	10
Hình 1.3: Hoạt động của mạch san bằng phản hồi quyết định: (a) Tín hiệu với nhiễu xuyên ký tự, (b) kiến trúc mạch san bằng phản hồi quyết định cơ bản	12
Hình 1.4: Minh họa hàm truyền đạt của mạch san bằng tuyến tính	13
Hình 1.5: Mạch CTLE thụ động	14
Hình 1.6: Mạch san bằng CTLE tích cực (a) sơ đồ nguyên lý, (b) đặc tính hàm truyền đạt.....	16
Hình 1.7: Khôi phục lại dữ liệu bằng mạch CDR.....	17
Hình 1.8: Sơ đồ khối của mạch khôi phục xung đồng hồ.....	17
Hình 1.9: Phép lấy vi phân của dữ liệu	18
Hình 1.10: Nhân các sườn xung đã tách sóng với tín hiệu sin	18
Hình 1.11: Mạch phát hiện pha sử dụng mạch phát hiện sườn xung đã.....	19
Hình 1.12: Mạch phát hiện sườn xung số	19
Hình 1.13: Mạch khôi phục xung đồng hồ sử dụng mạch phát hiện	20
Hình 1.14: Mạch phát hiện sườn sử dụng phần tử trễ đồng bộ.....	20
Hình 1.15: Mạch phát hiện pha Hogge	20
Hình 1.16: Mô hình của mạch CDR sử dụng mạch phát hiện pha tuyến tính	21
Hình 1.17: Đồ thị biên độ của hệ số khuếch đại vòng lặp	22
Hình 1.18: Mạch phát hiện pha Alexander	23
Hình 1.19: (a) Mô hình CDR Bang-bang và (b) đặc tính của mạch phát hiện pha tương ứng.....	23
Hình 1.20: Mạch phát hiện pha tuyến tính bán tốc	24
Hình 1.21: Mạch phát hiện pha bang-bang bán tốc	25
Hình 1.22: Thực hiện trộn và vi phân cho phát hiện tần số	26
Hình 1.23: (a) Mạch phát hiện tần số vuông pha, (b) mạch FD bao gồm mạch phát hiện sườn	27

Hình 1.24: Mạch phát hiện tần số vuông pha cải tiến.....	28
Hình 1.25: Lấy mẫu các xung đồng hồ vuông pha bởi dữ liệu để xác định sự sai khác tần số	29
Hình 1.26: Dạng sóng của FD cho xung đồng hồ (a) nhanh và (b) chậm	30
Hình 1.27: Mạch phát hiện tần số cho dữ liệu ngẫu nhiên	30
Hình 1.28: (a) Lỗi của mạch FD trong Hình 1.27 khi có lỗi tần số lớn, (b) đặc tuyến của FD thực tế	31
Hình 1.29: Kiến trúc mạch CDR kết hợp FD và PD.....	33
Hình 1.30: Kiến trúc CDR sử dụng hai VCO	34
Hình 1.31: Kiến trúc CDR sử dụng tần số tham chiếu bên ngoài.....	35
Hình 1.32: (a) Mạch lọc vòng đơn giản, (b) mạch lọc vòng có thể chuyển đổi.....	36
Hình 2.1: Đáp ứng tần số của mạch san bằng thích nghi.....	38
Hình 2.2: Sơ đồ khối thực hiện san bằng thích nghi	39
Hình 2.3: Sơ đồ khối mạch san bằng thích nghi thời gian liên tục	40
Hình 2.4: (a) Các nguồn tổn hao phẳng, (b) các tổn hao phụ thuộc tần số.....	42
Hình 2.5: Sơ đồ khối đề xuất của mạch san bằng thích nghi trong [68].....	42
Hình 2.6: Kiến trúc của máy thu quang tích hợp	43
Hình 2.7: (a) Sơ đồ khối của mạch phát hiện độ dốc dữ liệu, b) nguyên lý hoạt động của mạch thích nghi	44
Hình 2.8: (a) Sự phân tách phổ, (b) mối quan hệ về phổ của dữ liệu trong các điều kiện bù khác nhau.....	46
Hình 2.9: Kiến trúc mạch san bằng sử dụng kỹ thuật cân bằng phổ	47
Hình 2.10: Kiến trúc của mạch san bằng đề xuất trong [70]	48
Hình 2.11: Thiết lập tần số f_c tương ứng với các mẫu dữ liệu và tốc độ dữ liệu. (a) Mẫu PRBS, (b) Mẫu tần số thấp, (c) Mẫu tần số cao.....	49
Hình 2.12: Quá trình lấy mẫu dữ liệu không đồng bộ theo tần số Nyquist	50
Hình 2.13: Ví dụ của biểu đồ mẫu mắt và các biểu đồ: (a) quá san bằng,	51
Hình 2.14: Sơ đồ khối của mạch san bằng thích nghi CTLE	52
Hình 2.15: Sơ đồ định thời cho phát hiện tốc độ dữ liệu	53

Hình 2.16: Quá trình xử lý san bằng	54
Hình 2.17: (a) Sơ đồ khối nguyên lý san bằng trong [10], (b) sơ đồ khối của nguyên lý san bằng đề xuất	55
Hình 2.18: Biểu đồ trên miền thời gian của Hình 2.17	55
Hình 2.19: Sơ đồ khối của mạch san bằng thích nghi đề xuất.....	57
Hình 2.20: Thuật toán san bằng thích nghi	58
Hình 2.21: Nguyên lý hoạt động của mạch chốt và mạch so sánh	60
Hình 2.22: Sơ đồ nguyên lý một tầng của mạch CTLE.....	61
Hình 2.23: Sự thay đổi hệ số khuếch đại của mạch CTLE theo 4-bit	62
Hình 2.24: Đáp ứng của một kênh truyền cụ thể	63
Hình 2.25: Kết quả mô phỏng mạch EQ thích nghi đề xuất tại tốc độ dữ liệu đầu vào 3 Gb/s.....	64
Hình 2.26: Dữ liệu trước và sau khi thực hiện san bằng.....	64
Hình 2.27: Mẫu mắt của dữ liệu: (a) trước và (b) sau san bằng	65
Hình 3.1: Sơ đồ khối của FD hai hướng, dải rộng trong [34].....	70
Hình 3.2: Sơ đồ định thời của FD đơn hướng.....	70
Hình 3.3: Sơ đồ định thời của FD hai hướng khi tốc độ dữ liệu nhanh hơn tần số của xung đồng hồ thiết lập.....	71
Hình 3.4: Sơ đồ định thời của FD hai hướng khi tốc độ dữ liệu chậm hơn tần số của xung đồng hồ thiết lập	71
Hình 3.5: Sơ đồ khối của mạch FD hai hướng trong [35]	72
Hình 3.6: (a) Sơ đồ khối của quá trình bám tăng tần số FD, (b) Sơ đồ định thời của quá trình bám tăng tần số FD	73
Hình 3.7: (a) Sơ đồ khối của quá trình bám giảm tần số FD, (b) sơ đồ định thời của quá trình bám giảm tần số FD	74
Hình 3.8: Sơ đồ khối của mạch CDR tốc độ dữ liệu liên tục đề xuất.....	75
Hình 3.9: Sơ đồ khối mạch phát hiện tần số thô CFD đề xuất	77
Hình 3.10: Sơ đồ khối mạch phát hiện dữ liệu nhanh hơn xung đồng hồ	78
Hình 3.11: Sơ đồ định thời mạch phát hiện dữ liệu nhanh hơn xung đồng hồ.....	78
Hình 3.12: Mô hình mô phỏng.....	79

Hình 3.13: Sơ đồ khối mạch phát hiện dữ liệu chậm hơn xung đồng hồ	80
Hình 3.14: Sơ đồ định thời của mạch phát hiện dữ liệu chậm hơn đề xuất....	81
Hình 3.15: Mạch nguyên lý của mạch FFD đề xuất	81
Hình 3.16: Hoạt động của mạch FFD đề xuất	82
Hình 3.17: Sơ đồ mạch một tầng của mạch VCO vi sai 4 tầng	83
Hình 3.18: Hệ số khuếch đại của mạch VCO	83
Hình 3.19: Hệ số khuếch đại của mạch FFD	84
Hình 3.20: Đáp ứng vòng bám tần số với tốc độ dữ liệu đầu vào thay đổi	85
Hình 3.21: Kết quả mô phỏng hoạt động của mạch CDR đề xuất.....	86
Hình 3.22: Chất lượng jitter của (a) xung đồng hồ khôi phục,.....	87
Hình 3.23: Sơ đồ khối của mạch CDR với mạch lựa chọn xung điều khiển bám tăng tần số đề xuất.....	89
Hình 3.24: Mạch lựa chọn xung điều khiển bám tăng tần số đề xuất.....	90
Hình 3.25: Thuật toán lựa chọn xung điều khiển bám tăng tần số	91
Hình 3.26: Sơ đồ định thời của mạch lựa chọn xung điều khiển bám tăng tần số	92
Hình 3.27: Mạch lựa chọn dải tần số cho VCO đề xuất	94
Hình 3.28: Lưu đồ thuật toán lựa chọn dải tần số của VCO.....	94
Hình 3.29: Sơ đồ khối chi tiết thực hiện mạch lựa chọn dải tần số VCO.....	95
Hình 3.30: Mạch VCO vi sai bốn tầng.....	97
Hình 3.31: Kết quả mô phỏng ba dải tần số của VCO dải rộng	97
Hình 3.32: Lựa chọn dải 1 cho VCO	98
Hình 3.33: Lựa chọn dải 2 cho VCO	98
Hình 3.34: Lựa chọn dải 3 cho VCO	98
Hình 3.35: Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 300 Mb/s	100
Hình 3.36: Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 3.2 Gb/s.	101
Hình 3.37: Chất lượng jitter tại 300 Mb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục.....	101
Hình 3.38: Chất lượng jitter tại 3.2 Gb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục.....	102

DANH MỤC BẢNG

Bảng 2.1: So sánh độ chính xác của mạch EQ của [10] và của đề xuất	66
Bảng 2.2: So sánh chất lượng mạch EQ đề xuất với các nghiên cứu trước....	67
Bảng 3.1: Giá trị dòng bơm-sạc sử dụng trong mô phỏng mạch CDR.....	79
Bảng 3.2: So sánh hiệu quả của mạch phát hiện dữ liệu nhanh hơn.....	79
Bảng 3.3: So sánh hiệu quả của mạch phát hiện dữ liệu chậm hơn.....	81
Bảng 3.4: So sánh chất lượng mạch CDR đề xuất I với các nghiên cứu trước	87
Bảng 3.5: So sánh tốc độ thay đổi tần số của VCO trong các FLL	93
Bảng 3.6: Mối quan hệ giữa các bit điều khiển số và dải tần số của VCO.....	96
Bảng 3.7: Công suất tiêu thụ của CDR tại 3.2 Gb/s	99
Bảng 3.8: So sánh chất lượng mạch CDR đề xuất II với các nghiên cứu trước	103

DANH MỤC CÁC KÝ HIỆU TOÁN HỌC

Ký hiệu	Ý nghĩa
\oplus	Toán tử cộng bit biểu diễn phép XOR của hai tín hiệu
\otimes	Toán tử nhân
R_b	Tốc độ bit của dữ liệu
T_b	Chu kỳ bit của dữ liệu
T_{CK}	Chu kỳ của xung đồng hồ
f_{VCO}	Tần số của VCO
$S_x(f)$	Phổ chuẩn hóa của tín hiệu
h_1	ISI sau đáp ứng xung hiện tại đầu tiên
h_2	ISI sau đáp ứng xung hiện tại thứ hai
ϕ	Pha của tín hiệu
$H(s)$	Hàm truyền đạt của mạch san bằng
ω_z	Tần số điểm cực của mạch san bằng
$\omega_p, \omega_{p1}, \omega_{p2}$	Tần số điểm không của mạch san bằng
DC_{gain}	Hệ số khuếch đại một chiều của mạch san bằng
R_1, R_2, R_S, R_D	Giá trị tụ điện (đơn vị Ω)
C_1, C_2, C_P, C_S	Giá trị điện trở (đơn vị F)
g_m	Độ hỗ dẫn của bóng bán dẫn
V_{out}	Giá trị trung bình đầu ra bộ trộn
ΔT	Phần tử trễ của mạch giúp giữ chậm tín hiệu lại khoảng thời gian ΔT
$\left \frac{d}{d_1} \right $	Thực hiện vi sai tín hiệu

Ký hiệu	Ý nghĩa
ω_{-3dB}	Băng thông vòng lặp của mạch khôi phục dữ liệu và xung đồng hồ CDR có tần số cắt tại -3dB
K_{VCO}	Hệ số khuếch đại của mạch dao động điều khiển bằng điện áp (VCO)
K_{PD}	Hệ số khuếch đại của mạch phát hiện pha tuyến tính
η	Đặc trưng cho sự chuyển trạng thái của dữ liệu trong mạch phát hiện pha, $0 \leq \eta \leq 1$
f_c	Tần số cắt của mạch lọc
N_1, N_2	Giá trị của bộ đếm trong trường hợp đếm sườn của dữ liệu và đếm sườn của dữ liệu đã lấy mẫu tương ứng
f_{REF}	Tần số tham chiếu của mạch CDR
ζ	Hệ số tắt dần của mạch lọc
G_{flat}	Tổn hao phẳng của kênh
G_{DC}	Hệ số khuếch đại tín hiệu một chiều của mạch san bằng
A_{TX-sig}	Biên độ tín hiệu của bộ điều khiển máy phát
A_A, B_B	Biên độ tín hiệu một chiều tại điểm A và B tương ứng
I_{FD_UP}	Dòng bơm-sạc của mạch CP
Δf	Khoảng điều chỉnh tần số của VCO trong khoảng thời gian Δt
V_{err}	Điện áp của xung lỗi trong mạch phát hiện pha tuyến tính
V_{ref}	Điện áp của xung tham chiếu trong mạch phát hiện pha tuyến tính
$x_1(t), x_2(t)$	Tín hiệu vào bộ trộn trong mạch phát hiện tần số
V_{CTRL}	Điện áp điều khiển trong mạch phát hiện độ dốc của dữ liệu

Ký hiệu	Ý nghĩa
$x_A(t), x_B(t), x_C(t)$	Tín hiệu đầu ra tại điểm A, B, C trong mạch vuông pha phát hiện tần số tương ứng
f_m	Tần số chia công suất của tín hiệu thành 2 phần bằng nhau
N_{UP}	Giá trị của bộ đếm xung UP_F

MỞ ĐẦU

Với sự phát triển mạnh mẽ của khoa học kỹ thuật thì nhu cầu trao đổi thông tin tốc độ cao với độ chính xác cao ngày càng tăng lên. Để giải quyết nhu cầu đó thì hệ thống thông tin quang ra đời đóng vai trò như một chìa khóa để tạo ra các mạng thông tin băng thông rộng, tốc độ cao. Với ưu điểm băng thông rộng, tổn hao đường truyền thấp, không có nhiễu điện từ cũng như xuyên âm, truyền thông quang hoàn toàn đáp ứng được với sự gia tăng của số lượng người dùng cũng như dung lượng sử dụng trên mỗi người dùng. Thông tin quang có một miền ứng dụng rộng, bao gồm từ truyền dẫn tốc độ cao với đường truyền dài tới truyền dẫn tốc độ cao với đường truyền ngắn như mạng máy tính nội bộ, mạng cáp quang tới địa chỉ thuê bao, mạng cáp quang trong ô tô và các kết nối bên trong một thiết bị bằng quang tốc độ cao. Trong một máy thu quang thì mạch san bằng (EQ: Equalizer) và mạch khôi phục dữ liệu, xung đồng hồ (CDR: Clock and Data Recovery) đóng vai trò quan trọng, quyết định trực tiếp đến chất lượng của máy thu.

Ngày nay, những tiến bộ trong công nghệ chế tạo chất bán dẫn cho phép chúng ta có thể tăng tốc độ dữ liệu tại máy phát và máy thu. Tuy nhiên sự cải thiện chất lượng của các kênh thông tin không theo kịp với sự phát triển của công nghệ bán dẫn: khi tốc độ dữ liệu tăng, các kênh này có tổn hao phụ thuộc vào tần số, kết quả là tín hiệu băng thông rộng trải qua các mức suy hao khác nhau tương ứng với các tần số khác nhau. Sự tổn hao phụ thuộc vào tần số này dẫn đến nhiễu xuyên ký tự (ISI: Intersymbol Interference) khiến mỗi bit ảnh hưởng đến các bit trước hoặc sau nó. Điều này là không mong muốn vì chúng ta muốn mỗi bit được truyền độc lập với những bit đã được truyền trước đó, điều này dẫn đến những thách thức cho các mạch khôi phục dữ liệu trong máy thu. Để khắc phục các ảnh hưởng của kênh truyền thì mạch san bằng được sử

dụng. San bằng là quá trình đảo ngược ảnh hưởng của kênh truyền trên dữ liệu. Một số giải pháp để thực hiện san bằng trong các máy thu quang tốc độ cao là sử dụng mạch lọc đáp ứng xung hữu hạn (FIR: Finite Impulse Response), mạch lọc tuyến tính, mạch lọc phản hồi quyết định. Tuy nhiên do các đặc tính của kênh truyền không phải lúc nào cũng được biết trước đối với quá trình truyền dữ liệu, vì vậy mạch san bằng được thiết kế với hệ số bù tổn hao cố định không đạt được hiệu quả san bằng tối ưu. Ví dụ như độ dài kênh có thể thay đổi từ ứng dụng này sang ứng dụng khác dẫn đến tổn hao của kênh truyền cũng thay đổi. Do đó các mạch san bằng thích nghi trở nên phù hợp hơn trong thực tế. Các giải pháp san bằng thích nghi khác nhau đã được trình bày trong [2-17] và chúng được chia thành ba phương pháp chính như sau.

Phương pháp san bằng thích nghi đầu tiên là sử dụng các mạch lọc: thông thấp, thông cao hoặc thông dải [2-6], [12-14]. Trong [2, 3, 6], [12-14] san bằng thích nghi nhận được bằng cách so sánh năng lượng của thành phần tần số cao và thành phần tần số thấp của dữ liệu. Trong [4], mạch phát hiện độ dốc được sử dụng để so sánh độ dốc của dữ liệu trước và sau mạch hạn biên để điều chỉnh mạch san bằng. Trong [5], kỹ thuật phát hiện đỉnh và phát hiện công suất của dữ liệu được kết hợp để đạt được cả tăng ích tần số thấp và tăng ích tần số cao tối ưu. Tuy nhiên việc thực hiện chúng đòi hỏi các mạch tương tự phức tạp, hơn nữa chất lượng của mạch phát hiện công suất, mạch phát hiện độ dốc và mạch phát hiện đỉnh có thể nhạy cảm với các thay đổi trong quá trình chế tạo chip.

Phương pháp san bằng thích nghi thứ hai là quản lý độ mở của mẫu mắt (Eye Open Monitor) [7], [8], [15-17]. Nguyên lý san bằng thích nghi của phương pháp này dựa trên tỷ lệ lỗi bit mong muốn, nhưng trong [7], việc san bằng không thể thực hiện được với dữ liệu có mẫu mắt đóng ban đầu. Điều này có nghĩa là mạch san bằng không thể làm việc khi dữ liệu bị ảnh hưởng mạnh bởi ISI, dẫn đến hạn chế khả năng ứng dụng của nó. Trong [8], chất lượng san

bằng phụ thuộc rất nhiều vào mật độ dữ liệu đầu vào. Trong khi đó, chất lượng san bằng có sự trả giá với phân cứng sử dụng trong mạch thích nghi [15-17].

Phương pháp cuối cùng thực hiện san bằng thích nghi bằng cách sử dụng bộ đếm [9-11, 18]. Trong [9, 11], một lượng lớn dữ liệu được lấy mẫu không đồng bộ để có các biểu đồ dữ liệu. Các biểu đồ dữ liệu này được sử dụng để điều chỉnh mạch san bằng. Tuy nhiên, kỹ thuật này yêu cầu các mạch nhớ số lớn để lưu trữ mẫu dữ liệu và thời gian san bằng thích nghi dài. Trong tài liệu tham khảo [10], kỹ thuật đếm số lượng sườn dữ liệu được sử dụng để điều chỉnh thích nghi hệ số khuếch đại của mạch san bằng, làm cho độ chính xác san bằng không cao. Nghiên cứu trong [18] sử dụng bộ đếm để đếm số xung được tạo ra từ đầu ra mạch tạo xung với đầu vào mạch tạo xung là đầu ra của mạch so sánh giữa dữ liệu và dữ liệu đã lấy mẫu. Hơn nữa, mạch EQ thích nghi trong [10] và [18] sử dụng xung đồng hồ tham chiếu bên ngoài (400 MHz trong [10] và 15 GHz trong [18]) nên sẽ làm giảm khả năng tích hợp trên chip và tăng giá thành trong ứng dụng.

Như vậy, theo hiểu biết của nghiên cứu sinh thì các kỹ thuật san bằng thích nghi đã nghiên cứu trước đây: hoặc có kiến trúc mạch phức tạp, chiếm diện tích lớn trên chip, hoặc bị hạn chế các trường hợp ứng dụng, hoặc có độ chính xác không cao, thời gian thích nghi dài. Vì vậy, yêu cầu đặt ra là cần nghiên cứu mạch san bằng thích nghi có kiến trúc thực hiện không phức tạp, không bị giới hạn các trường hợp ứng dụng, có độ chính xác cao và thời gian thích nghi ngắn.

Trong máy thu quang, mạch CDR nằm sau mạch san bằng và đóng vai trò quan trọng, quyết định đến chất lượng khôi phục lại tín hiệu. Trong đó mạch CDR dựa trên vòng khóa pha (PLL: Phase Lock Loop) được nghiên cứu và thiết kế phổ biến cho các ứng dụng tốc độ cao vì sự đơn giản trong thực hiện mạch của nó. Do khoảng bảm tần số hẹp của mạch PLL nên hầu hết mạch CDR yêu cầu thêm một mạch phát hiện tần số (FD: Frequency Detector) để bù cho

sự thay đổi tần số có thể xảy ra do ảnh hưởng của quá trình chế tạo, nhiệt độ và điện áp nguồn cung cấp. Dựa vào phương thức bám tần số mà CDR được chia thành CDR sử dụng tần số tham chiếu và CDR không sử dụng tần số tham chiếu [19].

Phương thức thứ nhất sử dụng một xung đồng hồ tham chiếu bên ngoài cho việc bám tần số. Phương thức này đơn giản nhưng làm tăng giá thành của sản phẩm vì khi triển khai ứng dụng thì mạch CDR cần một dao động chuẩn ngoài chip làm tần số tham chiếu. Hơn nữa, với phương thức này, tốc độ dữ liệu đầu vào bị giới hạn đến một hoặc một vài giá trị rời rạc. Vì vậy, nó không thích hợp cho những ứng dụng có dải rộng của tốc độ dữ liệu đầu vào.

Phương thức thứ hai là trích trực tiếp xung đồng hồ từ chuỗi dữ liệu đầu vào mà không cần một xung đồng hồ tham chiếu bên ngoài. Phương pháp này có kỹ thuật thực hiện phức tạp hơn nhưng nó có miền ứng dụng rộng hơn và giá thành rẻ hơn trong triển khai thực tế. Vì vậy, phương thức này trở nên hấp dẫn hơn đối với các nhà nghiên cứu.

Một trong các kỹ thuật được sử dụng để bám tần số trong các mạch CDR không có tần số tham chiếu là sử dụng mạch phát hiện tần số đơn hướng (Unilateral FD). Các mạch phát hiện tần số đơn hướng luôn luôn bắt đầu từ tần số cực tiểu [20-23] hoặc tần số cực đại [24, 25] của mạch dao động điều khiển bằng điện áp (VCO: Voltage Control Oscillator) cho quá trình bám tần số. Điều này làm tăng thời gian bám tần số. Để giải quyết vấn đề này, các mạch phát hiện tần số theo hai hướng (bidirectional FD) đã được đề xuất [18, 26-33]. Tuy nhiên các mạch phát hiện tần số này có khoảng bám hạn chế. Khoảng bám tần số bị giới hạn đến $\pm 30\%$ tần số của VCO trong [26], $\pm 11.52\%$ trong [27], $\pm 36\%$ trong [28], $\pm 20\%$ trong [29], $\pm 26\%$ trong [30], $\pm 50\%$ trong [31], $\pm 75\%$ trong [32] và $\pm 25\%$ trong [33]. Để khắc phục hạn chế này, các mạch phát hiện tần số dải rộng được đề xuất trong [34, 35]. Các mạch phát hiện tần số này

có khả năng phát hiện bất kỳ tốc độ dữ liệu đầu vào nào miễn là tốc độ dữ liệu đó nằm trong dải tần làm việc của mạch VCO. Nhưng các đề xuất này không đáp ứng được với tốc độ dữ liệu đầu vào thay đổi liên tục. Tức là, các mạch CDR này không có khả năng *reset* mạch FD sau khi đã đạt được trạng thái khóa để bám theo sự thay đổi tốc độ của dữ liệu đầu vào. Các mạch phát hiện tần số trong [36-39] vượt qua được nhược điểm này. Các tác giả trong [36] trình bày một kỹ thuật bám tần số sử dụng mạch tạo xung đồng hồ tham chiếu có tính ngẫu nhiên thống kê dựa vào các bộ chia. Tuy nhiên, độ chính xác của quá trình bám tần số phụ thuộc mạnh vào mật độ chuyển của dữ liệu đầu vào. Điều này khiến cho kỹ thuật này không thích hợp với các CDR có mật độ chuyển khác nhau của dữ liệu. Một sơ đồ lấy mẫu dữ liệu không đồng bộ được các tác giả trong [37, 39] trình bày. Nhưng mạch phát hiện tần số này lại nhạy với ISI của dữ liệu đầu vào. Trong tài liệu tham khảo [38], một mạch CDR số không sử dụng tần số tham chiếu được thực hiện với một dải bám tần số rộng nhưng chúng lại dựa trên một mẫu huấn luyện nên chỉ được sử dụng trong một số ứng dụng cụ thể. Như vậy, theo hiểu biết của nghiên cứu sinh thì việc nghiên cứu, thiết kế mạch CDR thỏa mãn đồng thời việc không sử dụng tần số tham chiếu, dải bám tần số rộng, có khả năng phát hiện tần số theo hai hướng và tốc độ dữ liệu liên tục là một thách thức với các nhà khoa học. Vì vậy, yêu cầu đặt ra là cần nghiên cứu các mạch CDR đáp ứng được tất cả các tiêu chí trên.

Xuất phát từ vị trí và vai trò của mạch EQ và CDR trong máy thu quang, từ việc nghiên cứu các vấn đề còn tồn tại đối với các giải pháp thực hiện san bằng thích nghi và khôi phục dữ liệu và xung đồng hồ, nghiên cứu sinh lựa chọn đề tài “**Nghiên cứu cải tiến mạch san bằng, mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang**” làm đề tài luận án tiến sĩ. Trong luận án này, nghiên cứu sinh tập trung vào nghiên cứu về các giải pháp thực hiện san bằng thích nghi và các kỹ thuật khôi phục dữ liệu và xung đồng hồ dải rộng,

không sử dụng tần số tham chiếu. Kết quả nghiên cứu của luận án sẽ góp phần quan trọng vào hoàn thiện thiết kế máy thu quang nói riêng và các máy thu dữ liệu nổi tiếp tốc độ cao nói chung trên công nghệ CMOS (Complementary Metal-Oxide-Semiconductor). Trong luận án này, Nghiên cứu sinh lựa chọn công nghệ CMOS cho thiết kế mạch EQ và CDR vì sự đạt được đồng thời về mức độ phổ biến rộng rãi, khả năng tích hợp cao và giá thành phù hợp hơn của CMOS so với finFET (Fin Field-effect Transistor) và GaAs (Gallium Arsenide).

1. Mục tiêu và nhiệm vụ của luận án

Mục tiêu của luận án là nghiên cứu đề xuất mạch san bằng thích nghi và mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang có kiến trúc thực hiện mạch đơn giản, có thời gian bám tần số và thời gian thích nghi san bằng ngắn.

Nhiệm vụ của luận án để đạt được mục tiêu nêu trên là:

- Đề xuất kỹ thuật san bằng thích nghi sử dụng bộ đếm để nâng cao độ chính xác san bằng và giảm thời gian san bằng thích nghi.
- Đề xuất mạch khôi phục dữ liệu và xung đồng hồ với phương pháp phát hiện tần số có kiến trúc không phức tạp, dải bám tần số rộng, không sử dụng tần số tham chiếu, có khả năng phát hiện tần số theo hai hướng, có khả năng đáp ứng với dữ liệu đầu vào có tốc độ thay đổi liên tục và có thời gian bám tần số ngắn.

2. Đối tượng và phạm vi nghiên cứu của luận án

- Đối tượng nghiên cứu: Mạch san bằng, mạch khôi phục dữ liệu và xung đồng hồ.
- Phạm vi nghiên cứu: Các mạch san bằng và khôi phục dữ liệu và xung

đồng hồ trong máy thu quang hữu tuyến, cụ thể:

- + Kỹ thuật san bằng thích nghi.
- + Kỹ thuật phát hiện tần số trong mạch khôi phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu.

3. Phương pháp nghiên cứu của luận án

Luận án kết hợp phương pháp phân tích lý thuyết, thiết kế và mô phỏng trên phần mềm thiết kế chip chuyên dụng, cụ thể:

- Phương pháp phân tích lý thuyết được sử dụng để nghiên cứu, đánh giá các giải pháp thực hiện san bằng thích nghi và phát hiện tần số trong máy thu quang, từ đó đề xuất các giải pháp thực hiện để nâng cao chất lượng của các mạch san bằng và khôi phục dữ liệu và xung đồng hồ.
- Thiết kế, mô phỏng các mạch san bằng và khôi phục dữ liệu và xung đồng hồ đề xuất trên phần mềm Cadence để đánh giá chất lượng của mạch.

4. Đóng góp của luận án

Các đóng góp chính của luận án có thể được tóm tắt như sau:

- Đề xuất mạch san bằng không có các mạch tương tự phức tạp, sử dụng bộ đếm với dữ liệu đã lấy mẫu để điều chỉnh thích nghi hệ số khuếch đại của mạch san bằng, nhằm nâng cao độ chính xác san bằng và đạt được thời gian thích nghi ngắn. Đóng góp này được trình bày trong công trình [C2].
- Đề xuất mạch khôi phục dữ liệu và xung đồng hồ có khả năng bám tốc độ dữ liệu đầu vào thay đổi liên tục và có thời gian bám tần số ngắn. Đóng góp này được trình bày trong các công trình [J1], [C1], [J2], [C3], [C4].

5. Bố cục của luận án

Luận án bao gồm phần Mở đầu, ba Chương nội dung và phần Kết luận.

- **Chương 1: TỔNG QUAN VỀ MẠCH SAN BẰNG VÀ KHÔI PHỤC DỮ LIỆU, XUNG ĐỒNG HỒ TRONG MÁY THU QUANG.**

Chương này trình bày tổng quan về kiến trúc của máy thu quang và các phương pháp thực hiện san bằng và khôi phục dữ liệu, xung đồng hồ trong máy thu quang.

- **Chương 2: THIẾT KẾ MẠCH SAN BẰNG THÍCH NGHI SỬ DỤNG BỘ ĐẾM.**

Trước tiên, chương này trình bày về một số kỹ thuật san bằng thích nghi sử dụng trong máy thu. Sau đó, để giảm độ phức tạp của mạch, tăng độ chính xác san bằng và giảm thời gian thực hiện san bằng, luận án đề xuất giải pháp sử dụng bộ đếm cho dữ liệu sau lấy mẫu để thực hiện san bằng thích nghi. Kết quả của chương này được công bố trong [C2].

- **Chương 3: THIẾT KẾ MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ TỐC ĐỘ DỮ LIỆU LIÊN TỤC**

Trong chương này, trước tiên luận án trình bày về mạch CDR với tốc độ dữ liệu không liên tục. Sau đó luận án đề xuất kỹ thuật bám tần số theo hai bước: bám thô và bám tinh để đạt được tốc độ dữ liệu liên tục. Ngoài ra, để nâng cao chất lượng cho mạch CDR dải rộng, luận án đề xuất một mạch lựa chọn dải tần số cho mạch VCO dải rộng, ba băng tần. Để giảm thời gian đạt được tần số của mạch CDR khi tốc độ dữ liệu đầu vào cao, luận án đề xuất một mạch lựa chọn xung điều khiển bám tăng tần số để mở rộng độ rộng xung UP, tăng tốc độ cập nhật tần số của VCO. Luận án cũng trình bày thiết kế chi tiết của mạch CDR trên công nghệ CMOS 180 nm. Kết quả của chương này được công bố trong [J1], [J2], [C1], [C3], [C4].

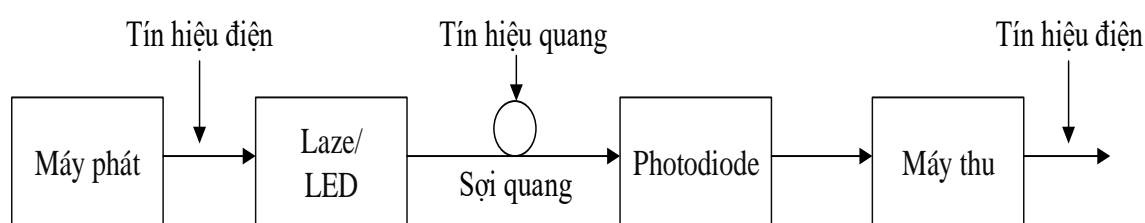
Chương 1

TỔNG QUAN VỀ MẠCH SAN BẰNG VÀ KHÔI PHỤC DỮ LIỆU, XUNG ĐỒNG HỒ TRONG MÁY THU QUANG

Trong chương này, luận án sẽ tập trung vào trình bày về kiến trúc của máy thu quang, từ đó làm cơ sở để nghiên cứu về mạch san bằng, mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang.

1.1. Kiến trúc của máy thu quang

Một hệ thống thông tin quang điển hình bao gồm máy phát, laze/đi-ốt phát quang, kênh sợi quang, photodiode và máy thu như được thể hiện trên Hình 1.1.

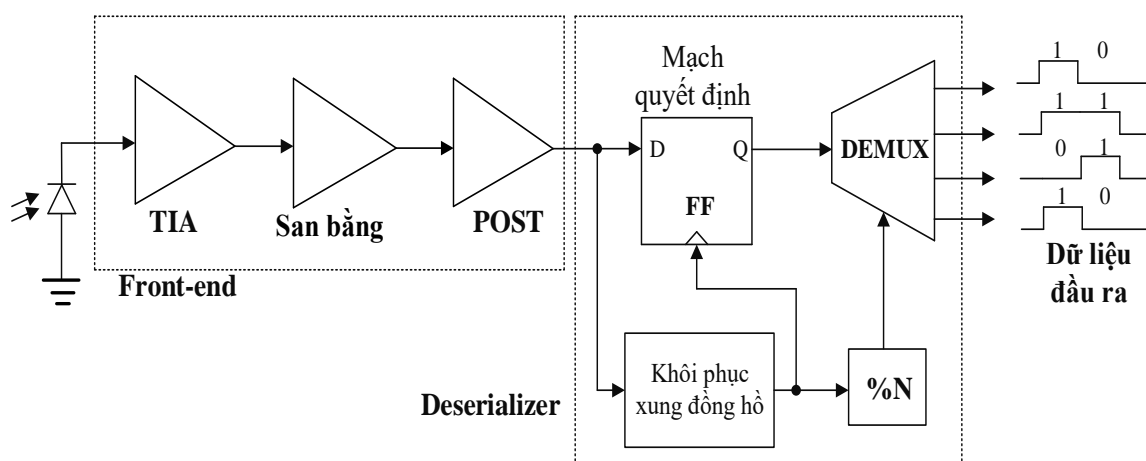


Hình 1.1: Sơ đồ khối hệ thống thông tin quang điển hình

Máy phát xử lý và khuếch đại tín hiệu điện. Tín hiệu điện tại đầu ra máy phát được chuyển đổi thành tín hiệu quang bằng laze hoặc đi-ốt phát quang trước khi được truyền qua cáp sợi quang. Trong đó, laze thường được sử dụng làm bộ phát quang vì công suất đầu ra cao hơn và phổ sạch hơn so với đi-ốt phát quang. Tuy nhiên, với các ứng dụng giá rẻ thì đi-ốt phát quang có thể được sử dụng làm bộ phát quang. Dữ liệu quang được chuyển đổi lại thành tín hiệu điện ở đầu vào máy thu bằng photodiode. Sau đó, tín hiệu điện sẽ được xử lý, khuếch đại, khôi phục lại tại máy thu và đưa đến các thiết bị đầu cuối.

Trong phạm vi nghiên cứu, luận án tập trung vào trình bày về kiến trúc của máy thu quang. Máy thu quang điển hình gồm photodiode, mạch Front-end và mạch Deserializer như được thể hiện trên Hình 1.2 [40]. Photodiode chuyển

đôi công suất quang từ máy phát thành dòng điện cho mạch front-end làm việc. Mạch Front-end cơ bản bao gồm một mạch khuếch đại dòng điện-điện áp (TIA: Transimpedance) để chuyển đổi dòng điện thành điện áp, mạch san bằng (EQ: Equalizer) để bù ảnh hưởng giới hạn băng thông gây ra bởi kênh truyền hoặc khi photodiode được tích hợp bằng CMOS, mạch khuếch đại POST để tăng dải động điện áp đến mức logic cho mạch xử lý số phía sau làm việc. Mạch khuếch đại POST có thể bao gồm một chuỗi các mạch khuếch đại đơn giản xếp chồng như mạch khuếch đại hạn biên, hoặc bao gồm một số mạch khác để điều khiển hệ số khuếch đại như mạch tự động điều chỉnh hệ số khuếch đại máy thu. Bộ Deserializer gồm hai nhiệm vụ chính là khôi phục dữ liệu, xung đồng hồ (CDR: Clock and Data Recovery) và giải ghép kênh. Đầu tiên, từ tín hiệu thu được, nó khôi phục lại tín hiệu xung đồng hồ. Sau đó, tín hiệu thu sẽ được khôi phục nhờ xung đồng hồ đã khôi phục thông qua mạch quyết định (FF). Cuối cùng, tín hiệu đã khôi phục được giải ghép kênh (DEMUX) để tạo ra các luồng dữ liệu số tại đầu ra.



Hình 1.2: Kiến trúc máy thu quang điện hình

1.2. San bằng trong máy thu quang

Dữ liệu truyền qua kênh chịu một số tổn hao phụ thuộc tần số do tính chất lọc thông thấp tự nhiên của các kênh hữu tuyến. Điều này sẽ gây ra ISI là nhiễu của các bit trước hoặc sau với bit được truyền hiện tại. ISI là không mong muốn

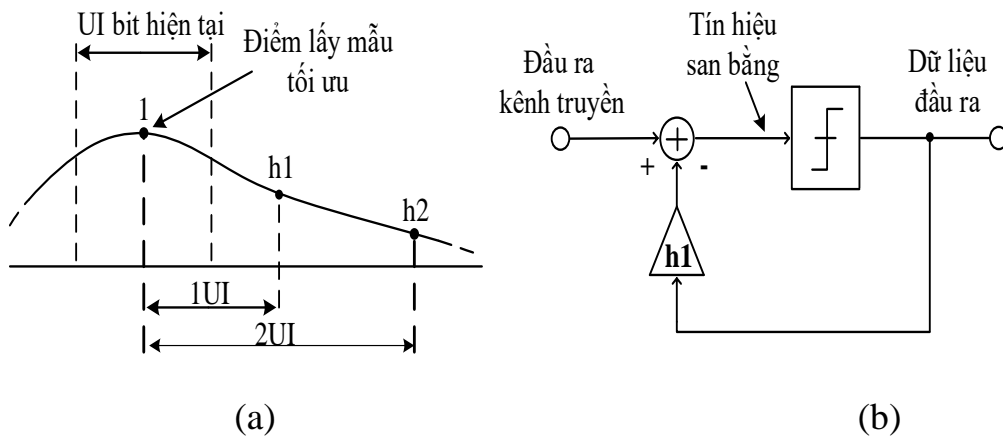
tại máy thu và chúng ta muốn các bit được truyền không ảnh hưởng đến các bit lân cận của chúng. Ảnh hưởng của ISI là làm đóng mẫu mắt, dẫn đến việc khôi phục xung đồng hồ và dữ liệu trở nên khó khăn và sẽ làm giảm chất lượng của máy thu. Để bù cho tổn hao phụ thuộc vào tần số này thì mạch san bằng được sử dụng để khắc phục những ảnh hưởng của kênh truyền trên dữ liệu thu được.

Khác với phương pháp thực hiện san bằng trong tuyến phát là suy giảm phổ thành phần tín hiệu tần số thấp để giảm thiểu ISI, san bằng trong tuyến thu thực hiện khuếch đại phổ thành phần tín hiệu tần số cao. Cụ thể, các mạch san bằng tuyến tính và các mạch san bằng phi tuyến là hai kiểu san bằng tại máy thu có thể được sử dụng để bù ISI. Trong đó, các mạch san bằng tuyến tính được đặt tại đầu vào máy thu và cung cấp khả năng khuếch đại thành phần tín hiệu tần số cao để bù cho tổn hao kênh truyền. Mạch san bằng tuyến tính có ưu điểm là có thể làm việc đúng với cả những mẫu mắt dữ liệu đã đóng hoàn toàn và chúng cũng có thể làm việc trong điều kiện tỷ lệ lỗi bit (BER) cao. Nhược điểm của mạch san bằng này là ngoài khuếch đại tín hiệu thì chúng cũng khuếch đại tạp âm tần số cao. Ngược lại, các mạch san bằng phi tuyến không khuếch đại tạp âm tần số cao nhưng chúng yêu cầu một mẫu mắt dữ liệu ban đầu mở để hoạt động san bằng đúng [41].

1.2.1. Mạch san bằng phi tuyến

Hình 1.3 thể hiện một kiểu của mạch san bằng phi tuyến là mạch san bằng phản hồi quyết định (DFE: Decision Feedback Equalizer). DFE dựa trên các quyết định trước đó để ước tính và loại bỏ ISI do kênh truyền gây ra. Vì DFE loại bỏ ISI mà không cần khuếch đại thành phần tín hiệu tần số cao nên nó không làm tăng thành phần tạp âm. Tuy nhiên, nó chỉ có thể loại bỏ được ISI sau đáp ứng xung hiện tại (ISI gây ra bởi các *symbol* trước đó) vì mạch lọc phản hồi ước lượng ISI dựa trên các quyết định trước đó. Ảnh hưởng tổn hao tín hiệu phụ thuộc theo tần số của kênh trong miền thời gian được thể hiện như trên

Hình 1.3(a). Một khoảng thời gian đơn vị xung (UI: Unit Interval) sẽ trải ra ($h1$ và $h2$) và gây ra ISI đến các bit đã được truyền trong các UI khác. Trong đó, $h1$ được gọi là ISI sau đáp ứng xung hiện tại tại đầu tiên và $h2$ được gọi là ISI sau đáp ứng xung hiện tại tại thứ hai. Cấu trúc san bằng trong Hình 1.3(b) được sử dụng để chống lại ảnh hưởng này trên các bit tiếp theo. DFE lấy mẫu UI hiện tại và trừ nó từ tín hiệu đến bằng một hệ số tỷ lệ. Cấu trúc này sẽ cho phép loại bỏ ISI sau đáp ứng xung hiện tại tại đầu tiên bằng cách trừ đi giá trị đó khỏi bit tiếp theo.



Hình 1.3: Hoạt động của mạch san bằng phản hồi quyết định: (a) Tín hiệu với nhiễu xuyên ký tự, (b) kiến trúc mạch san bằng phản hồi quyết định cơ bản

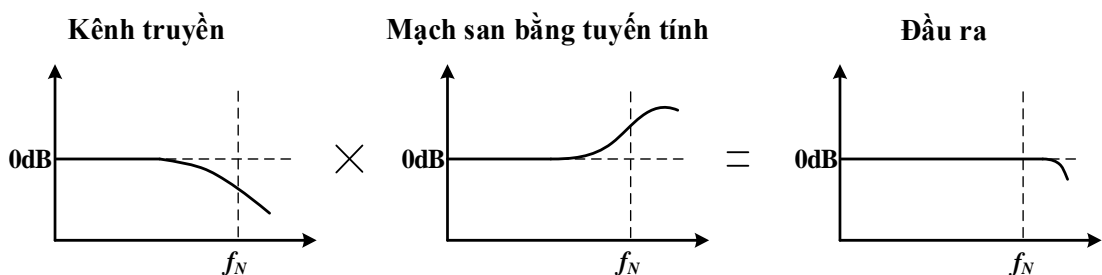
Mạch DFE có thể được mở rộng với số khâu lọc bất kỳ bằng cách thêm các khâu giữ chậm sau mạch quyết định. Tuy nhiên, vòng phản hồi dẫn đến các vấn đề về định thời trong mạch san bằng. Cụ thể là việc thực hiện phép trừ giữa bit tiếp theo và bit trước đó sau khi đi qua một mạch trừ và một mạch quyết định trong một UI phải được thực hiện tại thời điểm thích hợp để loại bỏ được ISI. Khi tốc độ dữ liệu tăng lên thì vấn đề định thời này càng trở nên khó khăn hơn.

Có ba vấn đề liên quan đến thiết kế mạch DFE. Đầu tiên là vấn đề lan truyền lỗi đối với mỗi khâu lọc của mạch DFE. Do hiệu quả loại bỏ ISI của

mạch DFE dựa trên giả định rằng tất cả các quyết định trước đó là chính xác. Vì vậy, nếu một bit được phát hiện không chính xác bởi mạch quyết định thì giá trị sai sẽ bị trừ tiếp với bit tiếp theo và tiếp tục gây ra lỗi. Vấn đề thứ hai là DFE chỉ có thể loại bỏ được ISI sau đáp ứng xung hiện tại nên cần có mạch lọc riêng để loại bỏ ISI trước đáp ứng xung hiện tại. Vấn đề cuối cùng là mạch DFE luôn có độ trễ của vòng lặp phản hồi. Ở tốc độ dữ liệu cao, độ trễ vòng lặp này có giá trị lớn hơn vài chu kỳ bit [41].

1.2.2. Mạch san bằng tuyến tính

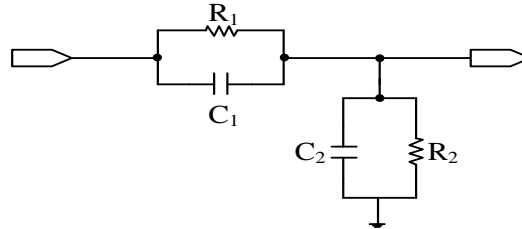
Các mạch san bằng phía thu trên miền thời gian rời rạc yêu cầu lấy mẫu trước để thực hiện việc san bằng. Điều này dẫn đến hai vấn đề. Đầu tiên, jitter của xung đồng hồ lấy mẫu làm giảm chất lượng của việc san bằng. Thứ hai, trong một máy thu quang, xung đồng hồ được khôi phục từ dữ liệu đến sau khi biến đổi từ quang thành điện. Tuy nhiên, do việc lấy mẫu trước nên vòng khôi phục xung đồng hồ cần phải hoạt động trên đầu ra kênh thô, điều này dẫn đến jitter lớn trong xung đồng hồ khôi phục. Vì vậy, mạch san bằng trên miền thời gian liên tục có thể cung cấp khả năng khuếch đại tần số cao là một giải pháp thay thế hấp dẫn cho các mạch lọc trên miền thời gian rời rạc.



Hình 1.4: Minh họa hàm truyền đạt của mạch san bằng tuyến tính

Mạch san bằng tuyến tính trên miền thời gian liên tục (CTLE: Continuous Time Linear Equalizer) là mạch một khâu lọc thời gian liên tục đơn giản với hàm truyền khuếch đại thành phần tín hiệu tần số cao giúp bù cho tổn hao do kênh truyền gây ra ở tần số cao một cách hiệu quả như được thể hiện trên Hình

1.4. Hai kiểu của mạch san bằng tuyến tính trên miền thời gian liên tục là mạch CTLE thụ động và mạch CTLE tích cực.



Hình 1.5: Mạch CTLE thụ động

Hình 1.5 mô tả một mạch CTLE thụ động được thiết kế dựa trên các phần tử thụ động R, C [42]. Trong đó, điện trở mở rộng dải thông và tụ điện cho qua các tín hiệu tần số cao. Vì vậy, hệ số khuếch đại thành phần tín hiệu tần số cao của mạch có thể được tăng lên.

Hàm truyền của mạch san bằng, các tần số điểm cực, điểm không và hệ số khuếch đại DC được xác định bởi:

$$H(s) = \frac{R_2}{R_1 + R_2} \cdot \frac{1 + R_1 C_1 s}{1 + \frac{R_1 R_2}{R_1 + R_2} (C_1 + C_2) s} \quad (1.1)$$

$$\omega_z = \frac{1}{R_1 C_1} \quad (1.2)$$

$$\omega_p = \frac{1}{\frac{R_1 R_2}{R_1 + R_2} (C_1 + C_2)} \quad (1.3)$$

$$DC_{gain} = \frac{R_2}{R_1 + R_2} \quad (1.4)$$

Có hai nhược điểm chính với các mạch san bằng thụ động R, C đơn giản kiểu này. Đầu tiên, sự phối hợp trở kháng giữa kênh và mạch san bằng là khó thực hiện vì mạng RC có sự thay đổi trở kháng lớn. Vì vậy, một mạng phối hợp trở kháng bao gồm các cuộn cảm thường được sử dụng để khắc phục sự thay

đôi trở kháng này. Tuy nhiên, diện tích chiếm lớn của các cuộn cảm làm cho phương pháp này không phù hợp để tích hợp trên chip. Thứ hai, phương pháp này không thể cải thiện tỷ số giữa công suất tín hiệu trên công suất tạp âm vì việc san bằng được thực hiện bằng cách suy giảm phổ tín hiệu tại tần số thấp, điều này rất giống với mạch lọc san bằng ở phía phát. Vì vậy, kỹ thuật này không thích hợp với các ứng dụng truyền dữ liệu tốc độ cao.

Để cực đại lợi ích của việc sử dụng mạch san bằng ở phía thu thì các mạch san bằng được thiết kế để đạt được hệ số khuếch đại lớn hơn một tại tất cả các tần số. Do vậy, mạch san bằng sử dụng các thành phần mạch tích cực được sử dụng nhiều hơn các thành phần mạch thụ động. Hình 1.6 thể hiện sơ đồ nguyên lý và đặc tính hàm truyền đạt cho một mạch san bằng tích cực trên miền thời gian liên tục [42].

Hàm truyền, giá trị các điểm cực, điểm không và hệ số khuếch đại của mạch CTLE tích cực được xác định bởi:

$$H(s) = \frac{g_m}{C_P} \frac{s + \frac{1}{R_S C_S}}{\left(s + \frac{g_m R_S + 1}{R_S C_S}\right)} \cdot \frac{1}{\left(s + \frac{1}{R_P C_P}\right)} \quad (1.5)$$

$$\omega_z = \frac{1}{R_S C_S} \quad (1.6)$$

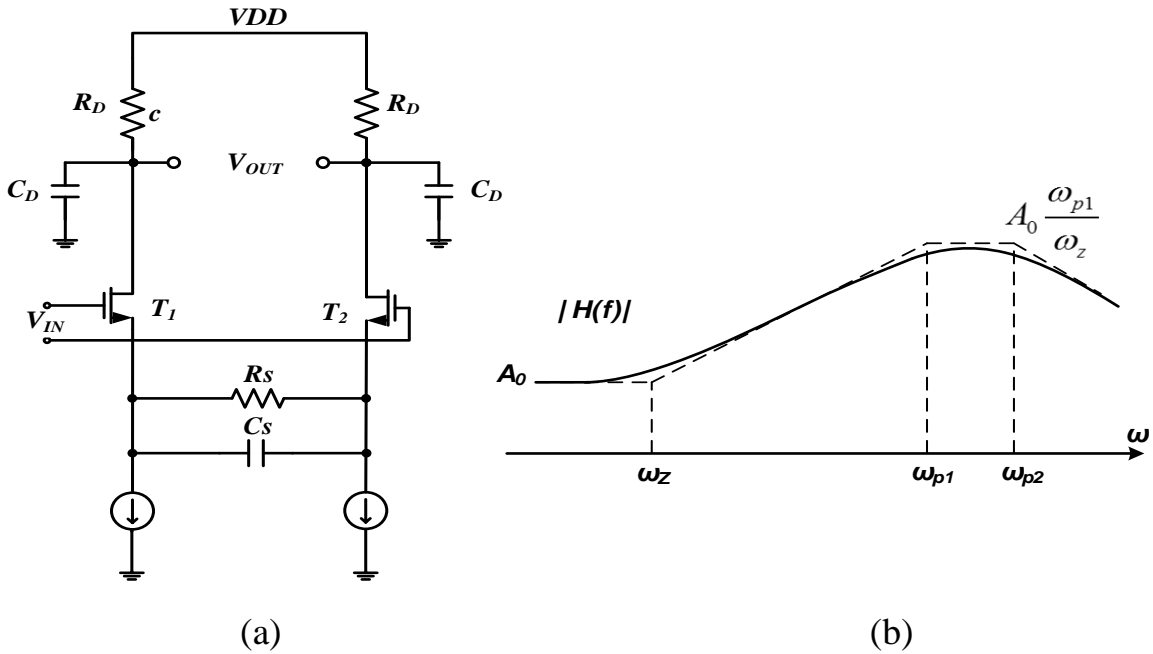
$$\omega_{p1} = \frac{1 + g_m R_S / 2}{R_S C_S} \quad (1.7)$$

$$\omega_{p2} = \frac{1}{R_D C_P / 2} \quad (1.8)$$

$$DC_{gain} = \frac{g_m R_D}{g_m R_S / 2} \quad (1.9)$$

$$Ideal_peak_gain = g_m R_D \quad (1.10)$$

$$Ideal_peaking = \frac{\omega_{p1}}{\omega_z} = 1 + g_m R_S / 2 \quad (1.11)$$



Hình 1.6: Mạch san bằng CTLE tích cực (a) sơ đồ nguyên lý, (b) đặc tính hàm truyền đạt

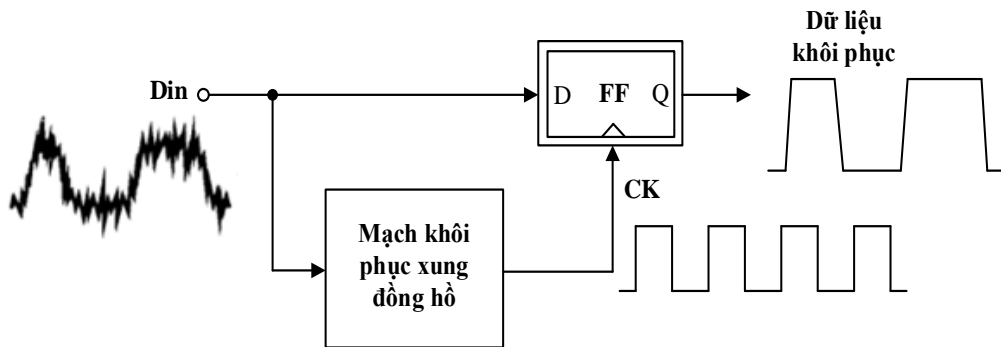
Với những ưu điểm và nhược điểm của mạch san bằng tuyến tính và mạch san bằng phi tuyến đã được trình bày ở trên thì để tối ưu hiệu quả san bằng cho dữ liệu bị ảnh hưởng bởi ISI, các máy thu sẽ sử dụng kết hợp hai loại san bằng này. Trong đó, mạch san bằng tuyến tính được sử dụng để mở mẫu mắt của dữ liệu đến một mức mà BER được hạ xuống đủ cho mạch san bằng phi tuyến có thể hoạt động đúng.

1.3. Mạch khôi phục dữ liệu và xung đồng hồ trong máy thu quang

Mạch khôi phục dữ liệu và xung đồng hồ tạo ra một tín hiệu xung đồng hồ từ luồng dữ liệu nhị phân đầu vào. Trong phần này, luận án giới thiệu các nội dung cơ bản về mạch CDR bao gồm chức năng của mạch CDR, các kỹ thuật phát hiện pha, tần số cho dữ liệu ngẫu nhiên và các kiến trúc của mạch CDR dựa trên PLL.

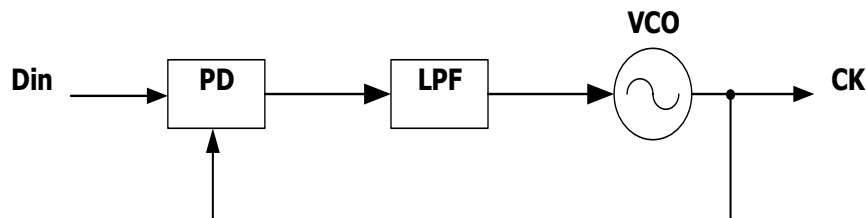
1.3.1. Chức năng của CDR

Hệ thống thông tin quang thông thường không có đường truyền xung đồng hồ riêng từ máy phát tới máy thu. Do đó, máy thu cần khôi phục lại xung đồng hồ từ dữ liệu đã thu được và căn chỉnh pha của nó sao cho xung đồng hồ lấy mẫu dữ liệu có nhiều tại các đỉnh của nó bằng cách sử dụng một mạch lấy mẫu theo sườn (FF: Flip-flop) như được mô tả trong Hình 1.7. Khi đó, dữ liệu được khôi phục cũng sẽ sạch như chính xung đồng hồ đã được khôi phục, do đó loại bỏ được jitter (sai số thời gian tại các giao điểm 0) của dữ liệu đầu vào [43].



Hình 1.7: Khôi phục lại dữ liệu bằng mạch CDR

Mạch khôi phục xung đồng hồ trong Hình 1.7 được xây dựng dựa trên vòng khóa pha. Các mạch vòng khóa pha thông thường sử dụng một tần số xung đồng hồ tham chiếu làm đầu vào trong khi mạch khôi phục xung đồng hồ sử dụng dữ liệu ngẫu nhiên làm đầu vào.



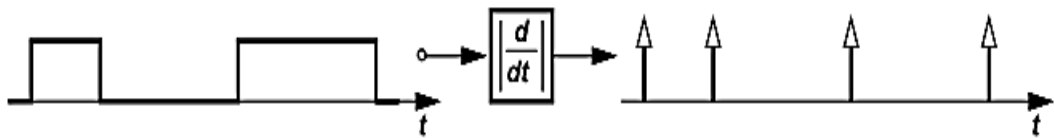
Hình 1.8: Sơ đồ khối của mạch khôi phục xung đồng hồ

Mạch khôi phục xung đồng hồ (Hình 1.8) bao gồm mạch phát hiện pha (PD: Phase Detector) để đo độ lệch pha giữa xung đồng hồ và các sườn xung của dữ liệu ngẫu nhiên đầu vào, mạch lọc vòng và mạch VCO. Trong kiến trúc

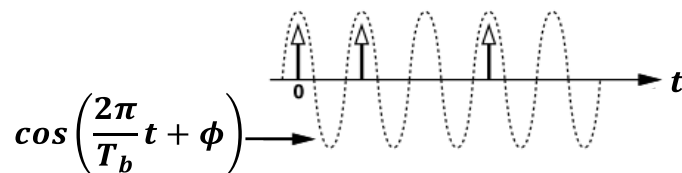
toàn tốc (tốc độ dữ liệu đầu vào bằng tần số của mạch VCO) thì mạch CDR phải tạo ra xung đồng hồ tại cùng tần số như tốc độ dữ liệu sao cho tất cả các bit dữ liệu được lấy mẫu chính xác và không có bit nào bị bỏ qua.

1.3.2. Phát hiện pha và sườn dữ liệu

Các sườn của dữ liệu NRZ có thể được phát hiện bằng phép lấy vi phân như trong Hình 1.9. Kết quả tạo ra dạng sóng có thành phần tần số khác không tại tốc độ bit R_b . Điều này có thể được kiểm tra lại bằng cách nhân dạng sóng nhận được sau khi vi phân với $\cos(2\pi R_b t + \phi)$. Thành phần một chiều (DC) khác không được tạo ra như trong Hình 1.10. Kết quả này chỉ ra rằng dạng sóng có sườn xung được tách sóng có một thành phần phổ tại R_b .



Hình 1.9: Phép lấy vi phân của dữ liệu

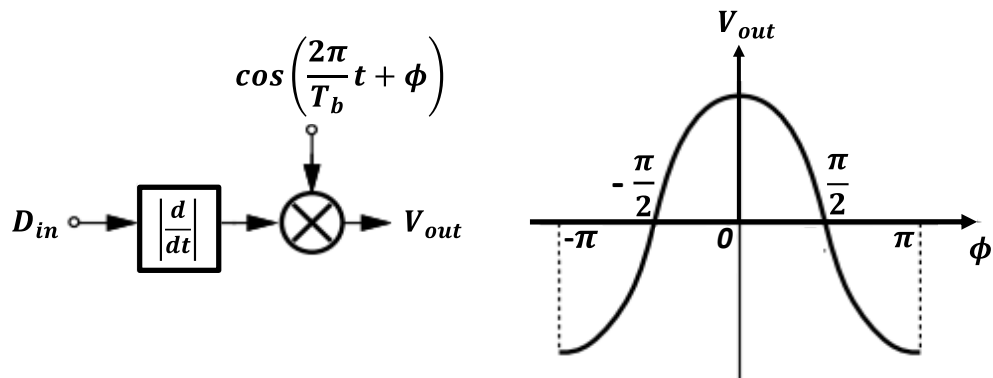


Hình 1.10: Nhân các sườn xung đã tách sóng với tín hiệu sin

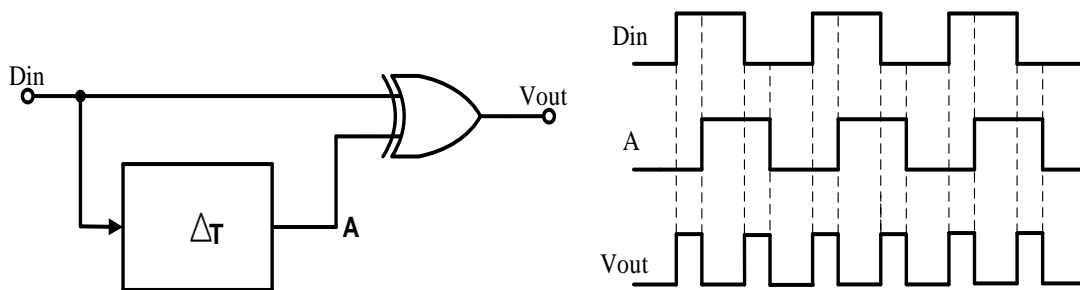
Sau khi khôi phục xung đồng hồ từ mạch phát hiện sườn dữ liệu, chúng ta phải điều chỉnh pha của xung đồng hồ này với pha của dữ liệu sao cho xung đồng hồ lấy mẫu các bit dữ liệu tại các giá trị đỉnh của chúng. Điều này có thể đạt được bằng cách nhân dạng sóng có sườn xung đã tách sóng với $\cos(2\pi R_b t + \phi)$ như trong Hình 1.11. Giá trị trung bình của đầu ra bộ trộn V_{out} biểu thị độ lệch pha tương đối giữa dữ liệu và dạng sóng *cosin*. Hình 1.11 cũng thể hiện giá trị trung bình của V_{out} như là một hàm của pha ϕ trong dạng sóng *cosin*. Giá trị trung bình này bằng 0 khi $\phi = \pm \pi/2$. Điều này cho biết xung đồng hồ lấy

mẫu dữ liệu tại các giá trị đỉnh của nó.

Việc phát hiện sườn xung có thể được thực hiện bởi mạch trong Hình 1.12. Kiến trúc này được gọi là mạch phát hiện sườn xung số [43]. Mạch này tạo ra một xung dương trên mỗi sườn dữ liệu. Tuy nhiên, phần tử trễ ΔT không thể quá lớn hoặc quá nhỏ [19]. Nếu ΔT quá nhỏ, băng thông hữu hạn của mạch sẽ ngăn đầu ra của cổng XOR đạt tới mức điện áp nguồn cung cấp. Ngược lại, nếu ΔT quá lớn thì thời gian chồng lấn giữa dữ liệu và phiên bản giữ chậm của dữ liệu sẽ quá nhỏ và sườn dữ liệu sẽ không được phát hiện.

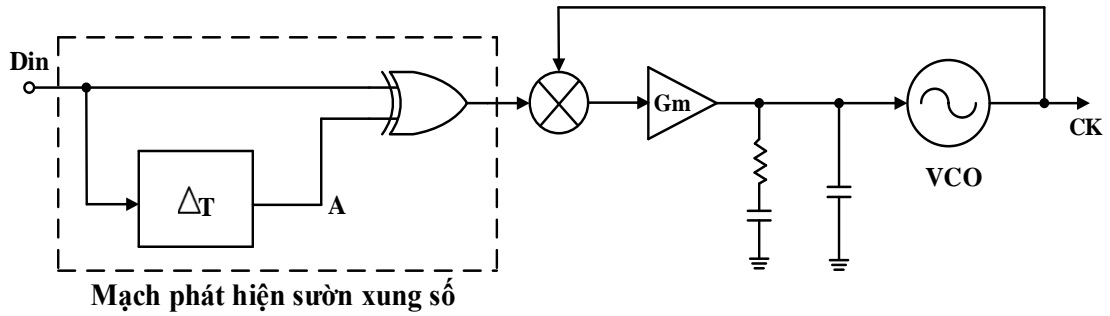


Hình 1.11: Mạch phát hiện pha sử dụng mạch phát hiện sườn xung đã tách sóng



Hình 1.12: Mạch phát hiện sườn xung số

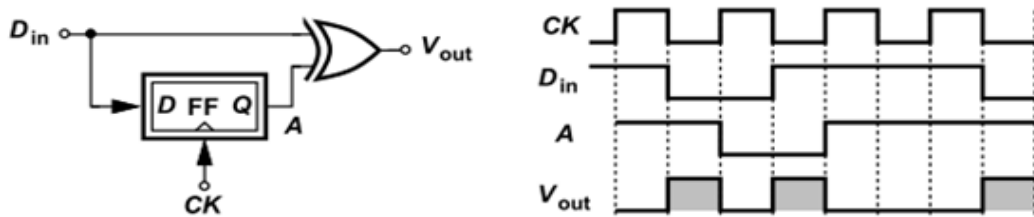
Mạch phát hiện pha trong Hình 1.11 sử dụng mạch phát hiện sườn dữ liệu số được kết hợp với mạch lọc vòng và mạch VCO để tạo thành mạch khôi phục xung đồng hồ như được thể hiện trên Hình 1.13 [44].



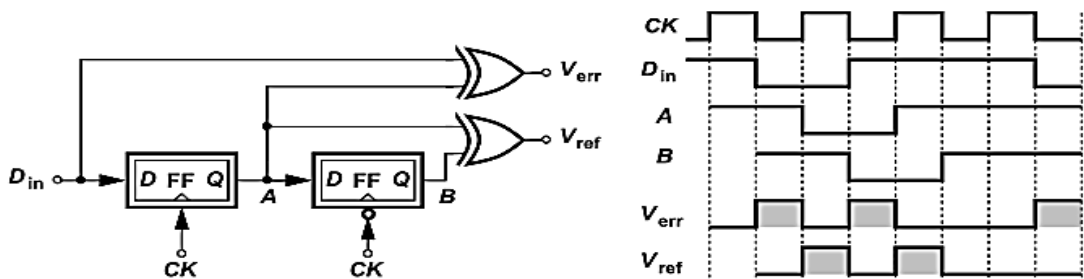
Hình 1.13: Mạch khôi phục xung đồng hồ sử dụng mạch phát hiện sườn xung số

1.3.3. Mạch phát hiện pha tuyến tính

Phần tử trễ trong mạch phát hiện sườn dữ liệu số của Hình 1.12 có thể được thực hiện bằng cách sử dụng phần tử trễ đồng bộ. Hình 1.14 sử dụng FF để làm phần tử trễ đồng bộ này [19]. Tuy nhiên, mạch này chỉ tạo ra tín hiệu “lỗi” cho biết thông tin về pha giữa dữ liệu đầu vào D_{in} và xung đồng hồ khi có một sự chuyển đổi trạng thái của dữ liệu đầu vào và do đó nó phụ thuộc vào mẫu dữ liệu đầu vào. Điều này có thể được quan sát từ các dạng sóng trong Hình 1.14.



Hình 1.14: Mạch phát hiện sườn sử dụng phần tử trễ đồng bộ



Hình 1.15: Mạch phát hiện pha Hogge

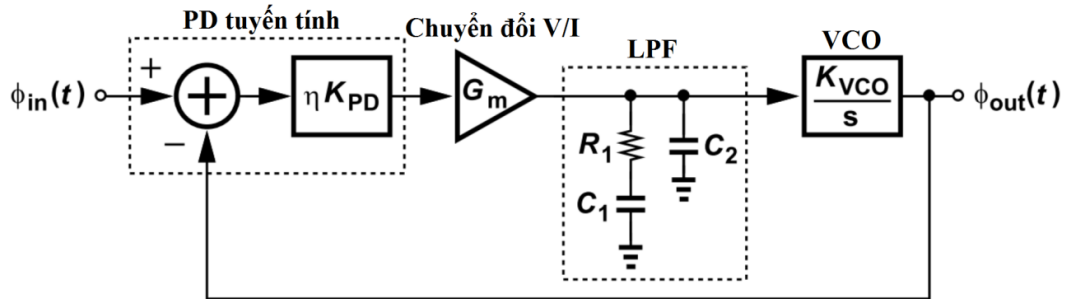
Để khắc phục vấn đề này, một FF được thêm vào như trong Hình 1.15 để tạo ra xung tham chiếu có độ rộng xung cố định. Xung tham chiếu này cho biết sự có hoặc không có các chuyển trạng thái của dữ liệu đầu vào. Vì vậy, kiến trúc này loại bỏ sự phụ thuộc của đầu ra mạch phát hiện pha vào mẫu dữ liệu đầu vào. Mạch này được gọi là mạch phát hiện pha Hogge [45].

Một mạch CDR sử dụng mạch phát hiện pha Hogge có thể được mô hình như trong Hình 1.16 [46]. Mô hình này tương tự như PLL loại II. Mật độ chuyển trạng thái của dữ liệu đầu vào được mô hình bằng hệ số η trong mạch phát hiện pha với $0 \leq \eta \leq 1$. Khi đó, băng thông vòng lặp của CDR được xác định bởi:

$$\omega_{-3dB} = \eta R_1 G_m K_{PD} K_{VCO} \left(\frac{b-1}{b} \right) \quad (1.12)$$

trong đó:

$$b = 1 + \frac{C_1}{C_2} \quad (1.13)$$



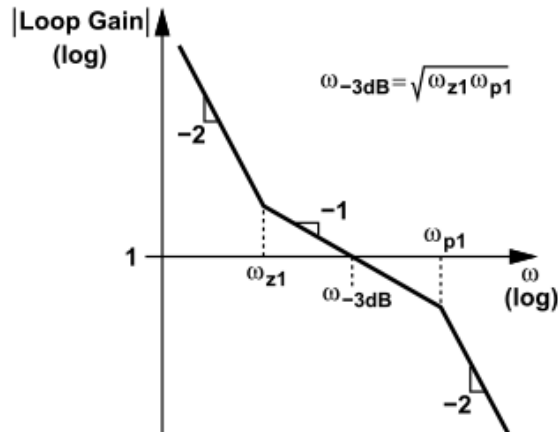
Hình 1.16: Mô hình của mạch CDR sử dụng mạch phát hiện pha tuyến tính

Như mô tả trong Hình 1.17, nếu băng thông vòng lặp được thiết kế với điểm 0 của mạch lọc vòng $\omega_{z1} = 1/(R_1 C_1)$ và điểm cực của mạch lọc vòng $\omega_{p1} = b/(R_1 C_1)$, tức là $\omega_{-3dB} = \sqrt{b}/(R_1 C_1)$ thì độ dự trữ pha của hệ thống trở thành:

$$PM = \tan^{-1} \left[\frac{1}{2} \left(\sqrt{b} - \frac{1}{\sqrt{b}} \right) \right] \quad (1.14)$$

Tham số b trong biểu thức (1.14) thường được chọn là 16 hoặc 25 để mạch

có độ dự trữ pha tương ứng là 62° và 67° . Độ dự trữ pha này sẽ đảm bảo cho vòng lặp hoạt động ổn định dưới sự ảnh hưởng của quá trình chế tạo và nhiệt độ.

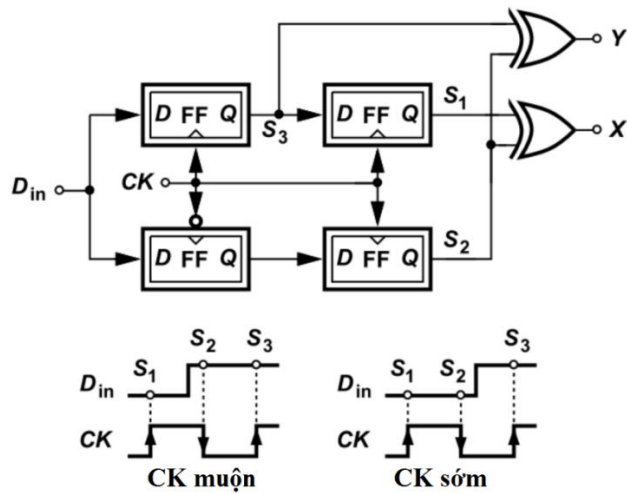


Hình 1.17: Đồ thị biên độ của hệ số khuếch đại vòng lặp

1.3.4. Mạch phát hiện pha Bang-bang

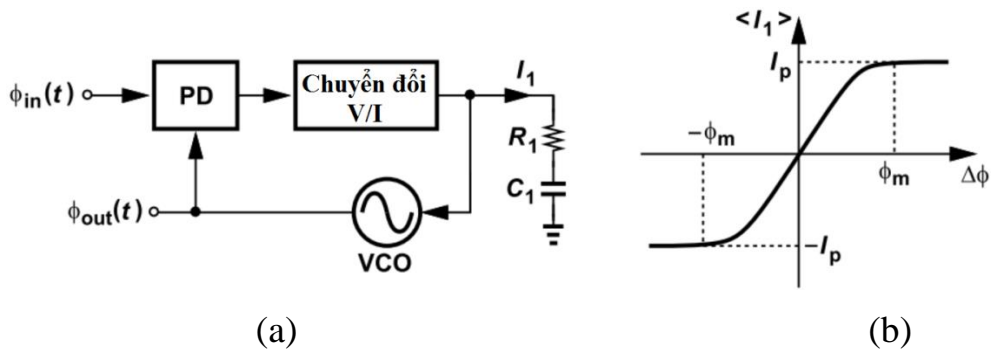
Một cách tiếp cận khác để có được thông tin mối quan hệ về pha giữa dữ liệu và xung đồng hồ là sử dụng xung đồng hồ lấy mẫu dữ liệu tại nhiều điểm trong vùng lân cận các chuyển trạng thái của dữ liệu. Hình 1.18 mô tả nguyên tắc phát hiện pha này. Kỹ thuật này được gọi là kỹ thuật phát hiện pha Alexander [47] hoặc phát hiện pha “sớm - muộn” [19]. Xung đồng hồ sử dụng bốn FF để lấy mẫu dữ liệu tại ba điểm S_1 , S_2 và S_3 .

Bằng cách thực hiện các phép tính XOR: $S_1 \oplus S_2$ và $S_2 \oplus S_3$, mạch sẽ xác định xem xung đồng hồ đến sớm hay muộn so với dữ liệu. Như được minh họa trong Hình 1.18: (a) nếu $S_1 \oplus S_2 = S_2 \oplus S_3$ thì không có sự chuyển đổi trạng thái của dữ liệu, (b) nếu $S_1 \oplus S_2$ ở trạng thái cao và $S_2 \oplus S_3$ ở trạng thái thấp thì xung đồng hồ muộn so với dữ liệu và (c) nếu $S_1 \oplus S_2$ ở trạng thái thấp và $S_2 \oplus S_3$ ở trạng thái cao thì xung đồng hồ sớm so với dữ liệu.



Hình 1.18: Mạch phát hiện pha Alexander

Mạch phát hiện pha này chỉ xác định xem xung đồng hồ là sớm hay muộn so với dữ liệu, dẫn đến đặc điểm bang-bang của nó. Vì vậy, mạch phát hiện pha bang-bang có hệ số khuếch đại cao trong vùng lân cận của vị trí sai lệch pha bằng 0. Kết quả là, mạch CDR sử dụng mạch phát hiện pha bang-bang khóa khi S_2 được căn chỉnh với các chuyển đổi trạng thái của dữ liệu. Hình 1.19(a) mô tả mô hình của CDR bang-bang [48] và Hình 1.19(b) thể hiện đặc tính của mạch phát hiện pha tương ứng.



Hình 1.19: (a) Mô hình CDR Bang-bang và (b) đặc tính của mạch phát hiện pha tương ứng

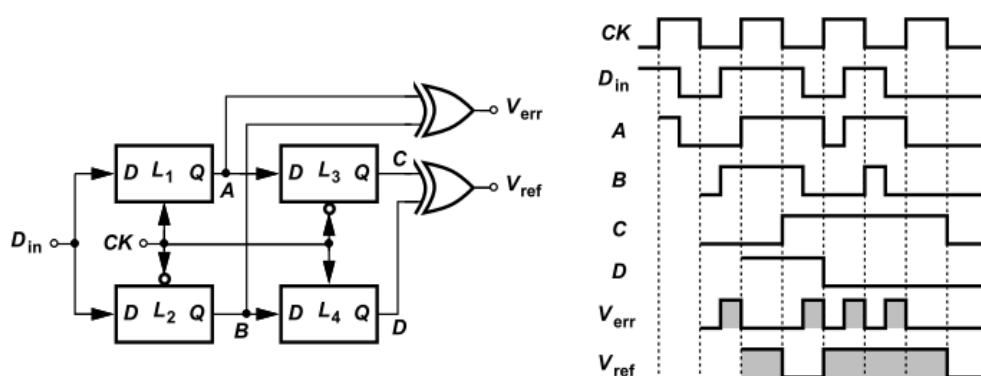
Các mạch phát hiện pha tuyến tính hoặc bang-bang có hệ số khuếch đại vòng phụ thuộc vào mật độ chuyển đổi trạng thái của dữ liệu và điện áp điều khiển của VCO không thay đổi khi không có sự chuyển của dữ liệu [19].

1.3.5. Mạch phát hiện pha bán tốc

Khi tốc độ dữ liệu đầu vào cao thì sẽ khó để thiết kế các mạch dao động có tần số bằng với tốc độ dữ liệu mà vẫn cung cấp chất lượng tạp âm pha tốt. Hơn nữa, các mạch đệm xung đồng hồ có thể tiêu thụ công suất lớn tại tốc độ toàn tốc. Vì vậy, cần thiết phải xây dựng mạch CDR hoạt động với dữ liệu đầu vào toàn tốc nhưng có xung đồng hồ bán tốc.

a. Mạch phát hiện pha tuyến tính bán tốc

Hình 1.20 thể hiện kiến trúc của mạch phát hiện pha tuyến tính bán tốc [49]. Luồng tốc độ toàn tốc đầu vào D_{in} , đầu tiên được chia thành hai luồng bán tốc tại A và B bằng cách sử dụng hai mạch chốt L_1 và L_2 . Thực hiện XOR các luồng bán tốc tại A và B để tạo ra xung lỗi, khi đó sự lệch pha giữa dữ liệu nhận được và xung đồng hồ bán tốc được minh họa như trên Hình 1.20. Tuy nhiên, xung này chỉ xuất hiện khi đầu vào tốc độ toàn tốc có các chuyển đổi trạng thái và do đó nó phụ thuộc vào dữ liệu. Để loại bỏ sự phụ thuộc của đầu ra mạch phát hiện pha vào dữ liệu thì hai mạch chốt L_3 và L_4 được sử dụng để tạo ra xung tham chiếu. Sự thực hiện này là tương tự như đối với kiến trúc mạch PD tuyến tính toàn tốc.



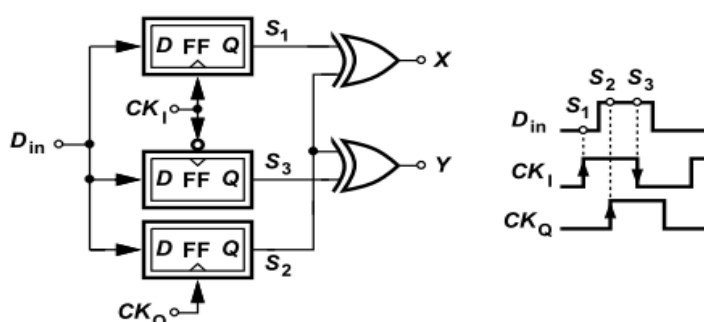
Hình 1.20: Mạch phát hiện pha tuyến tính bán tốc

Nếu xung đồng hồ lấy mẫu dữ liệu tại trung tâm của chu kỳ bit của nó thì xung lỗi có độ rộng xung chính xác bằng một nửa so với xung tham chiếu. Do

đó, đầu ra mạch phát hiện pha bán tốc được lấy là giá trị trung bình của $2V_{err} - V_{ref}$. Mạch CDR trong trường hợp này có thể được thiết kế tương tự như mạch CDR với mạch phát hiện pha tuyến tính toàn tốc.

b. Mạch phát hiện pha Bang-Bang bán tốc

Hình 1.21 mô tả sự thực hiện của mạch phát hiện pha bang-bang bán tốc [48]. Ba FF sử dụng các xung đồng hồ cầu phương để đạt được ba mẫu dữ liệu tốc độ toàn tốc gần các chuyển đổi trạng thái của dữ liệu. Tương tự như phiên bản toàn tốc trong Mục 1.3.4, các phép toán XOR, $S_1 \oplus S_2$ và $S_2 \oplus S_3$ được thực hiện để xác định xem xung đồng hồ đến sớm hay muộn so với dữ liệu. Khi đó, trong điều kiện khóa thì sườn tăng của CK_Q xảy ra trong vùng lân cận của các chuyển đổi trạng thái của dữ liệu.



Hình 1.21: Mạch phát hiện pha bang-bang bán tốc

Trong cấu trúc này, VCO được thực hiện cầu phương. Đối với một mức tiêu thụ công suất nhất định, tạp âm pha của các VCO cầu phương thường cao hơn so với một mạch dao động đơn [50, 51].

1.3.6. Mạch phát hiện tần số đối với dữ liệu ngẫu nhiên

Hầu hết mạch CDR yêu cầu một mạch phát hiện tần số hoạt động cùng với mạch phát hiện pha. Đầu tiên, mạch CDR sẽ điều khiển tần số VCO tới giá trị mong muốn bằng vòng khóa tần số (FLL: Frequency Lock Loop) và khi lỗi tần số đủ nhỏ thì PLL bắt đầu làm việc và thực hiện khóa pha. Việc kết hợp này là cần thiết bởi vì khoảng bắt và khoảng giữ của PLL điển hình là tương đối

nhỏ, đặc biệt khi PLL làm việc với dữ liệu ngẫu nhiên. Trong các chuẩn quang, băng thông vòng hẹp để đảm bảo chất lượng của jitter nên khoảng bất có thể không vượt quá vài phần trăm tốc độ dữ liệu. Thành ra, nếu tần số trung tâm VCO thay đổi khoảng 10% do ảnh hưởng của quá trình chế tạo và nhiệt độ thì một PLL đơn giản sẽ lỗi để khóa pha.

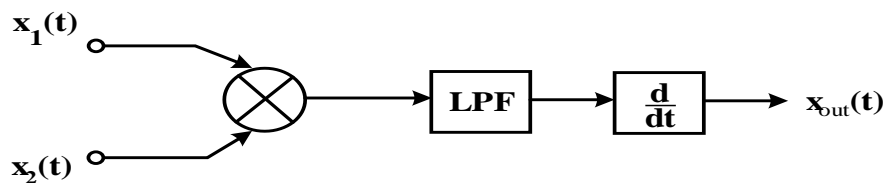
Mạch phát hiện tần số phải tạo ra một đầu ra tỷ lệ với sự khác nhau về tần số của các đầu vào. Trước tiên giả sử cả hai đầu vào của mạch phát hiện tần số có tính chu kỳ và xét một mạch FD đơn giản như một bộ trộn (Hình 1.22). Ký hiệu các đầu vào của bộ trộn như sau $x_1(t) = A_1 \cos \omega_1 t$ và $x_2(t) = A_2 \cos \omega_2 t$, khi đó:

$$x_1(t)x_2(t) = \frac{A_1 A_2}{2} [\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t] \quad (1.15)$$

Thành phần tần số cao $\omega_1 + \omega_2$ có thể được loại bỏ bằng mạch lọc thông thấp nhưng biểu thức $(A_1 A_2 / 2) \cos(\omega_1 - \omega_2)t$ vẫn có một giá trị trung bình bằng 0. Khi đó, thực hiện vi phân kết quả nhận được sau lọc thông thấp theo thời gian:

$$\frac{d}{dt} \left[\frac{A_1 A_2}{2} \cos(\omega_1 - \omega_2)t \right] = -\frac{A_1 A_2}{2} (\omega_1 - \omega_2) \sin(\omega_1 - \omega_2)t \quad (1.16)$$

Kết quả này có biên độ tỷ lệ với sự khác nhau về tần số. Tuy nhiên, giá trị trung bình sau khi thực hiện phép vi phân vẫn bằng 0. Nói cách khác, một bộ trộn kết hợp với một mạch vi phân không có khả năng phát hiện được sự sai khác tần số.



Hình 1.22: Thực hiện trộn và vi phân cho phát hiện tần số

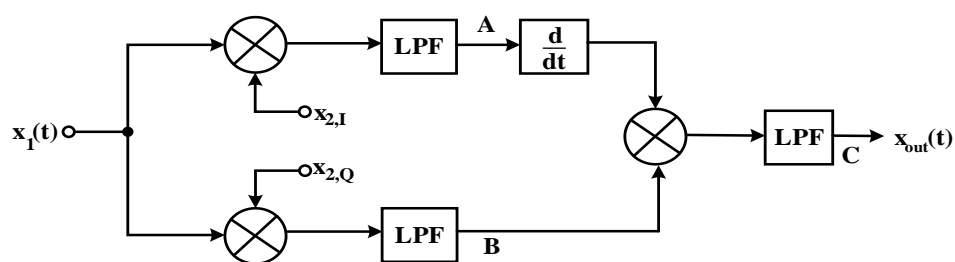
Một giải pháp có thể được thực hiện để phát hiện sự sai khác tần số là nhân một trong các đầu vào $x_1(t)$ với cả hai thành phần cùng pha và vuông pha của đầu vào còn lại là $x_{2,I}(t) = A_2 \cos \omega_2 t$ và $x_{2,Q}(t) = A_2 \sin \omega_2 t$ như được minh họa trên Hình 1.23(a). Khi đó ta có:

$$x_A(t) = \frac{A_1 A_2}{2} \cos(\omega_1 - \omega_2) t \quad (1.15)$$

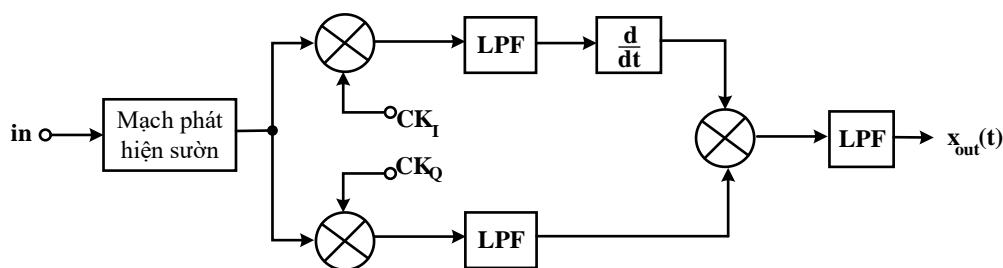
$$x_B(t) = \frac{A_1 A_2}{2} \sin(\omega_1 - \omega_2) t \quad (1.16)$$

Và do đó:

$$x_C(t) \sim \left(\frac{A_1 A_2}{2}\right)^2 (\omega_1 - \omega_2) \quad (1.17)$$



(a)



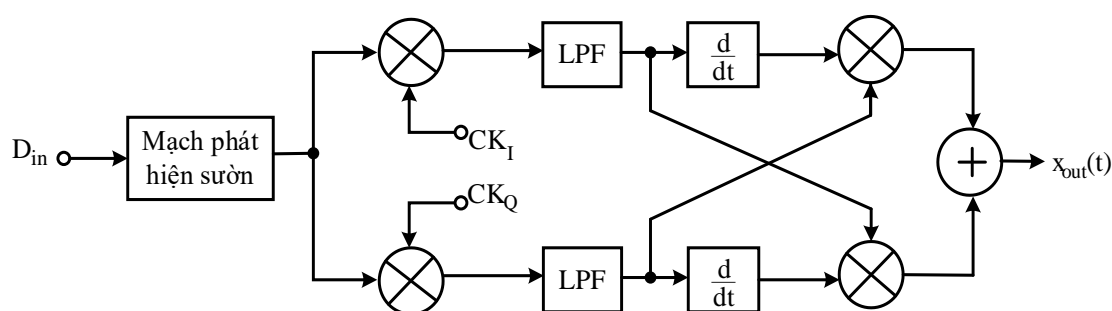
(b)

Hình 1.23: (a) Mạch phát hiện tần số vuông pha, (b) mạch FD bao gồm mạch phát hiện sườn

Như vậy, với giải pháp đã thực hiện thì $x_C(t)$ tỷ lệ và thay đổi dấu với $(\omega_1 - \omega_2)$. Kiến trúc mạch trong Hình 1.23(a) được gọi là mạch phát hiện tần số vuông pha. Mạch này yêu cầu $x_1(t)$ chứa một phổ vạch nên tín hiệu trước khi được đưa

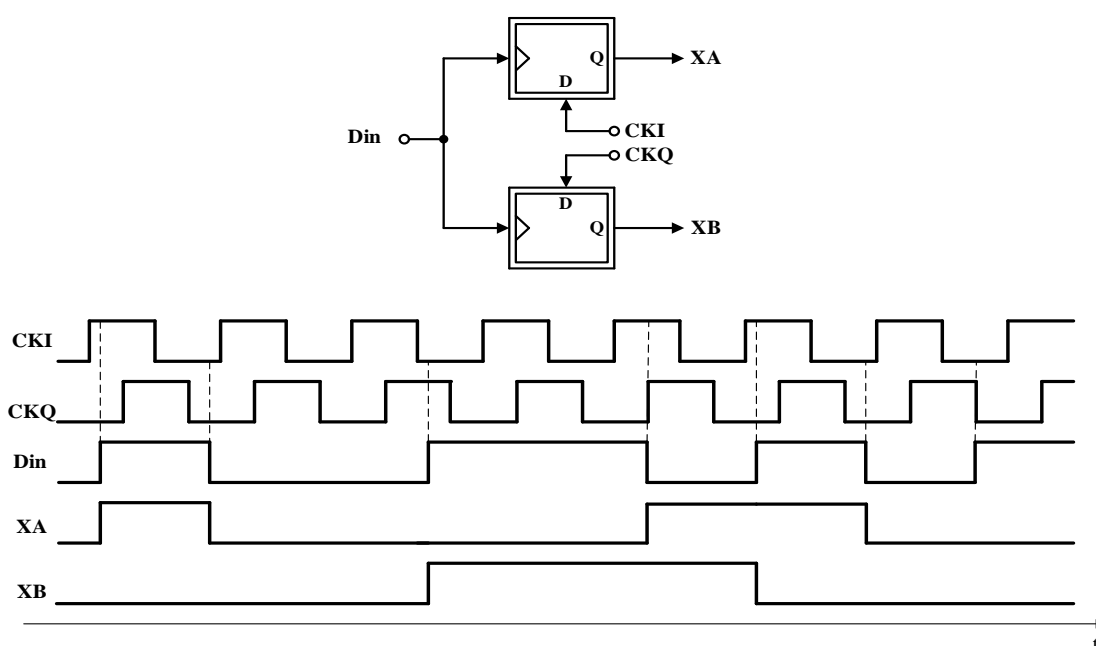
vào mạch phát hiện tần số vuông pha phải được đưa qua một mạch phát hiện sườn để hoạt động với dữ liệu NRZ ngẫu nhiên như được thể hiện trên Hình 1.23(b).

Trong phân tích trên, chúng ta giả định rằng LPF ở đầu ra của mạch vuông pha triệt tiêu thành phần tích chệch $\cos 2(\omega_1 - \omega_2)t$. Tuy nhiên, trong một FLL, vì tần số VCO được điều chỉnh theo tần số đầu vào nên $(\omega_1 - \omega_2)$ có thể giảm xuống giá trị nhỏ bất kỳ. Điều này tạo ra một "độ gợn" lớn ở đầu ra mạch LPF. Độ gợn này có thể dẫn đến khó khăn trong xử lý bám tần số của FLL hoặc khi chuyển hoạt động của CDR từ khóa tần số sang khóa pha. Giải pháp để khắc phục vấn đề này là sử dụng kiến trúc cân bằng của mạch vuông pha như trên Hình 1.24 để triệt tiêu thành phần $2(\omega_1 - \omega_2)$ tại đầu ra mạch cộng, từ đó xử lý khóa tần số được cải thiện [19].



Hình 1.24: Mạch phát hiện tần số vuông pha cải tiến

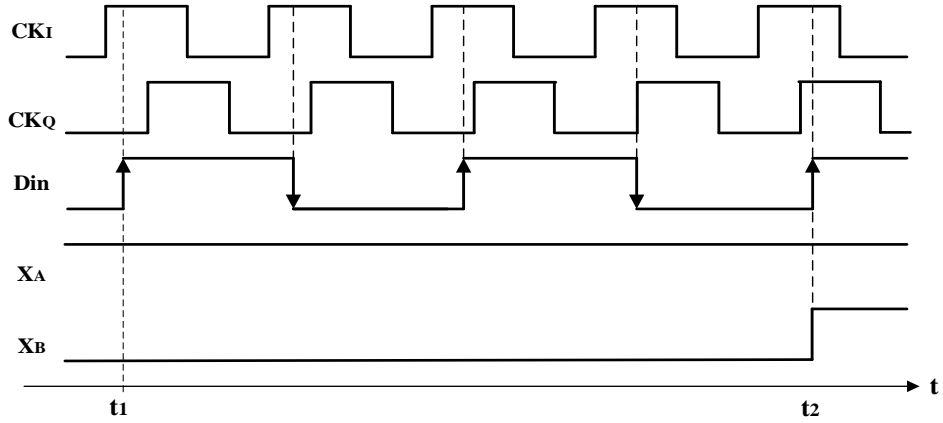
Phiên bản số cho mạch phát hiện tần số vuông pha có thể được xây dựng dựa trên quan sát rằng PD dựa trên D-FF hoạt động trên cả hai sườn của dữ liệu sẽ tạo ra đầu ra phách nếu tốc độ dữ liệu và tần số xung đồng hồ không bằng nhau. Hơn nữa, tương tự như mạch nhân, PD trong trường hợp này chuyển sự dịch pha ở xung đồng hồ thành sự dịch pha tương đương trong dạng sóng phách. Do đó, chúng ta có thể sử dụng hai PD dựa trên D-FF lấy mẫu các pha cầu phương của xung đồng hồ theo các sườn dữ liệu (Hình 1.25) để tạo ra hai dạng sóng phách có độ lệch pha 90° .



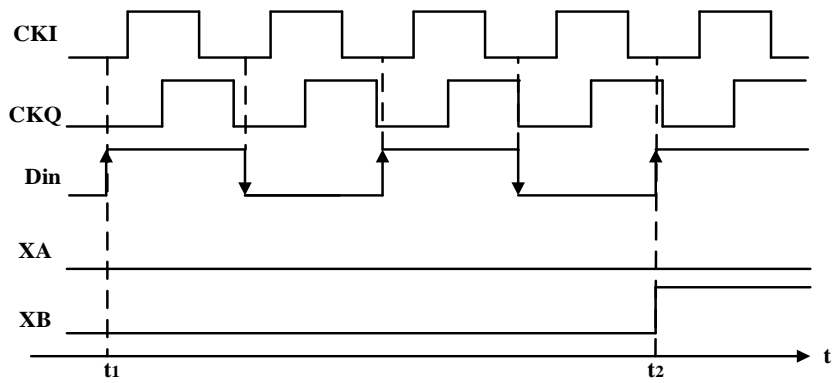
Hình 1.25: Lấy mẫu các xung đồng hồ vuông pha bởi dữ liệu để xác định sự sai khác tần số

Hình 1.26 thể hiện dạng sóng đầu ra cho xung đồng hồ nhanh và xung đồng hồ chậm hơn dữ liệu theo sơ đồ thực hiện trên Hình 1.25 tương ứng. Như được minh họa trong Hình 1.26(a), nếu xung đồng hồ CK nhanh và sự chuyển dữ liệu tăng tại $t = t_1$ lấy mẫu mức '1' trên CK_I và mức '0' trên CK_Q thì sườn tăng tiếp theo của dữ liệu xuất hiện muộn hơn thời điểm $t = T_{CK} + t_1$ sẽ lấy mẫu một điểm trên CK_I gần hơn với sườn giảm tiếp theo của nó và một điểm trên CK_Q gần hơn với sườn tăng tiếp theo của nó. Thành ra, sau một vài chu kỳ thì tại $t = t_2$, D_{in} bắt đầu lấy mẫu ở mức logic cao trên cả CK_I và CK_Q ; tức là $x_B(t)$ thành mức logic cao trong khi $x_A(t)$ đang có mức logic cao. Trong trường hợp xung đồng hồ chậm như được minh họa trong Hình 1.26(b) thì sườn tăng tiếp theo của dữ liệu lấy mẫu gần hơn với sườn giảm của CK_Q . Do đó, tương tự như trường hợp xung đồng hồ nhanh, sau một vài chu kỳ thì $x_B(t)$ thành mức logic cao trong khi $x_A(t)$ đang có mức logic thấp. Như vậy, nếu các sườn tăng của $x_B(t)$ được sử dụng để lấy mẫu $x_A(t)$ thì khi $f_{VCO} > R_b$, kết quả nhận được là mức logic cao, còn khi $f_{VCO} < R_b$ thì kết quả nhận được là mức logic thấp. Hình 1.27

thể hiện mạch phát hiện tần số theo nguyên lý trên. Mạch phát hiện tần số này có đặc tính bang-bang.

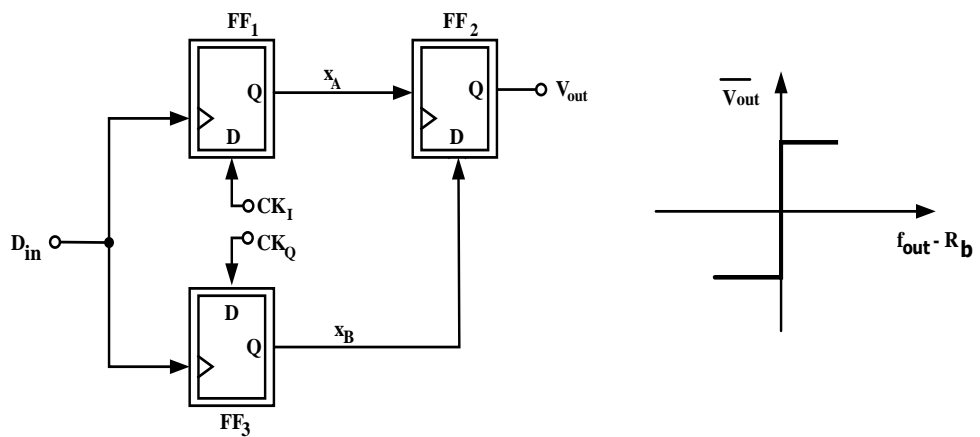


(a)



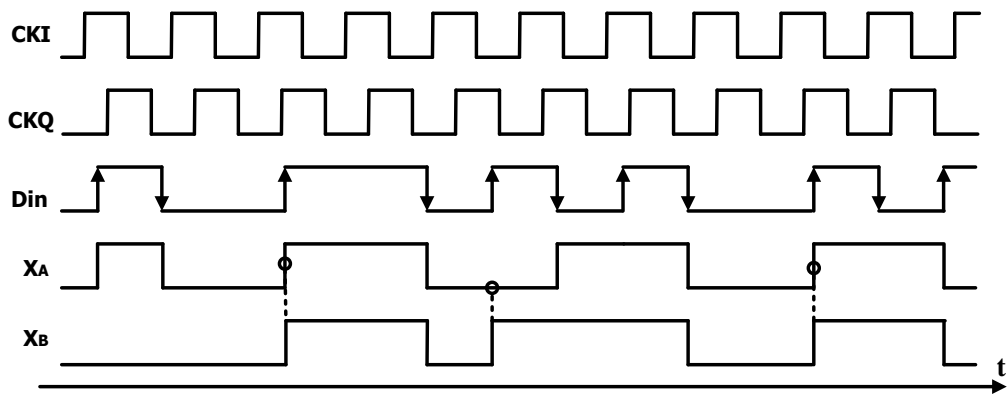
(b)

Hình 1.26: Dạng sóng của FD cho xung đồng hồ (a) nhanh và (b) chậm

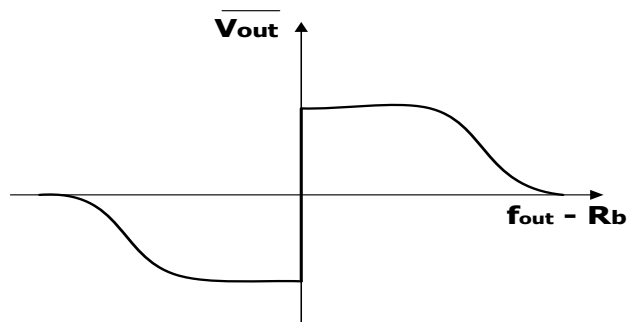


Hình 1.27: Mạch phát hiện tần số cho dữ liệu ngẫu nhiên

Tuy nhiên, kỹ thuật phát hiện tần số này có khoảng bám tần số hạn chế đối với mạch CDR. Giả sử sai lệch tần số ($f_{CK} - R_b$) lớn đến mức các sườn dữ liệu dương trong Hình 1.26(a) trôi đáng kể từ một bit sang bit tiếp theo. Khi đó, các đầu ra của FF_1 và FF_3 xuất hiện như được thể hiện trên Hình 1.28(a) chỉ ra rằng FF_2 có thể giả ổn định cho hầu hết các mẫu (sườn tăng tại đầu ra FF_3 trùng với sườn tăng tại đầu ra FF_1) và mạch FD lỗi để phát hiện sự sai khác tần số. Về bản chất, đặc tính bang-bang của FD trong Hình 1.27 được thay đổi như trong Hình 1.28(b) để phản ánh đặc tính thực tế của FD khi lỗi tần số tăng. Trong thực tế, khoảng bám của FLL khi sử dụng FD trong Hình 1.27 đạt được xấp xỉ dưới 15% [19].



(a)



(b)

Hình 1.28: (a) Lỗi của mạch FD trong Hình 1.27 khi có lỗi tần số lớn, (b) đặc tuyến của FD thực tế

1.3.7. Các kiến trúc của mạch CDR dựa trên PLL

Các kiến trúc điển hình của mạch CDR thường dựa trên cấu trúc vòng khóa pha tương tự (APLL) [19, 52-54], vòng khóa pha số (DPLL) [55, 56] hoặc vòng khóa trễ (DLL) [57, 58]. Tuy nhiên, có nhiều loại kiến trúc CDR khác như kiến trúc dựa trên nội suy pha [59, 60], lấy mẫu tần số lớn hơn tần số Nyquist [61, 62], sự tiệm khóa [63, 64], mạch dao động công [65, 66] và mạch lọc thông dải với hệ số phẩm chất Q cao [67]. Sự lựa chọn tốt nhất cho kiến trúc CDR sẽ phụ thuộc vào ứng dụng và các yêu cầu về chỉ tiêu kỹ thuật cụ thể.

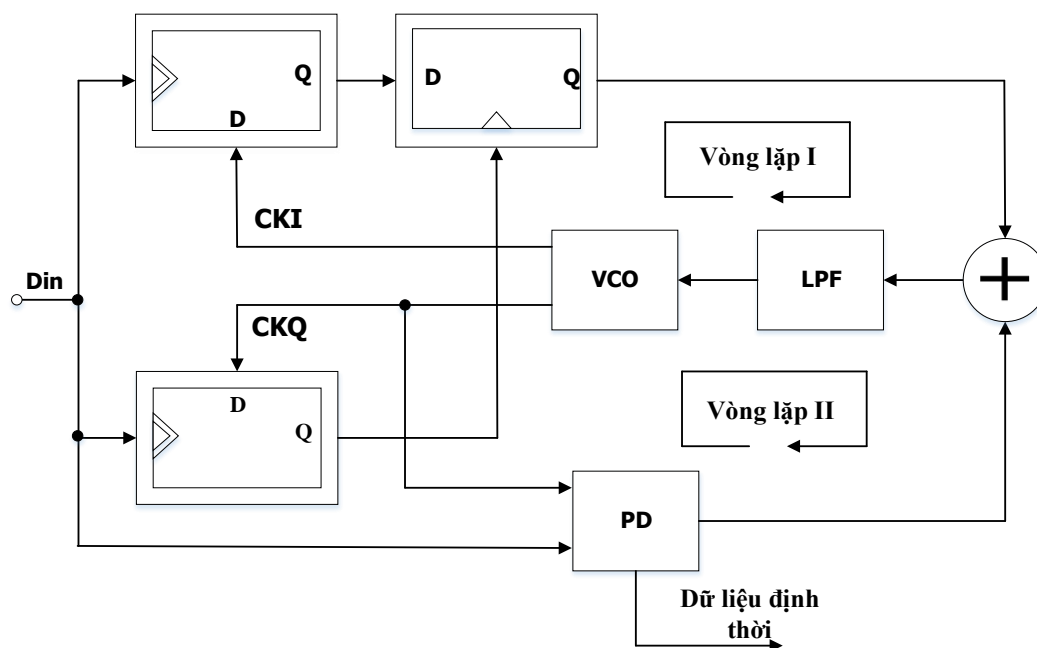
Trong phạm vi nghiên cứu, luận án tập trung vào trình bày về kiến trúc mạch CDR dựa trên PLL. Từ các nghiên cứu về mạch phát hiện pha và tần số, các kiến trúc của mạch CDR dựa trên PLL hoàn chỉnh có thể đạt được. Mỗi kiến trúc phải bao gồm (a) đạt được sự bám tần số và pha để đảm bảo trạng thái khóa dù tần số của VCO bị thay đổi do ảnh hưởng của quá trình chế tạo và nhiệt độ và (b) khôi phục lại dữ liệu bên trong mạch PD để tránh vấn đề *skew* hệ thống. Trong đó *skew* là hiện tượng xung đồng hồ tới các mạch khác nhau trong hệ thống tại các thời điểm khác nhau.

a. Kiến trúc mạch CDR không sử dụng tần số tham chiếu

Hình 1.29 mô tả kiến trúc mạch CDR không sử dụng tần số tham chiếu, trong đó vòng lặp I sử dụng mạch FD và vòng lặp II sử dụng mạch PD. Khi mạch CDR bắt đầu làm việc hoặc khi mạch mất khóa pha, mạch FD tạo ra điện áp một chiều để điều khiển tần số VCO bám theo tốc độ dữ liệu đầu vào. Khi lỗi tần số nằm trong khoảng bắt của vòng lặp I, mạch PD sẽ xử lý và khóa pha của xung đồng hồ với pha của dữ liệu.

Kiến trúc mạch CDR này có hai vấn đề. Đầu tiên, khi mạch CDR chuyển sự điều khiển VCO từ FD sang PD thì hai vòng lặp có thể tương tác mạnh đến mức toàn bộ hệ thống không thể khóa pha. Khi đó, hai vòng lặp tiếp tục “chiến

đầu” với nhau một cách bất định. Thứ hai, dù các sườn của CK_I hoặc CK_Q được điều chỉnh thẳng hàng với D_{in} khi khóa pha thì mạch FD vẫn có thể tạo ra các xung không liên quan tới độ lệch pha. Với những lý do này, băng thông của FLL thường được chọn nhỏ hơn nhiều so với PLL. Những vấn đề này phải được nghiên cứu cẩn thận cho từng thiết kế và ứng dụng cụ thể.

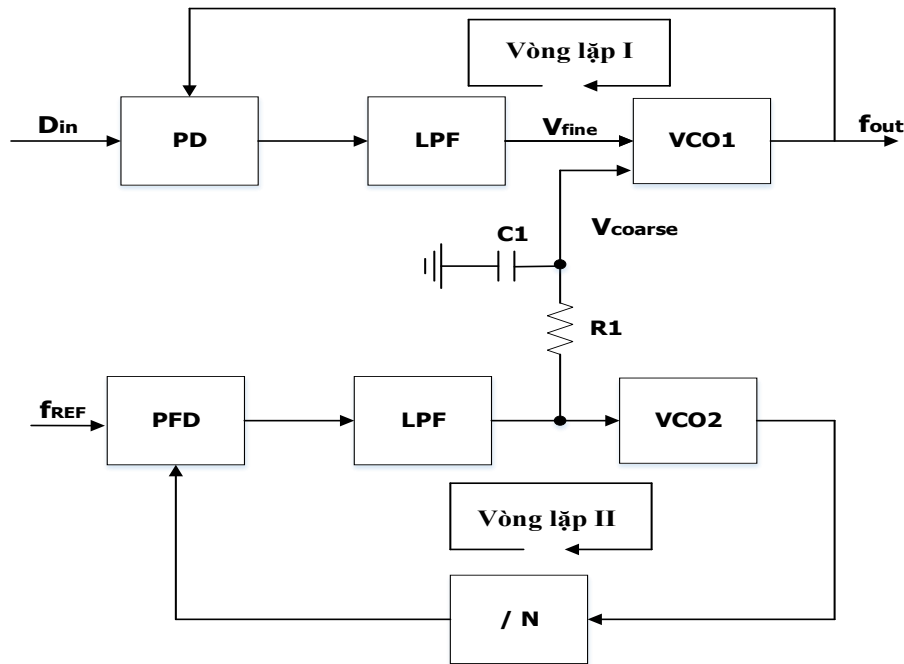


Hình 1.29: Kiến trúc mạch CDR kết hợp FD và PD

b. Kiến trúc mạch CDR sử dụng hai VCO

Kiến trúc mạch CDR sử dụng hai VCO được thể hiện trên Hình 1.30. Trong đó, vòng lặp I khóa VCO_1 với dữ liệu đầu vào thông qua điều khiển tinh. Do hệ số khuếch đại của VCO_1 đối với đầu vào điều khiển tinh là tương đối thấp nên độ gợn trên đường điều khiển này chỉ tạo ra một jitter nhỏ ở đầu ra. Tuy nhiên, sự điều khiển tinh có thể không cung cấp đủ khoảng điều chỉnh tần số để chống lại ảnh hưởng của quá trình chế tạo và nhiệt độ. Do đó, vòng lặp II được thêm vào để khóa tần số của VCO_2 đến Nf_{REF} . VCO_2 là bản sao của VCO_1 và điện áp điều khiển của vòng này cũng được đưa đến đầu vào thô của VCO_1 . Nếu Nf_{REF} chính xác bằng tốc độ dữ liệu đầu vào, hai VCO hoàn toàn giống

nhau và hệ số khuếch đại của VCO_1 bằng với hệ số khuếch đại của VCO_2 thì điện áp trên đường điều khiển tinh của VCO_1 ổn định tại điện áp bằng với điện áp trên đường điều khiển thô. Mạch lọc thông thấp bao gồm R_1 và C_1 loại bỏ độ gợn sóng sinh ra trong vòng lặp II để tạo ra đường điều khiển tạp âm thấp cho VCO_2 .



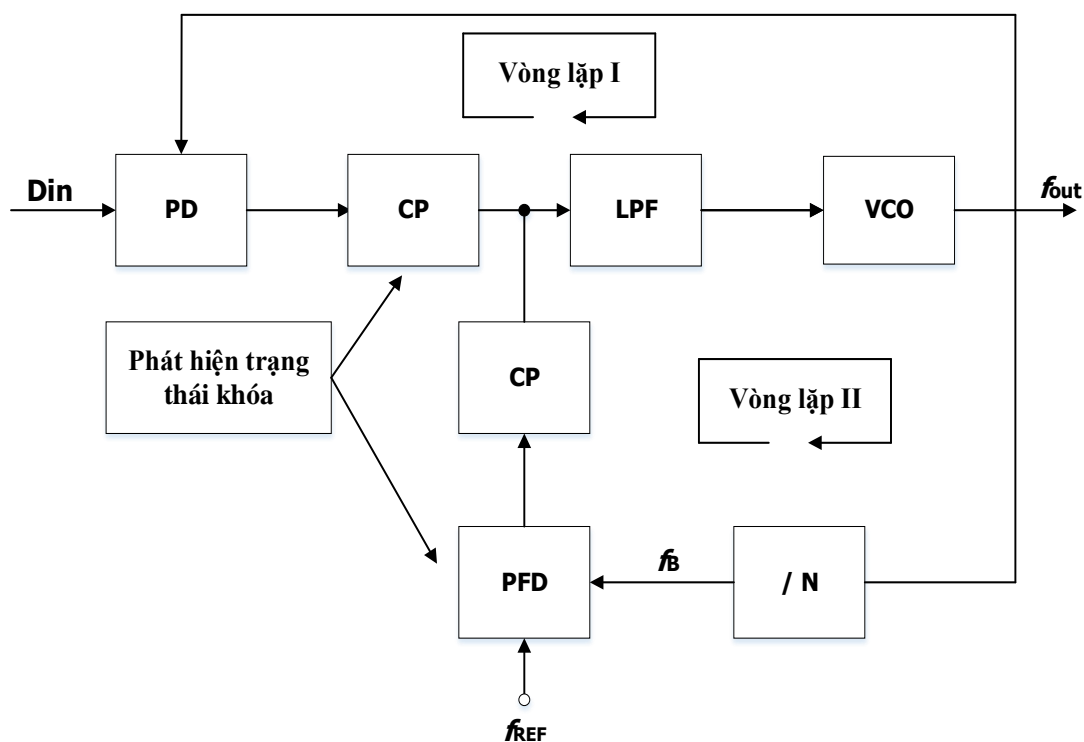
Hình 1.30: Kiến trúc CDR sử dụng hai VCO

Trong khi kiến trúc này giảm được ảnh hưởng của độ gợn sóng trên đường điều khiển thì nó phải đối mặt với hai vấn đề. Đầu tiên, sự không phối hợp ngẫu nhiên không thể tránh được giữa hai VCO dẫn đến một sự không phối hợp về tần số trung tâm giữa chúng mặc dù chúng chia sẻ cùng một đường điều khiển thô. Vì lý do này, vòng lặp I vẫn phải đạt được một khoảng bắt đủ rộng để đảm bảo khóa với bất kỳ lỗi tần số sinh ra nào. Với sự không phối hợp tần số điển hình khoảng vài phần trăm, các mạch PD cho dữ liệu ngẫu nhiên có thể không cung cấp đủ khoảng bám. Thứ hai là, ngay cả khi các mạch dao động phối hợp một cách hoàn hảo thì tốc độ dữ liệu đến cũng không chính xác bằng Nf_{REF} vì tần số tham chiếu trong máy phát ở đầu cuối xa được lấy từ mạch tạo dao động

thạch anh có thể bị sai lệch từ 5 đến 10 ppm so với mạch tạo f_{REF} trong máy thu. Do đó, VCO_1 và VCO_2 hoạt động ở các tần số khác nhau và có thể ảnh hưởng lẫn nhau qua các đường cấp nguồn. Một vấn đề khác trong kiến trúc CDR ở Hình 1.30 liên quan đến layout của hai VCO. Nếu cả hai mạch dao động sử dụng các khung LC thì diện tích lớn của các cuộn cảm trên chip tạo ra khó khăn trong việc định tuyến tín hiệu và đường nguồn.

c. Kiến trúc mạch CDR hai vòng lặp với tần số tham chiếu bên ngoài

Hình 1.31 thể hiện kiến trúc mạch CDR đạt được khóa tần số và khóa pha trong hai bước và sử dụng chỉ một VCO.

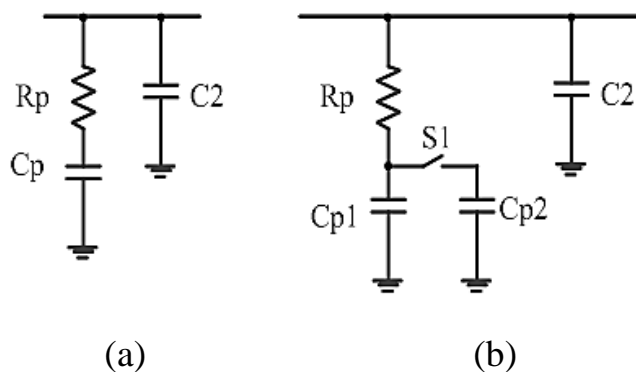


Hình 1.31: Kiến trúc CDR sử dụng tần số tham chiếu bên ngoài

Đầu tiên mạch CDR cho phép vòng lặp II làm việc để mạch dao động khóa tại tần số Nf_{REF} . Mạch phát hiện trạng thái khóa kiểm tra sự sai khác giữa hai tần số f_B và f_{REF} . Mạch này sẽ chuyển hoạt động của CDR từ vòng lặp II sang vòng lặp I khi lỗi tần số giảm xuống một giá trị đủ nhỏ. Thành ra, vòng lặp I

bắt đầu với một lỗi tần số trong khoảng bắt của nó và khóa VCO với dữ liệu. Mạch phát hiện trạng thái khóa tiếp tục hoạt động để vòng lặp II có thể hoạt động lại nếu vòng lặp I mất khóa do tạp âm không mong muốn. Kiến trúc CDR trong Hình 1.31 không có vấn đề mất phối hợp tần số. Tuy nhiên, kiến trúc này có vấn đề liên quan đến việc chuyển hoạt động từ vòng lặp II sang vòng lặp I. Nếu các chuyển mạch thực hiện quá trình chuyển này làm nhiễu loạn đáng kể điện áp điều khiển thì tần số VCO có thể thay đổi một lượng lớn và rơi ra khỏi khoảng bắt của vòng lặp I.

Sự chuyển từ vòng lặp II sang vòng lặp I cũng yêu cầu lưu ý đến thiết kế của mạch lọc vòng. Xem xét mạch lọc vòng được thể hiện trong Hình 1.32(a), trong đó $C_2 < 0,2C_p$ sao cho tụ điện này có ảnh hưởng không đáng kể đến sự ổn định của vòng lặp. Hệ số tắt dần của vòng lặp II được xác định như $\zeta = (R_p / 2) \sqrt{I_p C_p K_{vco} / (2\pi N)}$ thường đòi hỏi các giá trị lớn đối với R_p , I_p , hoặc C_p để bù cho ảnh hưởng của N . Tuy nhiên, các giá trị của R_p và C_p có thể không tạo ra hàm truyền yêu cầu cho vòng lặp I. Thành ra, giá trị R_p hoặc C_p được mong muốn để thay đổi khi vòng lặp này tiếp nhận hoạt động từ vòng lặp II.



Hình 1.32: (a) Mạch lọc vòng đơn giản, (b) mạch lọc vòng có thể chuyển đổi

Xét trường hợp được minh họa trong Hình 1.32(b), trong đó C_{p1} lưu điện áp điều khiển của mạch dao động yêu cầu khi vòng lặp II hoạt động. Tụ C_{p2}

được thêm vào song song với C_{P1} khi chuyển sang vòng lặp I vì vòng lặp này yêu cầu tụ lớn hơn. Tuy nhiên, việc chia sẻ sạc giữa C_{P1} và C_{P2} làm sai lệch điện áp được lưu trữ và có thể khiến tần số VCO ra khỏi khoảng bắt của vòng lặp I.

1.4. Kết luận Chương 1

Trong chương này, Luận án đã trình bày về kiến trúc của máy thu phát quang, vị trí, vai trò và cấu tạo các thành phần của mạch san bằng và mạch khôi phục dữ liệu và xung đồng hồ cũng được giới thiệu. Từ đó làm cơ sở để nghiên cứu và đề xuất mạch san bằng thích nghi và mạch khôi phục dữ liệu và xung đồng hồ tốc độ dữ liệu liên tục trong các máy thu quang.

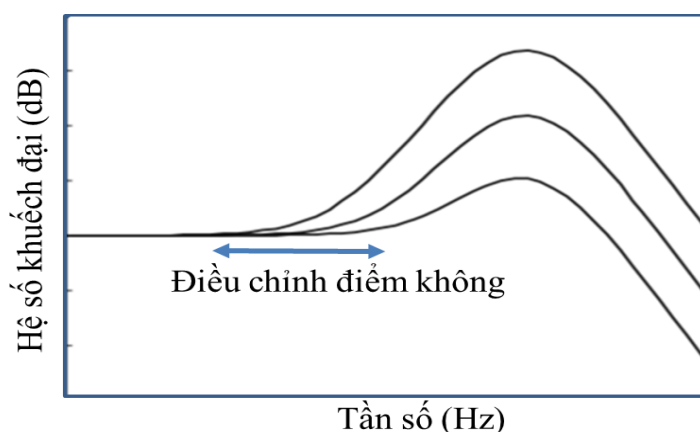
Chương 2

THIẾT KẾ MẠCH SAN BẰNG THÍCH NGHI SỬ DỤNG BỘ ĐẾM

Các mạch san bằng trong thông tin thông tin dữ liệu nối tiếp tốc độ cao nói chung và trong thông tin quang nói riêng đã thể hiện được khả năng bù cho tổn hao trên kênh truyền tại tần số cao. Nội dung chương này, trước tiên trình bày về các kỹ thuật san bằng thích nghi trong máy thu quang. Sau đó, dựa trên các kỹ thuật san bằng thích nghi này, nghiên cứu sinh đề xuất thực hiện và thiết kế mạch san bằng thích nghi dựa trên bộ đếm để giảm thời gian thực hiện san bằng và tăng độ chính xác san bằng. Kết quả thực hiện được so sánh với cùng kỹ thuật san bằng thích nghi. Kết quả của chương này được công bố trong công trình [C2].

2.1. Các kỹ thuật san bằng thích nghi

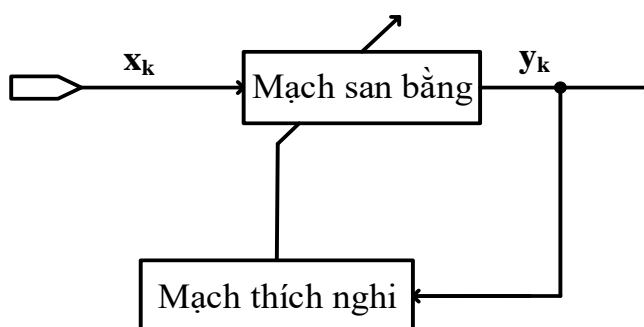
Như đã được trình bày trong Chương 1, các mạch san bằng trong hệ thống thông tin quang bù tổn hao trên đường truyền tại các tần số cao.



Hình 2.1: Đáp ứng tần số của mạch san bằng thích nghi

Tuy nhiên, các tổn hao này là khác nhau theo độ dài sợi quang nên các mạch san bằng thích nghi là cần thiết để mang lại hiệu quả san bằng cao trong các máy thu quang. Trong trường hợp này, việc thiết kế mạch san bằng là điều

chỉnh điểm không của đáp ứng tần số (Hình 2.1) [40] mạch san bằng và giữ cho hệ số khuếch đại tại tần số thấp không đổi. Bởi vì hệ số khuếch đại tần số thấp không đổi nên việc điều chỉnh điểm không tương đương với việc tăng đỉnh của hệ số khuếch đại mạch san bằng tại tần số cao, bù cho tổn hao của tín hiệu tại tần số cao.



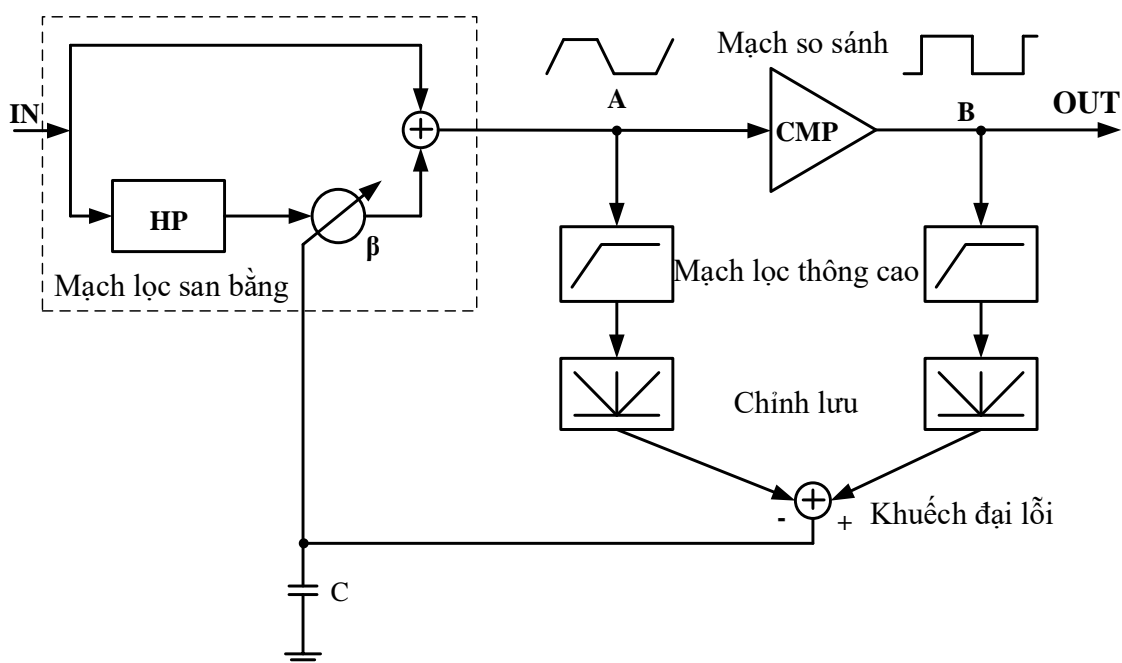
Hình 2.2: Sơ đồ khối thực hiện san bằng thích nghi

Sơ đồ khối thực hiện san bằng thích nghi được thể hiện như trên Hình 2.2. Mạch san bằng có thể là tuyến tính hoặc phi tuyến. Quá trình thích nghi được thực hiện bằng cách đo chất lượng của tín hiệu ở đầu ra mạch san bằng để tự động điều chỉnh hệ số khuếch đại của mạch san bằng. Quá trình thích nghi kết thúc khi chất lượng của mạch san bằng đạt được theo các tiêu chí thiết kế đã được đặt ra. Một số kỹ thuật san bằng thích nghi phổ biến đã được nghiên cứu cho đến nay như san bằng thích nghi sử dụng các mạch lọc, san bằng thích nghi sử dụng kỹ thuật phát hiện độ dốc của dữ liệu, san bằng thích nghi sử dụng kỹ thuật cân bằng phổ và san bằng thích nghi sử dụng bộ đếm.

2.1.1. San bằng thích nghi sử dụng các mạch lọc

Hình 2.3 thể hiện sơ đồ khối của một mạch san bằng thích nghi thời gian liên tục trên công nghệ CMOS [68]. Đầu tiên, tín hiệu sẽ đi qua một mạch lọc san bằng theo hai đường: một đường có hệ số khuếch đại bằng 1 và một đường khuếch đại thành phần tín hiệu tần số cao. Đường khuếch đại thành phần tín hiệu tần số cao sẽ bù cho sự tổn hao của kênh truyền sao cho toàn bộ tổn hao

là như nhau cho tất cả các tần số. Sau đó, đầu ra của mạch lọc san bằng được đưa đến một mạch so sánh để thực hiện xử lý thích nghi. Mức khuếch đại của mạch san bằng được xác định bởi việc so sánh thành phần tín hiệu tần số cao của đầu vào và đầu ra mạch so sánh. Hai cặp lọc thông cao và mạch tách sóng thực hiện trích công suất của thành phần tín hiệu tần số cao, sau đó sử dụng một mạch khuếch đại lỗi để tính toán sự khác nhau giữa chúng. Sự khác nhau này được lọc bởi tụ điện C và được đưa đến mạch lọc san bằng để điều chỉnh hệ số khuếch đại thành phần tín hiệu tần số cao.



Hình 2.3: Sơ đồ khối mạch san bằng thích nghi thời gian liên tục

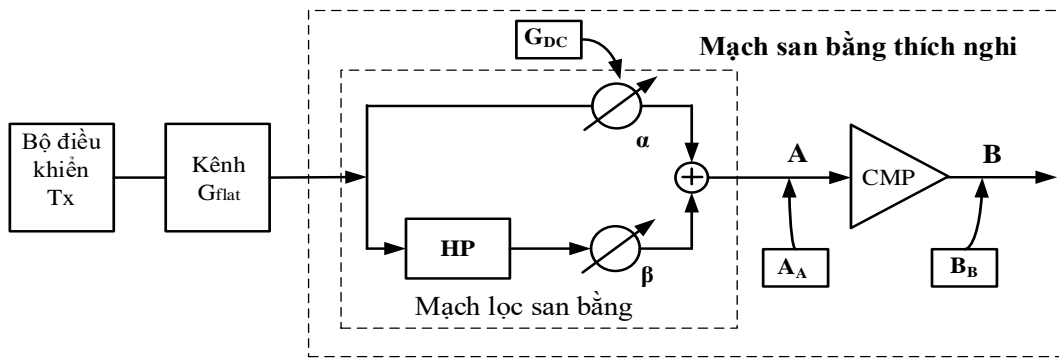
Độ chính xác san bằng cần được xem xét khi thiết kế mạch san bằng thích nghi thời gian liên tục tốc độ cao. Biên độ của tín hiệu tại các điểm A và B trên Hình 2.3 được giả định bằng nhau. Nếu điều này không đúng do sự không ổn định của hệ thống thì vòng thích nghi có thể bị san bằng chưa đủ hoặc quá san bằng đối với thành phần tín hiệu tần số cao. Khi đó, giải pháp san bằng trở nên không tối ưu. Biên độ thiết lập tại điểm B được xác định bởi việc điều khiển dải động của mạch so sánh. Trong khi đó, các nguồn gây ảnh

hưởng tới biên độ thiết lập của điểm A có thể được chia vào hai thành phần: phụ thuộc vào tần số và không phụ thuộc vào tần số. Trong hàm truyền của cáp thì thành phần không phụ thuộc vào tần số xuất hiện như sự tổn hao phẳng. Khi đó tổn hao phẳng ký hiệu là G_{EFL} có thể được định nghĩa là tỷ số giữa biên độ tín hiệu một chiều tại điểm A và B [64]:

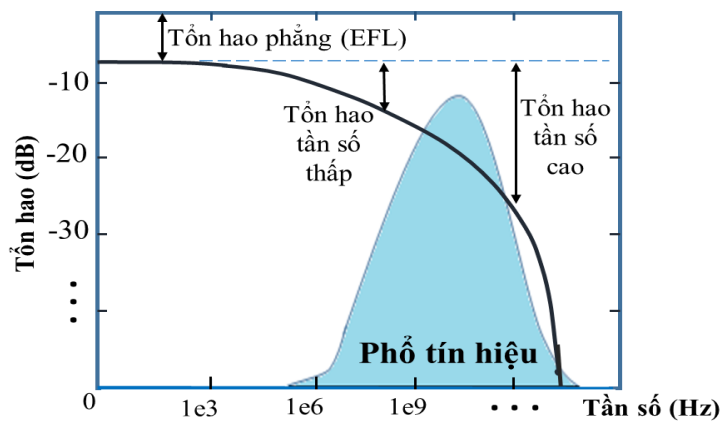
$$G_{EFL} [dB] = 20 \log_{10} \frac{A_A}{A_B} = 20 \log_{10} \frac{A_{TX-sig} G_{flat} G_{DC}}{A_B} \quad (2.1)$$

trong đó, A_A , A_B ký hiệu là biên độ tín hiệu một chiều tại điểm A và B tương ứng, A_{TX-sig} là biên độ tín hiệu của mạch điều khiển máy phát, G_{flat} là tổn hao phẳng của kênh và G_{DC} là hệ số khuếch đại tín hiệu một chiều của mạch san bằng. Từ Hình 2.4(a) và biểu thức (2.1) thì biên độ thiết lập tại điểm A là sự kết hợp ảnh hưởng của biên độ tín hiệu mạch điều khiển máy phát và các hệ số khuếch đại một chiều của mạch lọc san bằng và kênh truyền. Khi đó, tổn hao phẳng (EFL) có thể bị thay đổi một giá trị nhỏ do sự thay đổi trong dải động của máy phát và hệ số khuếch đại một chiều của mạch san bằng. Vì hệ số khuếch đại trong mỗi tầng có thể lớn hơn hoặc nhỏ hơn 1 nên EFL tính theo dB có thể có giá trị dương hoặc âm, điều này khác với tổn hao phẳng thông thường của kênh. Hơn nữa, nếu tăng tốc độ hoạt động của mạch bằng cách thay mạch lọc san bằng thông thường bởi thiết kế vòng lặp hở trong [69] thì EFL sẽ tăng lên.

Ngoài ra, độ chính xác của quá trình thích nghi cũng chịu ảnh hưởng bởi tổn hao thành phần tần số thấp (LFL) của kênh. Do đó, biên độ thiết lập tại điểm A thay đổi có ảnh hưởng trên cả EFL và LFL như được thể hiện trên Hình 2.4(b). Vì vậy, để bù cho sự thay đổi này thì ngoài vòng điều khiển hệ số khuếch đại thành phần tín hiệu tần số cao thì cũng cần một vòng điều khiển hệ số khuếch đại thành phần tín hiệu tần số thấp [68] như được thể hiện trên Hình 2.5.

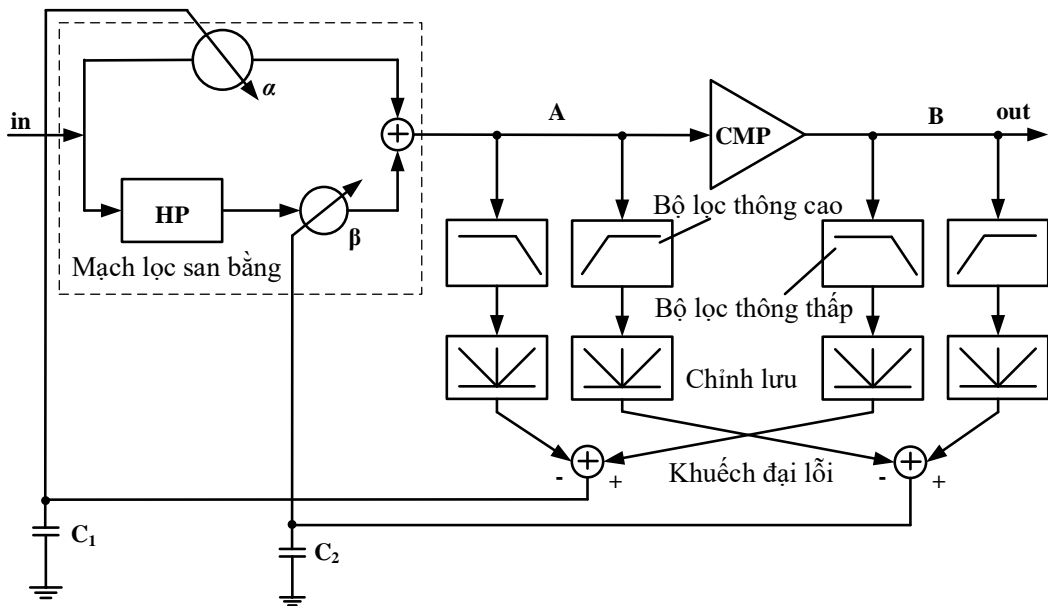


(a)



(b)

Hình 2.4: (a) Các nguồn tổn hao phẳng, (b) các tổn hao phụ thuộc tần số

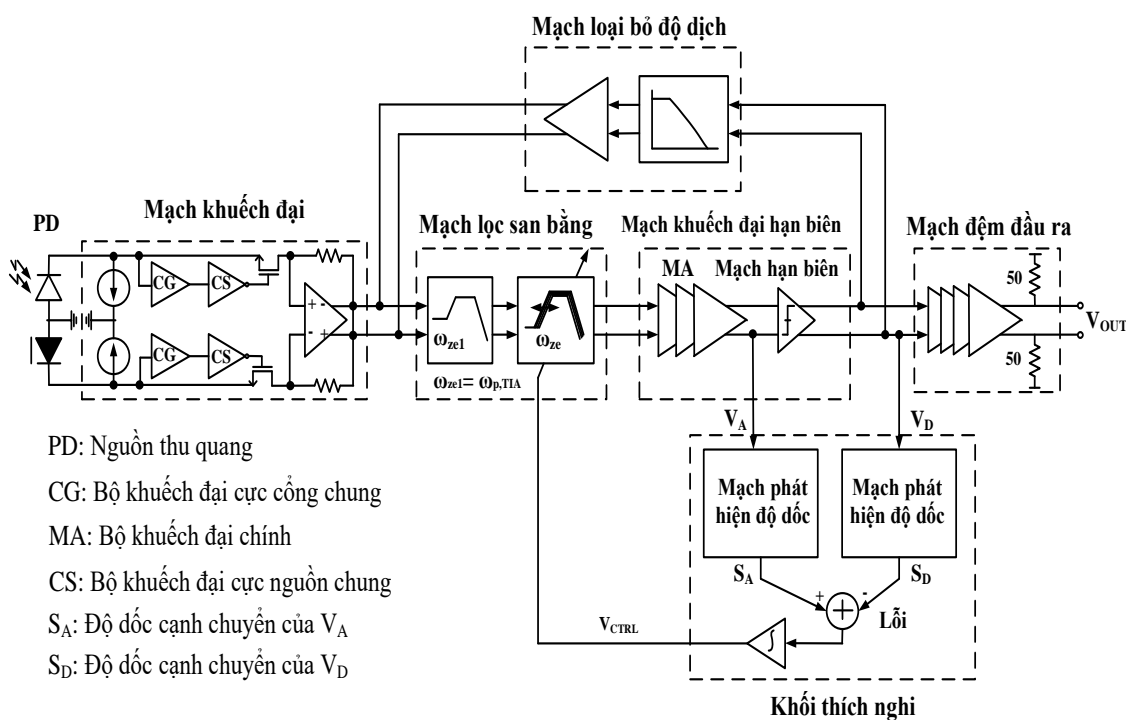


Hình 2.5: Sơ đồ khối đề xuất của mạch san bằng thích nghi trong [68]

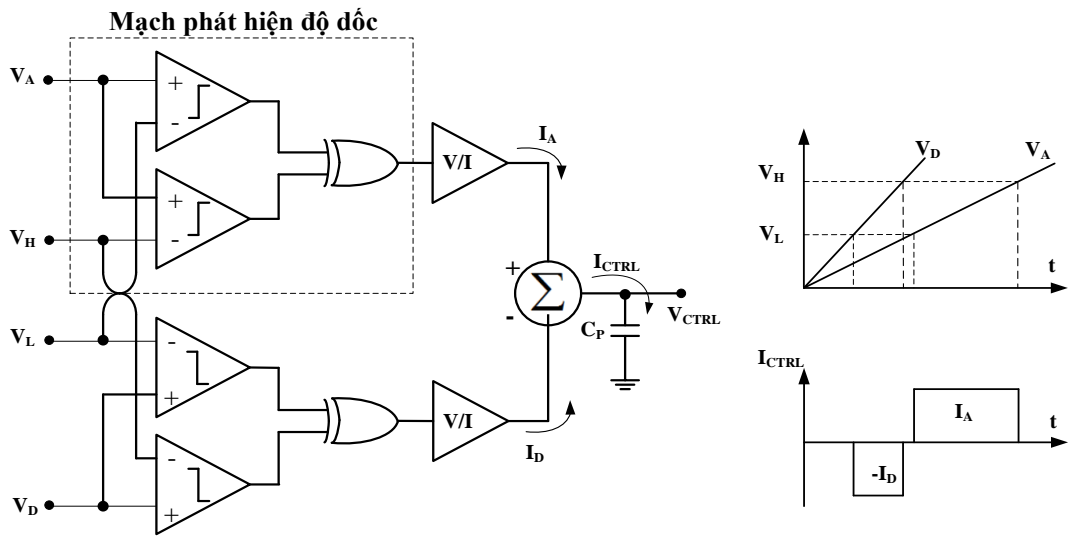
Vòng điều khiển hệ số khuếch đại tín hiệu tần số thấp hoạt động tương tự như vòng điều khiển hệ số khuếch đại tín hiệu tần số cao. Với cách tiếp cận này, hệ số khuếch đại thành phần tín hiệu tần số thấp của mạch lọc san bằng được điều khiển trực tiếp nên mạch lọc san bằng phản hồi âm thông thường có thể được thay thế bằng một thiết kế vòng lặp hở để đạt được tần số hoạt động cao hơn. Hơn nữa, trong trường hợp tổn hao của kênh lớn thì một mạch lọc san bằng nhiều tầng có thể được sử dụng để đạt được đủ hệ số khuếch đại và băng thông.

2.1.2. San bằng thích nghi dùng kỹ thuật phát hiện độ dốc của dữ liệu

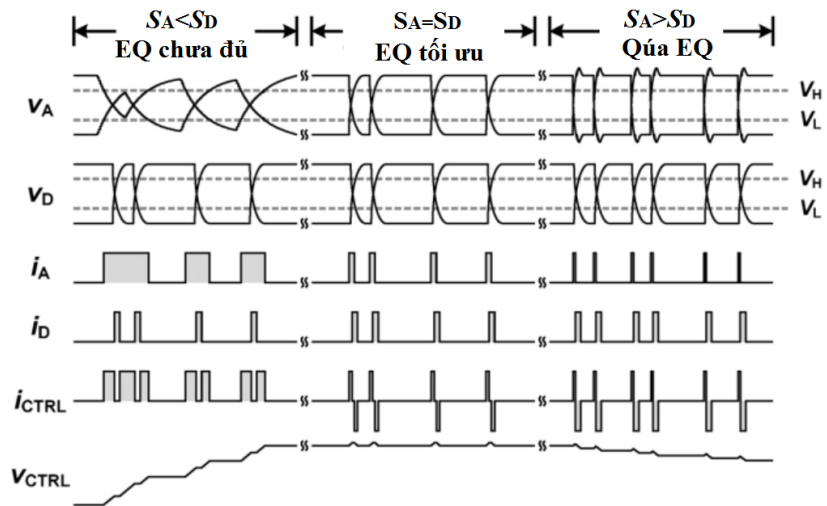
Như đã trình bày ở trên, san bằng thích nghi đạt được bằng cách sử dụng các mạch lọc thông thấp, thông cao thụ động. Các mạch lọc này chiếm một diện tích lớn trên chip. Để khắc phục vấn đề diện tích chiếm lớn của mạch lọc thụ động thì kỹ thuật san bằng thích nghi dựa trên việc phát hiện độ dốc của dữ liệu đã được đề xuất trong [4].



Hình 2.6: Kiến trúc của máy thu quang tích hợp



(a)



(b)

Hình 2.7: (a) Sơ đồ khối của mạch phát hiện độ dốc dữ liệu,
b) nguyên lý hoạt động của mạch thích nghi

Hình 2.6 thể hiện kiến trúc của máy thu quang tích hợp. Trong đó, tần số điểm không tối ưu của mạch lọc san bằng đạt được bằng cách cực tiểu sự khác nhau về độ dốc giữa đầu vào (V_A) và đầu ra (V_D) của mạch hạn biên. Hình 2.7(a) thể hiện sơ đồ khối thực hiện của mạch thích nghi trong [4]. Mạch phát hiện độ dốc của dữ liệu bao gồm hai mạch so sánh với V_L và V_H là hai điện áp tham chiếu cố định, một cổng XOR và một mạch chuyển đổi điện áp thành dòng điện

(V/I). Giả sử dải động tín hiệu của hai đầu vào mạch phát hiện sườn nằm giữa $[V_{thấp}, V_{cao}]$. Khi đó, các điện áp tham chiếu (V_L và V_H) được xác định như $V_{thấp} < V_L < V_H < V_{cao}$. Khi tín hiệu đầu vào (V_A hoặc V_D) nằm trong khoảng (V_L, V_H) thì đầu ra cổng XOR có mức logic cao. Điều này tương đương với một xung dòng có độ rộng xung tỷ lệ đảo với độ dốc của tín hiệu đầu vào. Sau đó, sự khác nhau về dòng (từ V_A và V_D) được phóng và nạp qua tụ điện C_p để tạo ra điện áp điều khiển V_{CTRL} . Điện áp V_{CTRL} này được sử dụng để điều khiển tần số điểm không của mạch lọc san bằng.

Hình 2.7(b) miêu tả ba trường hợp san bằng là san bằng chưa đủ, san bằng tối ưu và quá san bằng, trong đó S_A và S_D là các độ dốc của V_A và V_D tương ứng. Trong trường hợp san bằng chưa đủ ($S_A < S_D$) thì V_{CTRL} tăng vì một độ dốc sườn nhanh hơn sẽ gây ra một xung dòng ngắn hơn và sự khác nhau về dòng ($i_{CTRL} = i_A - i_D$) trở nên dương hơn. Ngược lại, V_{CTRL} sẽ giảm trong trường hợp quá san bằng ($S_A > S_D$). Chỉ trường hợp S_A bằng với S_D thì V_{CTRL} mới được giữ không đổi.

2.1.3. San bằng thích nghi sử dụng kỹ thuật cân bằng phổ

Một kỹ thuật san bằng thích nghi mới được đề xuất trong [2]. Phương pháp này dựa trên cách tiếp cận về cân bằng phổ để khắc phục vấn đề không bằng nhau của biên độ tín hiệu khi so sánh của các mạch san bằng thông thường và loại bỏ sự cần thiết của mạch hạn biên trong mạch. Mạch hạn biên là thành phần khó điều khiển và là nguyên nhân chính hạn chế tốc độ hoạt động của mạch. Trước tiên, chúng ta sẽ đi tìm hiểu về kỹ thuật cân bằng phổ với việc xem xét một dữ liệu nhị phân ngẫu nhiên lý tưởng. Phổ chuẩn hóa của dữ liệu có thể được biểu diễn như sau:

$$S_x(f) = T_b \left[\frac{\sin(\pi f T_b)}{\pi f T_b} \right]^2 \quad (2.2)$$

trong đó, T_b ký hiệu là chu kỳ bit của chuỗi dữ liệu và:

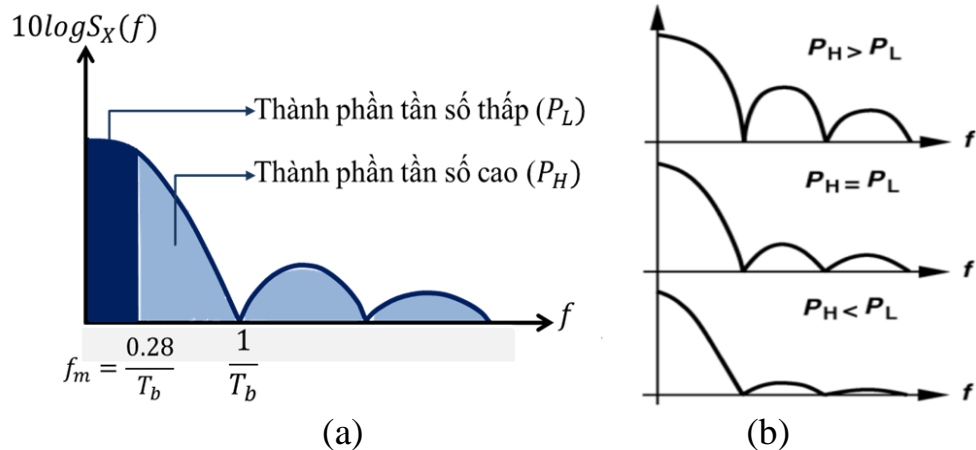
$$\int_0^{\infty} s_x(f) df = \frac{1}{2} \quad (2.3)$$

Để khôi phục lại chính xác dạng sóng thì một mạch san bằng phải có phổ đầu ra gần như lý tưởng. Nói cách khác, chúng ta có thể kiểm tra đầu ra của mạch san bằng để xác định thành phần tín hiệu tần số cao là san bằng chưa đủ hoặc quá san bằng để từ đó điều chỉnh hệ số khuếch đại của mạch san bằng đến một giá trị thích hợp.

Để phân tách phổ, các tác giả trong [2] giả sử tần số f_m chia phổ của tín hiệu thành hai phần có công suất bằng nhau như được minh họa trên Hình 2.8 (a). Khi đó ta có:

$$\int_0^{f_m} S_x(f) df = \int_{f_m}^{\infty} S_x(f) df = \frac{1}{4} \quad (2.4)$$

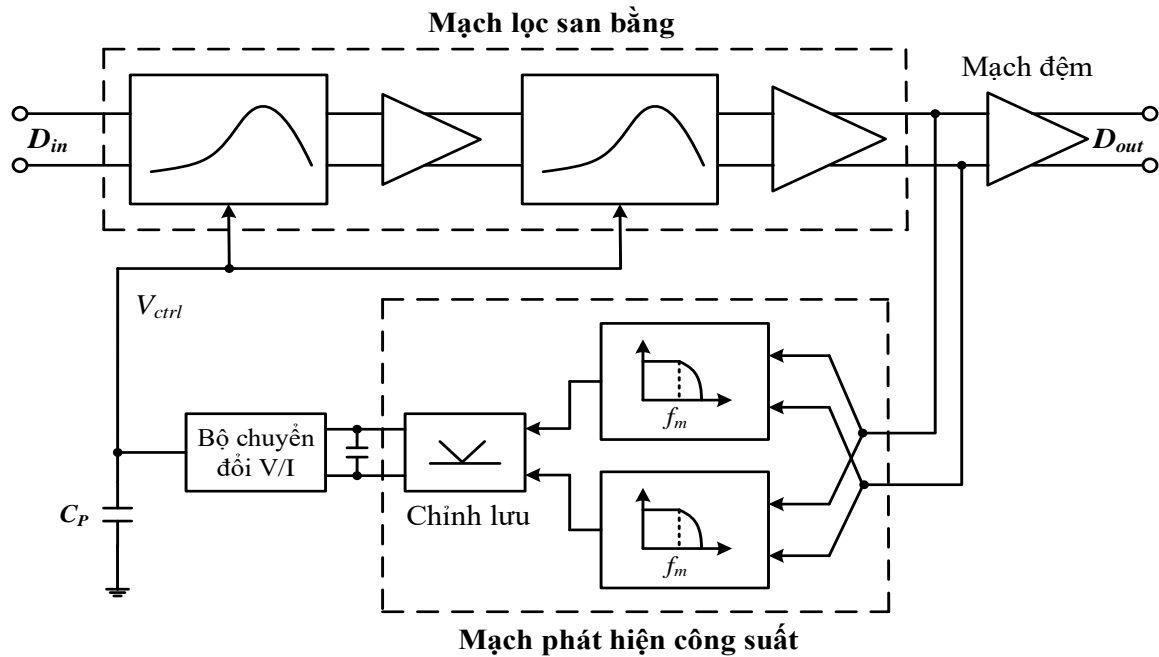
$$f_m \approx \frac{0,28}{T_b} \quad (2.5)$$



Hình 2.8: (a) Sự phân tách phổ, (b) mối quan hệ về phổ của dữ liệu trong các điều kiện bù khác nhau

Cụ thể, công suất của thành phần tín hiệu tần số cao và thấp (lớn hơn và nhỏ hơn f_m) được ký hiệu như P_H và P_L tương ứng. Mối quan hệ về phổ của dữ

liệu trong các điều kiện san bằng khác nhau như quá san bằng ($P_H > P_L$), san bằng tối ưu ($P_H = P_L$) và san bằng chưa đủ ($P_H < P_L$) được thể hiện trên Hình 2.8 (b).

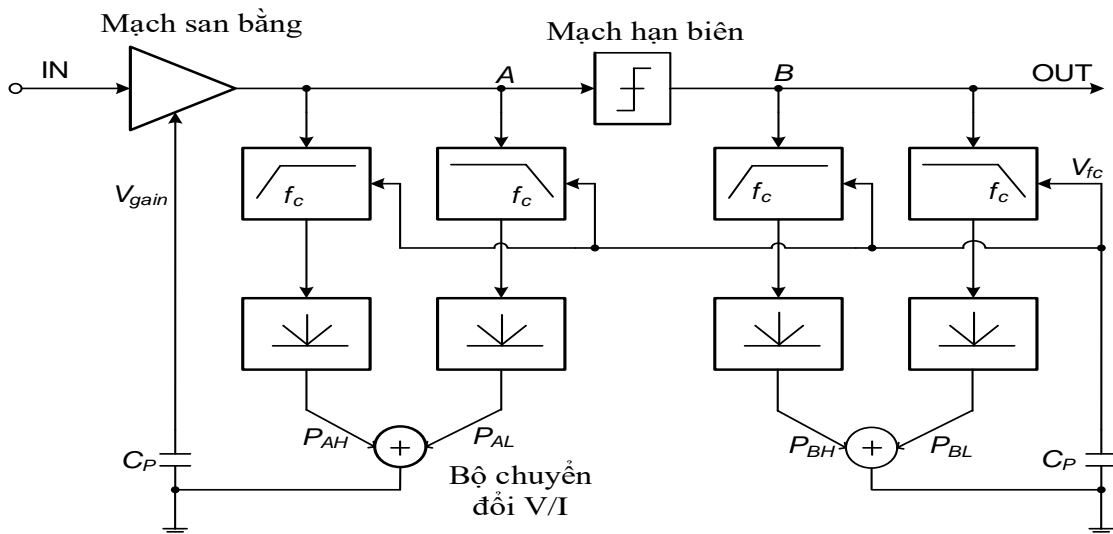


Hình 2.9: Kiến trúc mạch san bằng sử dụng kỹ thuật cân bằng phổ

Dựa trên mối quan hệ về phổ này, mạch san bằng có thể được thực hiện như trong Hình 2.9. Mạch san bằng được thực hiện theo kiến trúc xếp chồng hai tầng. Mỗi tầng gồm mạch khuếch đại điều khiển bằng điện áp và mạch đệm để tạo ra hệ số khuếch đại lớn tại các tần số cao, đầu ra được đưa trực tiếp vào mạch phát hiện công suất. Mạch phát hiện công suất so sánh công suất trung bình của các thành phần tín hiệu tần số thấp và cao (P_H và P_L) bằng các mạch lọc thông thấp, thông cao và một mạch chỉnh lưu hệ số khuếch đại cao. Tín hiệu tại đầu ra của mạch phát hiện công suất được đưa qua một mạch chuyển đổi điện áp thành dòng điện và một tụ điện để tạo ra điện áp điều khiển thích hợp cho mạch lọc san bằng. Như vậy, nếu công suất của thành phần tín hiệu tần số cao của phổ dữ liệu nhỏ thì vòng điều chỉnh sẽ tăng hệ số khuếch đại của mạch san bằng. Ngược lại, nếu công suất của dữ liệu của thành phần tín hiệu tần số

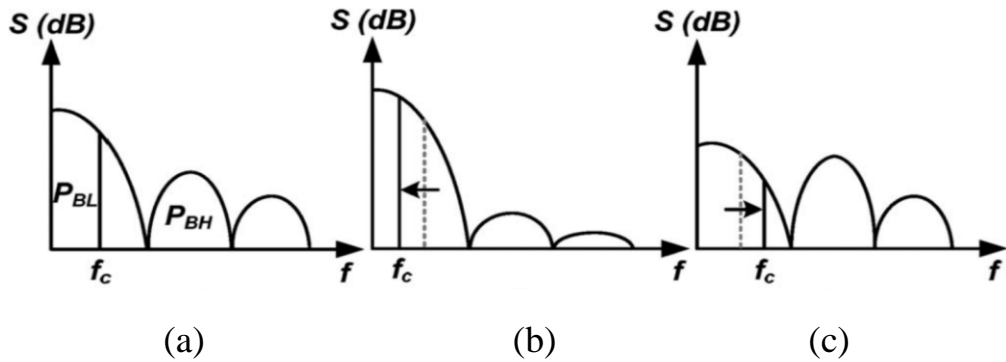
cao lớn thì vòng điều chỉnh sẽ giảm hệ số khuếch đại của mạch san bằng.

Vấn đề chính với kiến trúc san bằng thích nghi dựa trên kỹ thuật cân bằng phổ trong [2] là sự giả định rằng có dữ liệu nhị phân ngẫu nhiên lý tưởng đã được truyền đi. Nếu chuỗi dữ liệu có một mật độ chuyển rất cao hoặc rất thấp thì độ chính xác san bằng sẽ bị giảm bởi khi đó tần số cắt f_m bị thay đổi. Như vậy, độ chính xác san bằng của kỹ thuật này phụ thuộc mạnh vào mẫu dữ liệu. Hơn nữa, kiến trúc này chỉ có hiệu quả với tốc độ dữ liệu đầu vào cố định. Do đó, để khắc phục những vấn đề này, một mạch san bằng thích nghi không phụ thuộc vào mẫu dữ liệu sử dụng kỹ thuật cân bằng phổ đã được trình bày trong [70]. Các tác giả trong [70] sử dụng thêm một vòng điều khiển để điều khiển tần số góc của mạch lọc RC. Bằng cách này, mạch san bằng đạt được độ chính xác cao hơn với các dữ liệu đầu vào khác nhau.



Hình 2.10: Kiến trúc của mạch san bằng đề xuất trong [70]

Kiến trúc của mạch san bằng đề xuất trong [70] được thể hiện như trên Hình 2.10. Mạch san bằng thích nghi gồm hai phần, phần bên trái là phương thức cân bằng phổ trong [2], phần bên phải để đảm bảo hoạt động của mạch san bằng không phụ thuộc vào mẫu dữ liệu cũng như tốc độ dữ liệu đầu vào.



Hình 2.11: Thiết lập tần số f_c tương ứng với các mẫu dữ liệu và tốc độ dữ liệu.
 (a) Mẫu PRBS, (b) Mẫu tần số thấp, (c) Mẫu tần số cao

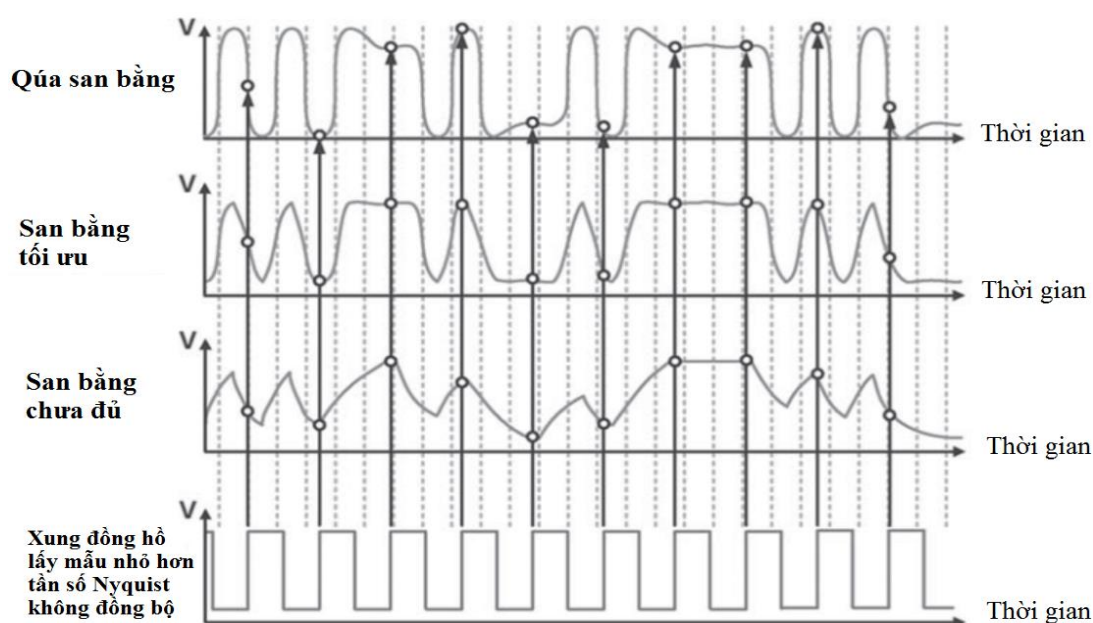
Đầu ra của mạch hạn biên tại nút B đi qua các mạch lọc thông thấp, thông cao RC và các mạch chỉnh lưu để trích ra công suất trung bình tần số thấp (P_{BL}) và công suất trung bình tần số cao (P_{BH}) tương ứng. Mạch so sánh được sử dụng để so sánh P_{BL} và P_{BH} , tạo ra điện áp điều khiển V_{fc} tỷ lệ với sự sai lệch này. Sau đó, V_{fc} được đưa ngược trở lại các mạch lọc RC để điều khiển tần số góc f_c của các mạch lọc này cho đến khi P_{BL} bằng P_{BH} . Như được thể hiện trên Hình 2.11, f_c có thể thay đổi phụ thuộc vào tốc độ dữ liệu và các mẫu dữ liệu đầu vào. Giả sử Hình 2.11(a) là phổ của mẫu dữ liệu ngẫu nhiên với một tốc độ dữ liệu cụ thể. Khi dữ liệu đầu vào bao gồm một chu kỳ dài các bit 0 hoặc 1, tức là mật độ chuyển của dữ liệu thấp thì công suất thành phần tần số thấp sẽ lớn hơn sao cho f_c được thiết lập đến một giá trị nhỏ hơn (Hình 2.11(b)). Tương tự, một tín hiệu đầu vào với mật độ chuyển của dữ liệu cao (số lượng thành phần tần số cao lớn hơn) sẽ dẫn đến giá trị f_c lớn hơn như (Hình 2.11(c)). Các đường nét đứt trong Hình 2.11(b) và (c) là vị trí của f_c trong Hình 2.11(a).

Đầu ra của mạch lọc san bằng tại nút A trong Hình 2.10 đi qua các mạch lọc RC và các mạch chỉnh lưu giống như với nút B . Tần số góc f_c của các mạch lọc thông thấp và thông cao cũng được điều khiển bởi V_{fc} . Công suất P_{AL} và P_{AH} được trích và được so sánh với nhau, sự khác nhau giữa chúng được sử dụng để điều khiển hệ số khuếch đại (V_{gain}) của mạch lọc san bằng cho đến khi P_{AL}

và P_{AH} bằng nhau. Do công suất thành phần tín hiệu tần số thấp và cao tại nút A và B được cân bằng với cùng một giá trị f_c nên hình dạng phổ công suất tại nút A và B bằng nhau. Như vậy, hoạt động của mạch san bằng không phụ thuộc vào các mẫu dữ liệu cũng như tốc độ dữ liệu đầu vào.

2.1.4. San bằng thích nghi sử dụng bộ đếm

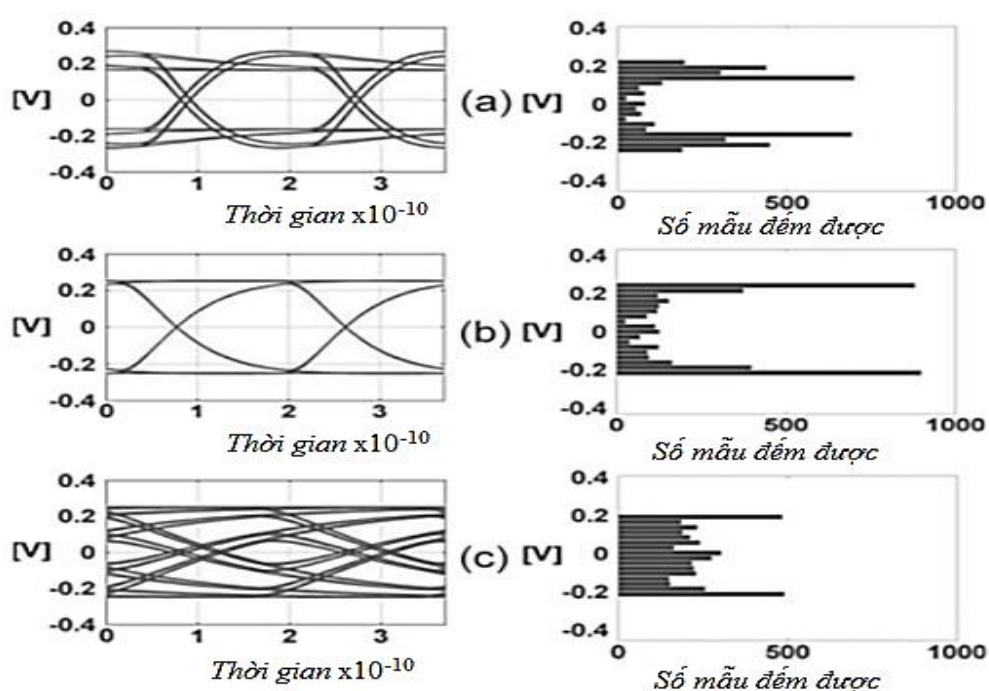
Các mạch san bằng dựa trên kỹ thuật sử dụng mạch lọc [68], phát hiện độ dốc của dữ liệu [4] và cân bằng phổ [2, 70] đạt được sự san bằng thích nghi bằng cách so sánh công suất của các thành phần tín hiệu tần số thấp và tần số cao tại đầu vào và đầu ra của mạch hạn biên, hoặc so sánh giữa hai tín hiệu tại đầu ra của mạch hạn biên. Tuy nhiên, sự thực hiện này yêu cầu các mạch tương tự phức tạp. Hơn nữa, chất lượng của các mạch phát hiện độ dốc của dữ liệu, mạch phát hiện công suất có thể bị nhạy cảm với sự thay đổi của quá trình chế tạo và nhiệt độ. Một giải pháp để loại bỏ sự cần thiết của các mạch tương tự phức tạp là sử dụng bộ đếm trong [9].



Hình 2.12: Quá trình lấy mẫu dữ liệu không đồng bộ theo tần số Nyquist

Đề xuất trong [9] thực hiện mạch san bằng tuyến tính thời gian liên tục

thích nghi dựa trên biểu đồ thu được từ việc lấy mẫu dữ liệu bằng xung đồng hồ không đồng bộ nhỏ hơn tần số Nyquist. Thuật toán thích nghi dựa trên quan sát là sơ đồ mẫu mắt mở nhất sẽ tạo ra giá trị đỉnh lớn nhất trong biểu đồ đạt được từ việc lấy mẫu dữ liệu. Điều này có nghĩa là giá trị đỉnh của biểu đồ thể hiện cho chất lượng của mạch san bằng. Hình 2.12 thể hiện chuỗi dữ liệu nhị phân ngẫu nhiên với các mức san bằng khác nhau.

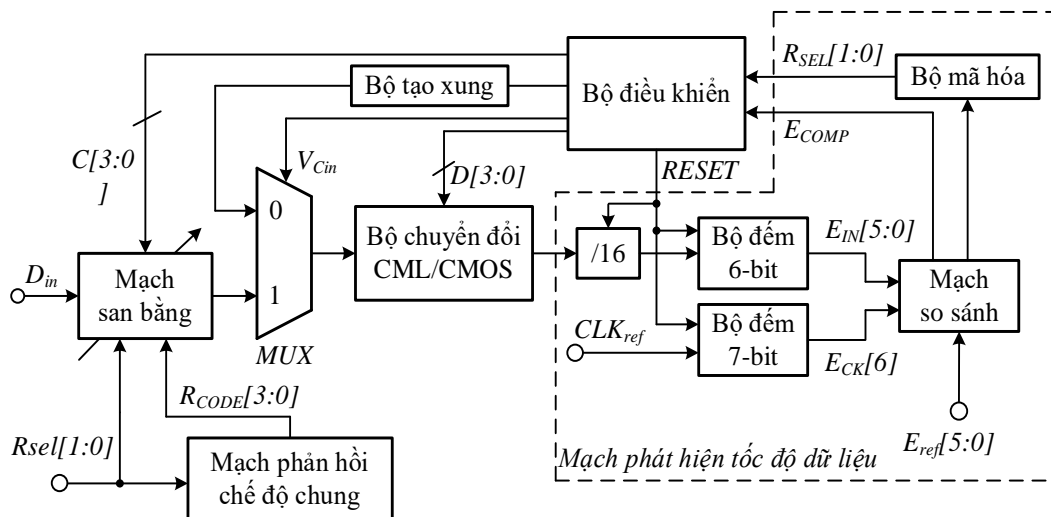


Hình 2.13: Ví dụ của biểu đồ mẫu mắt và các biểu đồ: (a) quá san bằng, (b) san bằng tối ưu, (c) san bằng chưa đủ

Hình 2.13(a) thể hiện trường hợp quá san bằng, đầu ra của mạch san bằng tăng các thành phần tín hiệu tần số cao dẫn đến sự phân bố biên độ của dữ liệu rộng hơn xung quanh các giá trị đỉnh. Với trường hợp san bằng chưa đủ, phân bố của biểu đồ không tập trung mà trải rộng ra như trong Hình 2.13(c). Trong khi đó, như được thể hiện trên Hình 2.13(b), khi san bằng tối ưu, phân bố được tập trung tại các giá trị đỉnh. Dựa trên quan sát này, giải pháp san bằng cho chất lượng mẫu mắt tốt nhất là thực hiện tìm kiếm biểu đồ có giá trị đỉnh lớn nhất.

Trong nghiên cứu này, tốc độ dữ liệu đầu vào 5,4 Gb/s được sử dụng, được lấy mẫu không đồng bộ bởi xung đồng hồ 114 MHz và được so sánh với 32 mức biên độ để đạt được các biểu đồ. Kích thước mẫu cho mỗi biểu đồ là 4000.

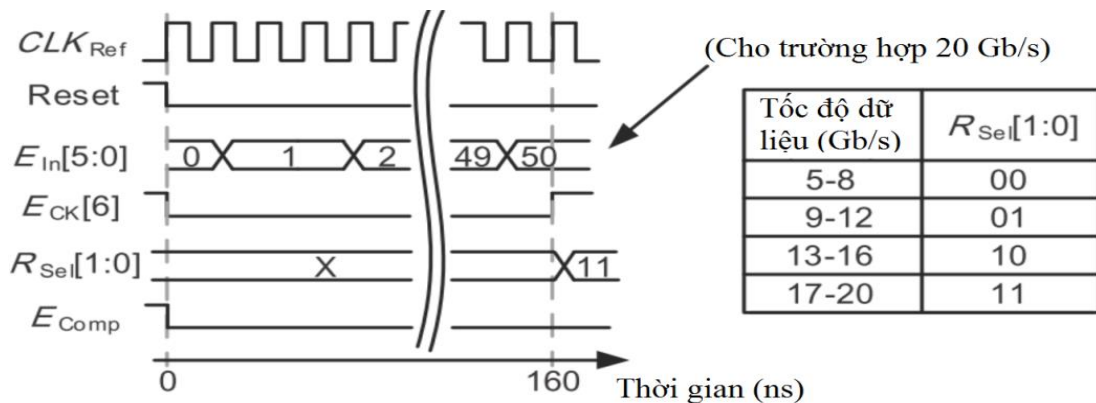
Vấn đề đối với đề xuất này là cần có một mạch bộ nhớ số rất lớn để lưu các giá trị mẫu và thời gian xử lý thích nghi dài. Để giảm thời gian xử lý thích nghi cũng như đơn giản hơn trong thiết kế mạch thì kỹ thuật đếm sườn dữ liệu đã được đề xuất trong [10]. Bằng việc đếm sườn của dữ liệu thu, hệ số khuếch đại của mạch san bằng được điều chỉnh thích nghi và kỹ thuật này làm việc hiệu quả ngay cả khi mạch CDR chưa khóa. Hình 2.14 thể hiện sơ đồ khối mạch san bằng thích nghi, bao gồm mạch CTLE, mạch tạo xung, mạch ghép kênh (MUX), mạch chuyển đổi CML/CMOS, mạch phát hiện tốc độ dữ liệu và mạch điều khiển số. Hoạt động của mạch được chia làm ba giai đoạn. Đầu tiên là xử lý phát hiện tốc độ dữ liệu, sau đó là kiểm tra độ chính xác của mạch chuyển đổi CML/CMOS, và cuối cùng là thực hiện san bằng dữ liệu đã bị tổn hao.



Hình 2.14: Sơ đồ khối của mạch san bằng thích nghi CTLE

Trong chế độ phát hiện tốc độ dữ liệu, mạch MUX lựa chọn dữ liệu bị tổn hao để đưa đến mạch chuyển đổi CML/CMOS. Tại thời điểm ban đầu, hệ số khuếch đại thành phần tần số cao của CTLE được thiết lập đến cực đại ($C[3:0]$)

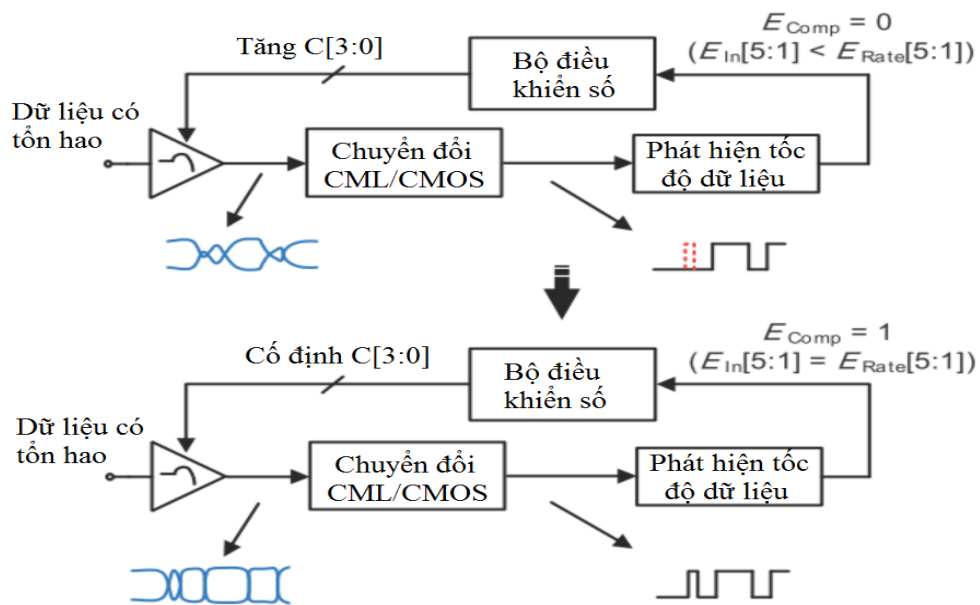
= 1111) và điện áp ngưỡng của mạch chuyển đổi CML/CMOS là cực tiểu ($D[3:0] = 1111$). Mạch phát hiện tốc độ dữ liệu bao gồm một mạch chia cho 16, hai bộ đếm, một mạch mã hóa và một mạch so sánh số. Sơ đồ định thời của mạch phát hiện tốc độ dữ liệu được thể hiện trên Hình 2.15. Một bộ đếm 7 bit được sử dụng để tạo ra cửa sổ thời gian 160 ns từ xung đồng hồ 400 MHz. Khi dữ liệu thu qua mạch chuyển đổi CML/CMOS, được chia bởi mạch chia 16 và bộ đếm 6 bit thì giá trị $E_{In}[5:0]$ được đếm trong cửa sổ thời gian đã được tạo. Giá trị $E_{In}[5:0]$ của các sườn tăng của dữ liệu được lấy mẫu và chốt khi bit có trọng số cao nhất $E_{CK}[6]$ lên mức cao. Khi đó, $E_{In}[5:0]$ được lưu như mã $E_{Rate}[5:0]$, giá trị này sẽ được sử dụng trong giai đoạn san bằng. Sau đó $E_{In}[5:0]$ được so sánh với mã tham chiếu $E_{Ref}[5:0]$, mạch so sánh và mạch mã hóa tạo ra mã $R_{Sel}[1:0]$ cho việc lựa chọn dải tốc độ của dữ liệu đầu vào. Với dữ liệu đầu vào ngẫu nhiên 20 Gb/s thì $E_{Ref}[5:0]$ được xác định là 50. Với dữ liệu 8 Gb/s, 12 Gb/s và 16 Gb/s thì $E_{Ref}[5:0]$ lần lượt là 20, 30 và 40. Giá trị của $R_{Sel}[1:0]$ tương ứng với khoảng dữ liệu đầu vào cũng được thể hiện như trong Hình 2.15.



Hình 2.15: Sơ đồ định thời cho phát hiện tốc độ dữ liệu

Trong giai đoạn thứ hai của mạch san bằng, do điện áp ngưỡng của mạch chuyển đổi CML/CMOS nhạy với sự thay đổi của quá trình chế tạo, nhiệt độ, điện áp nguồn cung cấp và tốc độ của dữ liệu nên nó phải được điều chỉnh. Đầu

tiên, mã điều khiển điện áp ngưỡng $D[3:0]$ được thiết lập đến 0. Mạch MUX lựa chọn mạch tạo xung. Sau đó, $D[3:0]$ được tăng dần cho đến khi xung được phát hiện tại đầu ra mạch chuyển đổi. Điều này đảm bảo sườn của dữ liệu được phát hiện nếu biên độ của dữ liệu đã được san bằng lớn hơn 400 mV. Mặt khác, nếu mạch chuyển đổi thay đổi trạng thái đến thấp hơn hoặc cao hơn điện áp ngưỡng đã được điều chỉnh thì dữ liệu đã san bằng sẽ là san bằng chưa đủ hoặc quá san bằng. Khi giai đoạn này hoàn thành, mạch tạo xung được tắt để tiết kiệm công suất.



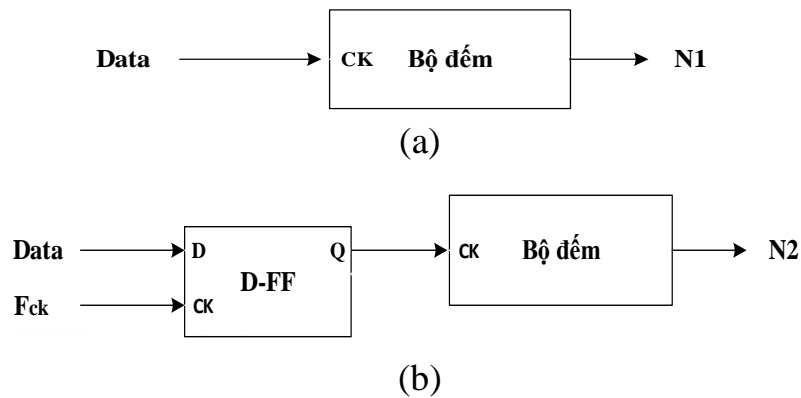
Hình 2.16: Quá trình xử lý san bằng

Trong giai đoạn san bằng, mạch MUX lựa chọn dữ liệu bị tổn hao, hệ số khuếch đại thành phần tín hiệu tần số cao của mạch CTLE được thiết lập đến cực tiểu. Mạch phát hiện tốc độ dữ liệu tích lũy giá trị $E_{In}[5:0]$ của các sườn dữ liệu và so sánh nó với giá trị tham chiếu $E_{Rate}[5:0]$ đã được lưu trong giai đoạn phát hiện tốc độ dữ liệu. Như thể hiện trên Hình 2.16, nếu $E_{In}[5:1]$ nhỏ hơn $E_{Rate}[5:1]$ thì tín hiệu E_{Comp} sẽ có mức logic thấp và mạch điều khiển số sẽ tăng mã $C[3:0]$ để tăng hệ số khuếch đại thành phần tín hiệu tần số cao của mạch CTLE. Khi $E_{In}[5:1]$ bằng $E_{Rate}[5:1]$ thì tín hiệu E_{Comp} sẽ chuyển thành mức logic

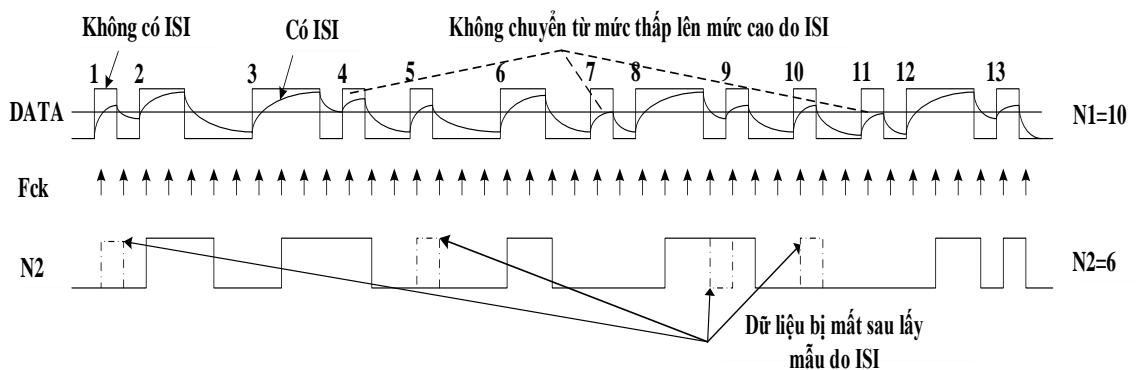
cao, mã C[3:0] được cố định và kết thúc quá trình san bằng.

2.2. Kỹ thuật san bằng thích nghi dựa trên bộ đếm đề xuất

Thuật toán san bằng thích nghi sử dụng bộ đếm trong [10] dựa trên nguyên tắc đơn giản là số sườn của dữ liệu lớn hơn khi ảnh hưởng của ISI nhỏ và ngược lại. Giải pháp này giảm được sự phức tạp trong thực hiện mạch và thời gian thích nghi. Tuy nhiên kỹ thuật này có độ chính xác thực hiện san bằng chưa tối ưu. Để nâng cao độ chính xác trong thực hiện san bằng, nghiên cứu sinh đề xuất thay vì đếm trực tiếp số sườn tăng của dữ liệu thì thực hiện đếm số sườn tăng của dữ liệu đã được lấy mẫu.



Hình 2.17: (a) Sơ đồ khối nguyên lý san bằng trong [10], (b) sơ đồ khối của nguyên lý san bằng đề xuất

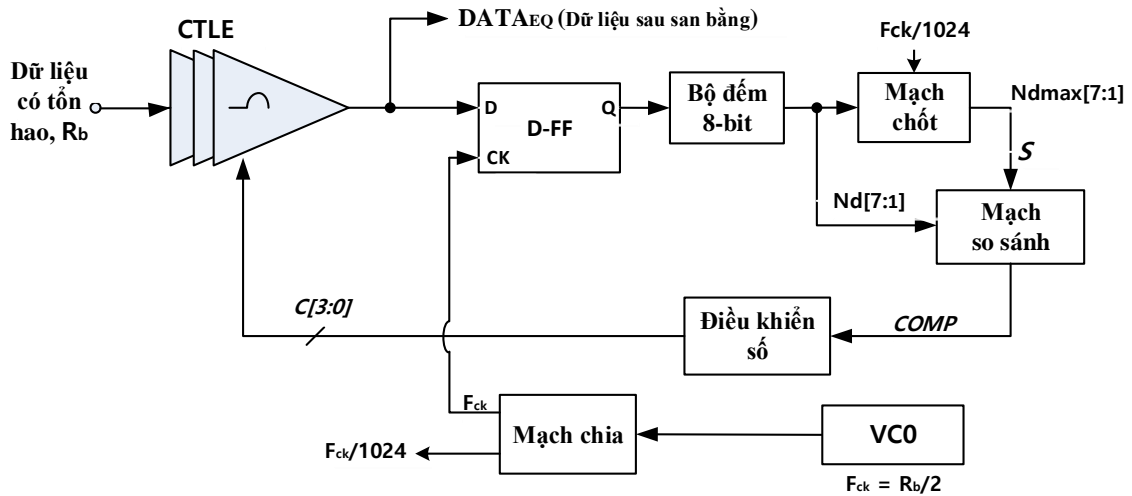


Hình 2.18: Biểu đồ trên miền thời gian của Hình 2.17

Hình 2.17 thể hiện sự so sánh giữa nguyên lý thực hiện san bằng trong [10] với thực hiện san bằng của đề xuất này và biểu diễn trên miền thời gian

của chúng được thể hiện như trong Hình 2.18 với ảnh hưởng của ISI. Trong Hình 2.17(a), dữ liệu được đưa trực tiếp vào bộ đếm để đếm số sườn tăng của dữ liệu. Kết quả được ghi nhận như N1. Trong Hình 2.17(b), dữ liệu được lấy mẫu bởi một xung đồng hồ trước khi đưa vào bộ đếm. Kết quả được ghi nhận như N2. Như được thể hiện trên Hình 2.18, với dữ liệu không bị ảnh hưởng bởi ISI (dữ liệu không bị biến dạng) thì số sườn tăng của dữ liệu là 13, trong khi dữ liệu bị ảnh hưởng bởi ISI thì việc đếm trực tiếp số sườn tăng của dữ liệu cho kết quả N1 bằng 10 và đếm số sườn tăng của dữ liệu sau khi đã được lấy mẫu cho kết quả N2 bằng 6. Điều này là do khi bị ảnh hưởng bởi ISI thì dữ liệu bị biến dạng, sườn của dữ liệu không có sự chuyển từ mức thấp lên mức cao (tại sườn tăng thứ 4, 7 và 11) nên bộ đếm không phân biệt được ($N1 = 10$) và việc lấy mẫu dữ liệu bị ISI mạnh cũng dẫn đến thiếu một số sự chuyển mức của dữ liệu thu được như được biểu diễn bằng các đường nét đứt trên Hình 2.18 ($N2 = 6$). Như vậy, rõ ràng với việc thiếu một số giá trị N2 do ISI gây ra ($N2 < N1$), việc đếm số sườn tăng của dữ liệu đã được lấy mẫu sẽ nhạy cảm với ISI hơn so với việc đếm trực tiếp số sườn tăng của dữ liệu. Điều này có nghĩa là việc đếm trực tiếp số sườn tăng của dữ liệu cho thực hiện san bằng thường là san bằng chưa đủ với dữ liệu chịu ảnh hưởng mạnh bởi ISI. Như vậy, kỹ thuật san bằng của đề xuất này chính xác hơn trong [10].

Sơ đồ khối của mạch san bằng thích nghi đề xuất được thể hiện như trong Hình 2.19. Mạch san bằng thích nghi đề xuất bao gồm CTLE, flip-flop loại D (D-FF), bộ đếm 8 bit, mạch chốt dữ liệu, mạch so sánh, mạch điều khiển số tạo ra 4 bit điều khiển C[3:0], mạch VCO và mạch chia xung nhịp. Trong thiết kế này, mạch VCO tạo ra tần số bằng một nửa tốc độ của dữ liệu đầu vào ($F_{ck} = R_b/2$) để tương thích với mạch CDR bán tốc, sự tăng lên của 4 bit điều khiển C[3:0] tương ứng với sự tăng lên của hệ số khuếch đại mạch san bằng. Giá trị đầu ra của bộ đếm 8-bit được lưu như N_d . Dữ liệu sau san bằng của mạch là

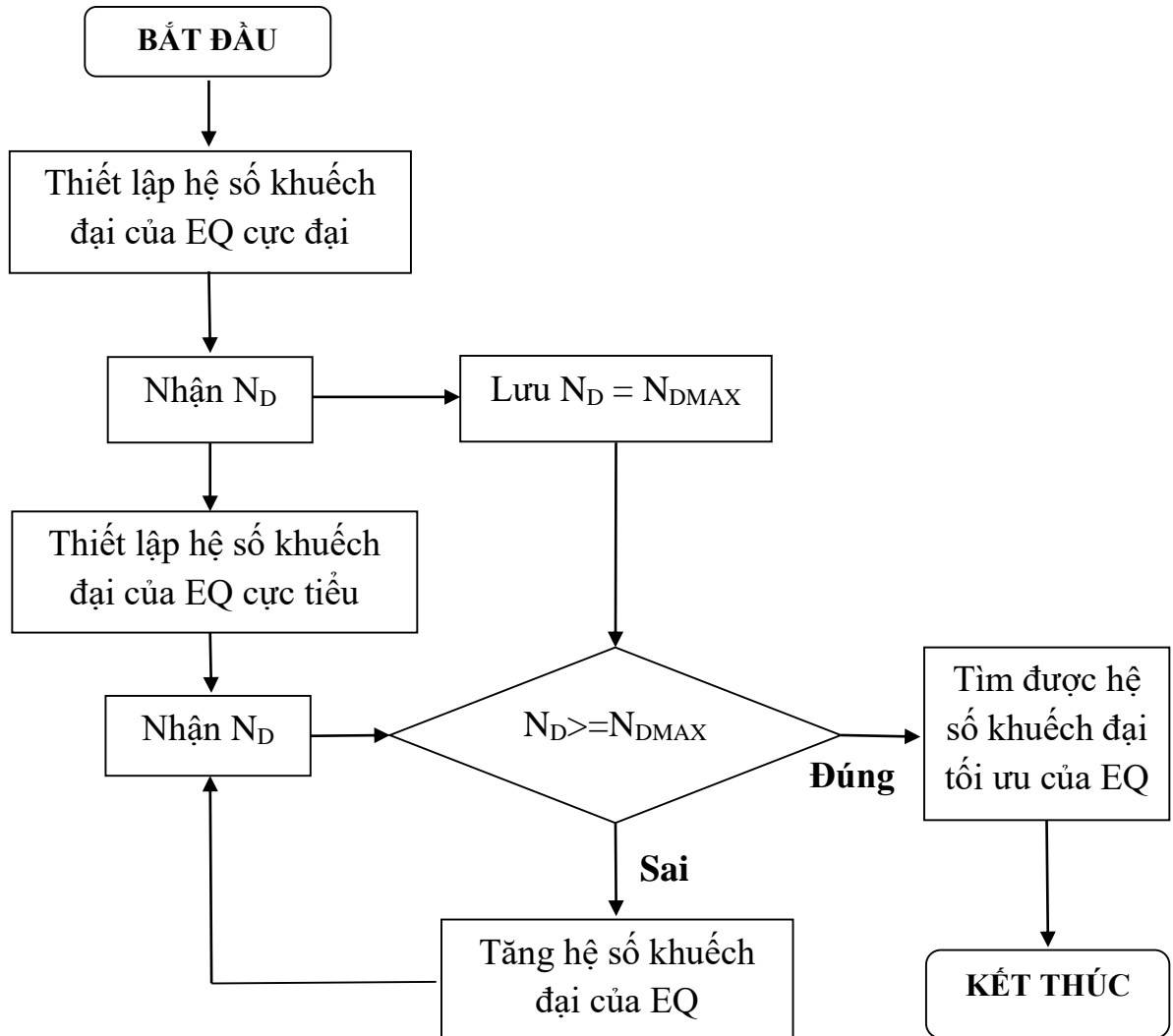
DATA_{EQ}.

Hình 2.19: Sơ đồ khối của mạch san bằng thích nghi đề xuất

2.2.1. Thuật toán san bằng thích nghi

Hình 2.20 thể hiện thuật toán san bằng thích nghi cho mạch san bằng được đề xuất. Quá trình thích nghi được chia thành hai chu kỳ. Trong chu kỳ đầu tiên, hệ số khuếch đại tần số cao của CTLE được thiết lập lớn nhất ($C[3:0] = 1111$). Dữ liệu đã san bằng được lấy mẫu tại D-FF bởi một xung đồng hồ đồng bộ từ mạch chia xung nhịp với $F_{ck} = R_b/2$, sau đó các sườn tăng của dữ liệu đã lấy mẫu được đếm bởi bộ đếm 8 bit, kết quả đếm được lưu trữ trong mạch chốt như $N_{dmax}[7:0]$. Mạch chốt chỉ hoạt động một lần ở trạng thái ban đầu khi mạch CTLE có hệ số khuếch đại lớn nhất. Sau khi nhận được giá trị $N_{dmax}[7:0]$, hệ số khuếch đại tần số cao của CTLE được đặt lại đến cực tiểu ($C[3:0] = 0000$), kết thúc chu kỳ đầu tiên và bắt đầu chu kỳ thứ hai của quá trình thích nghi. Giá trị $N_d[7:1]$ nhận được từ bộ đếm 8 bit trong chu kỳ thứ hai được so sánh với $N_{dmax}[7:1]$ được lưu trữ trong chu kỳ đầu tiên của quá trình thích nghi. Nếu $N_d[7:1]$ nhỏ hơn $N_{dmax}[7:1]$ thì tín hiệu $COMP$ ở đầu ra mạch so sánh sẽ ở mức logic thấp và mạch điều khiển số sẽ tăng mã $C[3:0]$ để tăng hệ số khuếch đại tần số cao của CTLE. Khi $N_d[7:1]$ bằng hoặc lớn hơn $N_{dmax}[7:1]$ thì tín hiệu

COMP sẽ chuyển từ mức logic thấp lên mức logic cao. Khi đó, mã $C[3:0]$ được cố định, mạch san bằng đạt được hệ số khuếch đại tần số cao tối ưu và quá trình san bằng thích nghi được hoàn thành.



Hình 2.20: Thuật toán san bằng thích nghi

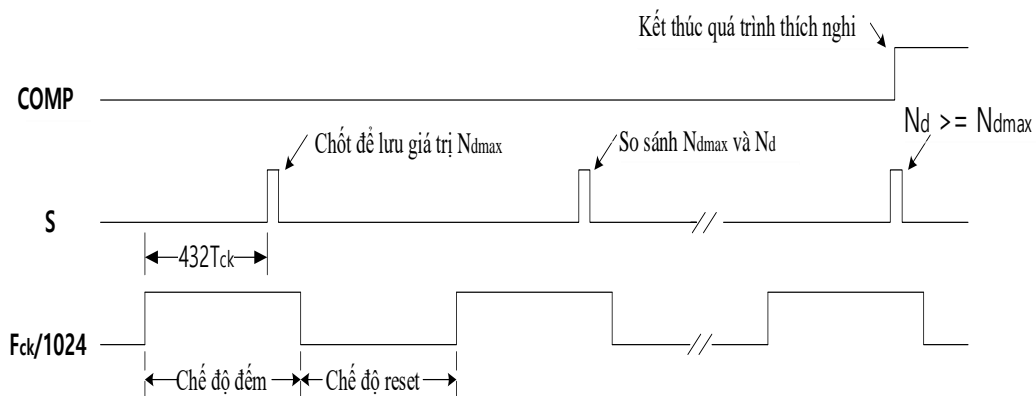
Hệ số khuếch đại của mạch san bằng được thiết lập đến giá trị lớn nhất nhằm đảm bảo cực tiểu ảnh hưởng của ISI tới độ dốc của sườn dữ liệu. Điều này có nghĩa là sườn của dữ liệu bị ảnh hưởng bởi ISI được khôi phục và dữ liệu có sự chuyển trạng thái rõ ràng từ thấp lên cao hoặc từ cao xuống thấp. Khi đó sườn tăng của dữ liệu đã được lấy mẫu được xác định và được đếm. Trong trường hợp này, không có sườn tăng nào của dữ liệu đã được lấy mẫu bị bỏ qua

và giá trị đếm được này sẽ được sử dụng như một giá trị cận trên để so sánh cho quá trình thích nghi. Hệ số khuếch đại của mạch san bằng không được thiết lập cố định bằng giá trị lớn nhất trong suốt quá trình hoạt động của mạch vì khi đó có thể xảy ra hiện tượng quá san bằng. Điều này sẽ dẫn đến giảm độ mở của mẫu mắt dữ liệu. Ngoài ra khi mạch san bằng luôn làm việc ở hệ số khuếch đại cực đại thì sẽ làm tăng công suất tiêu thụ của mạch. Chính vì vậy, thuật toán san bằng thích nghi sẽ thiết lập cho CTLE làm việc với hệ số khuếch đại cực đại chỉ tại thời điểm ban đầu, sau đó CTLE được thiết lập làm việc với hệ số khuếch đại cực tiểu để bắt đầu quá trình thích nghi tìm hệ số khuếch đại tối ưu cho mạch. Do thuật toán san bằng đề xuất đếm số sườn tăng của dữ liệu đã lấy mẫu nên hiện tượng quá san bằng xảy ra khi thiết lập hệ số khuếch đại của CTLE lớn nhất không ảnh hưởng tới kết quả đếm vì miễn là có sự chuyển trạng thái rõ ràng từ thấp lên cao của sườn dữ liệu đã lấy mẫu thì giá trị đếm sẽ được ghi nhận.

2.2.2. Hoạt động của mạch chốt và mạch so sánh

Hình 2.21 thể hiện nguyên lý hoạt động của mạch chốt và mạch so sánh. Trong đó, S là tín hiệu ở đầu ra mạch chốt và tín hiệu $COMP$ là tín hiệu ở đầu ra mạch so sánh. Mạch chia xung đồng hồ tạo ra hai xung đồng hồ, xung đồng hồ đầu tiên là $F_{ck} = R_b/2$, xung này được sử dụng để lấy mẫu dữ liệu đầu vào và xung đồng hồ thứ hai là $F_{ck}/1024$. Trong nửa chu kỳ âm của xung đồng hồ này mạch hoạt động ở chế độ *reset* và trong nửa chu kỳ dương của xung đồng hồ mạch hoạt động ở chế độ đếm với một cửa sổ thời gian bằng $512T_{ck}$. Trong chế độ này, tín hiệu S sẽ xuất hiện tại thời điểm $432T_{ck}$. Để mạch làm việc ổn định và chính xác hơn thì mạch chốt không làm việc trong lần xuất hiện đầu tiên của tín hiệu S mà làm việc trong lần xuất hiện thứ hai của tín hiệu S . Khi đó, giá trị tại đầu ra bộ đếm $N_d[7:0]$ được lưu thành $N_{dmax}[7:0]$. Trong các lần tín hiệu S xuất hiện tiếp theo, giá trị $N_d[7:1]$ được so sánh với $N_{dmax}[7:1]$ để thực hiện thích

nghe mạch san bằng. Khi $N_d[7:1]$ bằng hoặc lớn hơn $N_{dmax}[7:1]$, tín hiệu *COMP* lên mức logic cao để kết thúc quá trình san bằng thích nghi. Độ chính xác san bằng phụ thuộc vào số bit của bộ đếm. Số bit của bộ đếm càng lớn thì độ chính xác san bằng càng cao. Tuy nhiên, khi đó sẽ có sự trả giá về thời gian thích nghi. Trong thiết kế này, Nghiên cứu sinh sử dụng bộ đếm 8-bit để vừa đảm bảo độ chính xác san bằng, vừa đảm bảo thời gian thích nghi. N_d và N_{dmax} được tích lũy trong cùng một khoảng thời gian như nhau, tuy nhiên dữ liệu đầu vào là ngẫu nhiên nên khi mạch đạt đến trạng thái san bằng tối ưu thì N_d có thể có giá trị lớn hơn N_{dmax} . Vì vậy, cùng với phép so sánh bằng thì phép so sánh lớn hơn cũng được thực hiện giữa N_d và N_{dmax} để đảm bảo quá trình san bằng sẽ kết thúc khi mạch đạt đến trạng thái san bằng tối ưu.

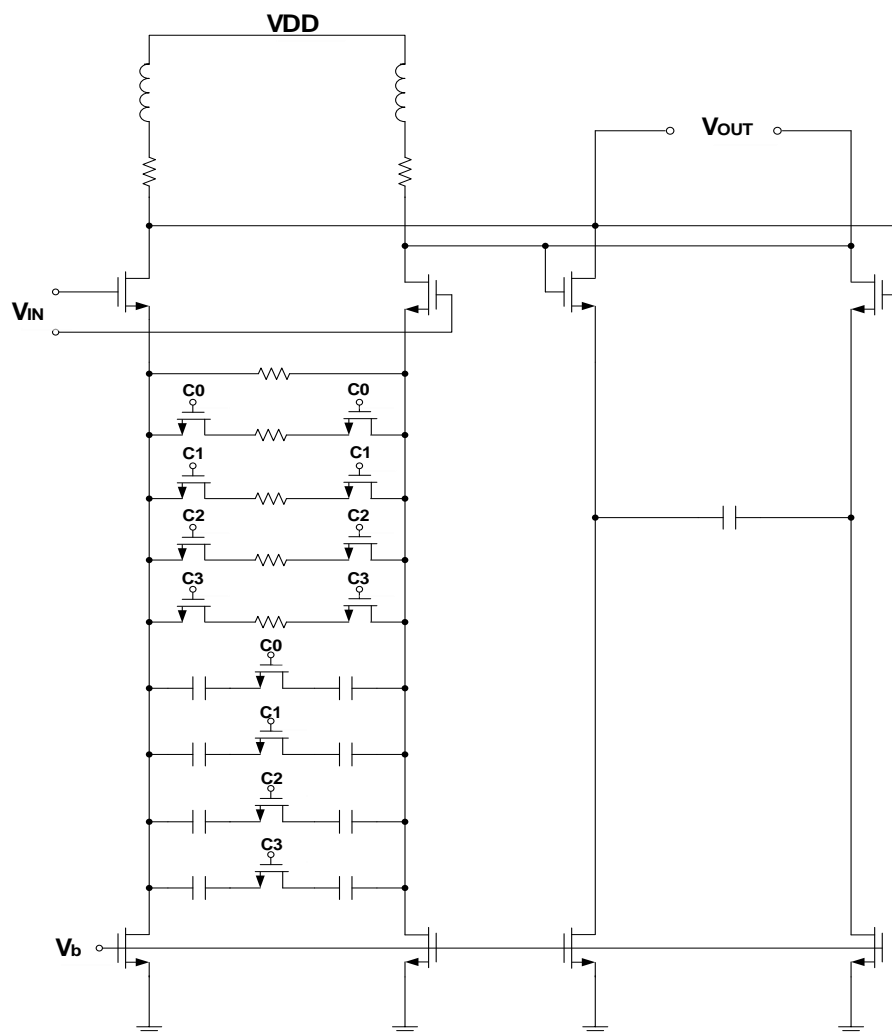


Hình 2.21: Nguyên lý hoạt động của mạch chốt và mạch so sánh

2.2.3. Mạch san bằng tuyến tính thời gian liên tục (CTLE)

Mục tiêu trong thiết kế mạch CTLE là đạt được mức bù tổn hao kênh truyền $-16,5$ dB tại tốc độ dữ liệu 3 Gb/s. Vì vậy, trong thiết kế này, một mạch khuếch đại ba tầng được sử dụng với mạch nguyên lý của một tầng khuếch đại được thể hiện như trong Hình 2.22. Tầng khuếch đại sử dụng kỹ thuật mắc nối tiếp tải điện trở với một cuộn cảm [2] và kỹ thuật tụ điện âm [4] để tăng băng thông của mạch. Như đã được đề cập thì việc thay đổi đáp ứng tần số (Hình 2.1) của mạch san bằng để bù cho tổn hao của kênh truyền tại tần số cao tương

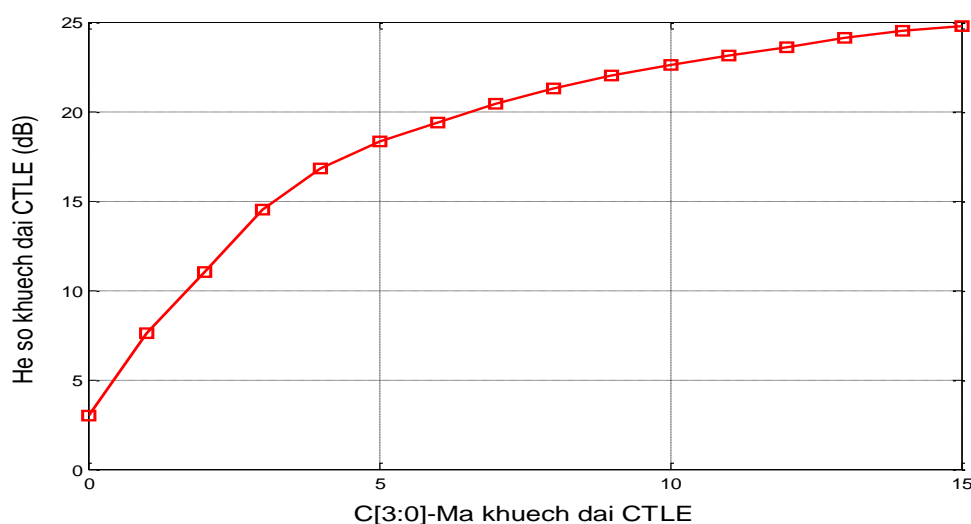
đương với việc thay đổi giá trị đỉnh hệ số khuếch đại của mạch san bằng. Trong khi đó, để thay đổi giá trị đỉnh hệ số khuếch đại của mạch san bằng tại tần số cao thì điểm không của mạch san bằng được điều chỉnh. Trong thiết kế này, điểm không của mạch san bằng được thay đổi bằng cách thay đổi giá trị của tụ điện và điện trở suy giảm trong mạch. Các tụ điện và điện trở điều chỉnh được mắc song song với nhau và được điều khiển bằng các chuyển mạch NMOS.



Hình 2.22: Sơ đồ nguyên lý một tầng của mạch CTLE

Bốn bit điều khiển chuyển mạch NMOS là C0, C1, C2, C3 (C[3:0]), tạo ra 16 giá trị tụ điện và điện trở suy giảm khác nhau. Điều này là tương đương với 16 mức khác nhau cho hệ số khuếch đại của mạch CTLE như được thể hiện

trên Hình 2.23. Hệ số khuếch đại cực tiểu của mạch CTLE tương ứng với mã C[3:0] bằng 0000 là 3 dB và hệ số khuếch đại cực đại của mạch CTLE tương ứng với mã C[3:0] bằng 1111 là 24,8 dB. Khoảng bù cho tổn hao kênh truyền của CTLE là 21,8 dB.



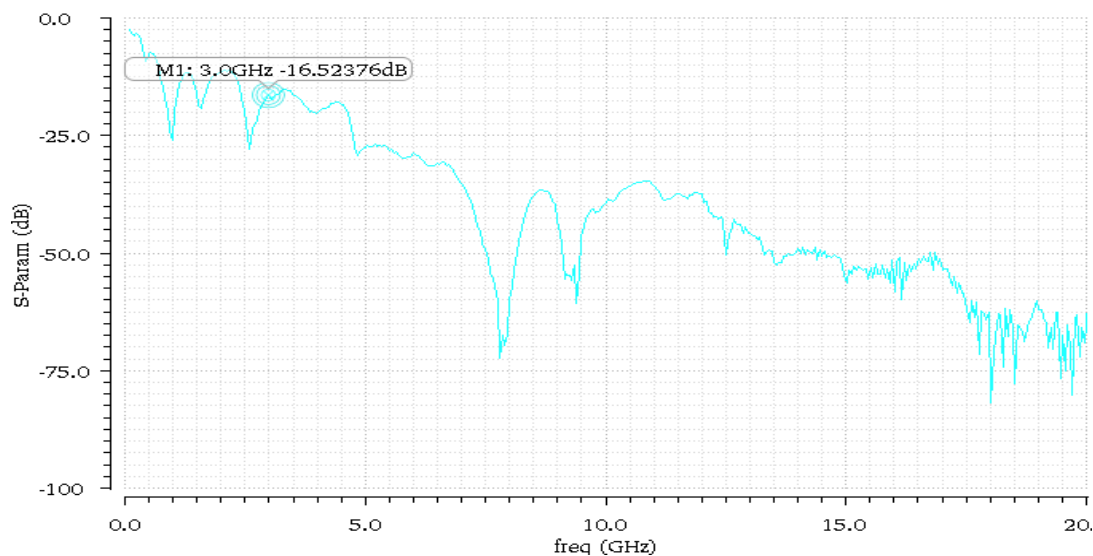
Hình 2.23: Sự thay đổi hệ số khuếch đại của mạch CTLE theo 4-bit mã điều khiển

2.2.4. Các kết quả mô phỏng

Mạch san bằng thích nghi đề xuất được thiết kế trên công nghệ CMOS TSMC 180 nm và được mô phỏng bằng công cụ Virtuoso của phần mềm thiết kế Chip chuyên dụng Cadence [71] với điện áp nguồn cung cấp 1,8 V. Các kết quả mô phỏng vi mạch được thực hiện ở bước mô phỏng mạch nguyên lý. Các kết quả mô phỏng cho thấy mạch EQ đề xuất làm việc tốt với một kênh truyền cụ thể. Mạch EQ thích nghi đạt được thời gian thích nghi là 4,6 μ s với tốc độ dữ liệu đầu vào là 3 Gb/s. Mã điều khiển hệ số khuếch đại CTLE được xác định một cách thích nghi tự động trong mạch mà không cần bất kỳ sự điều khiển bên ngoài nào.

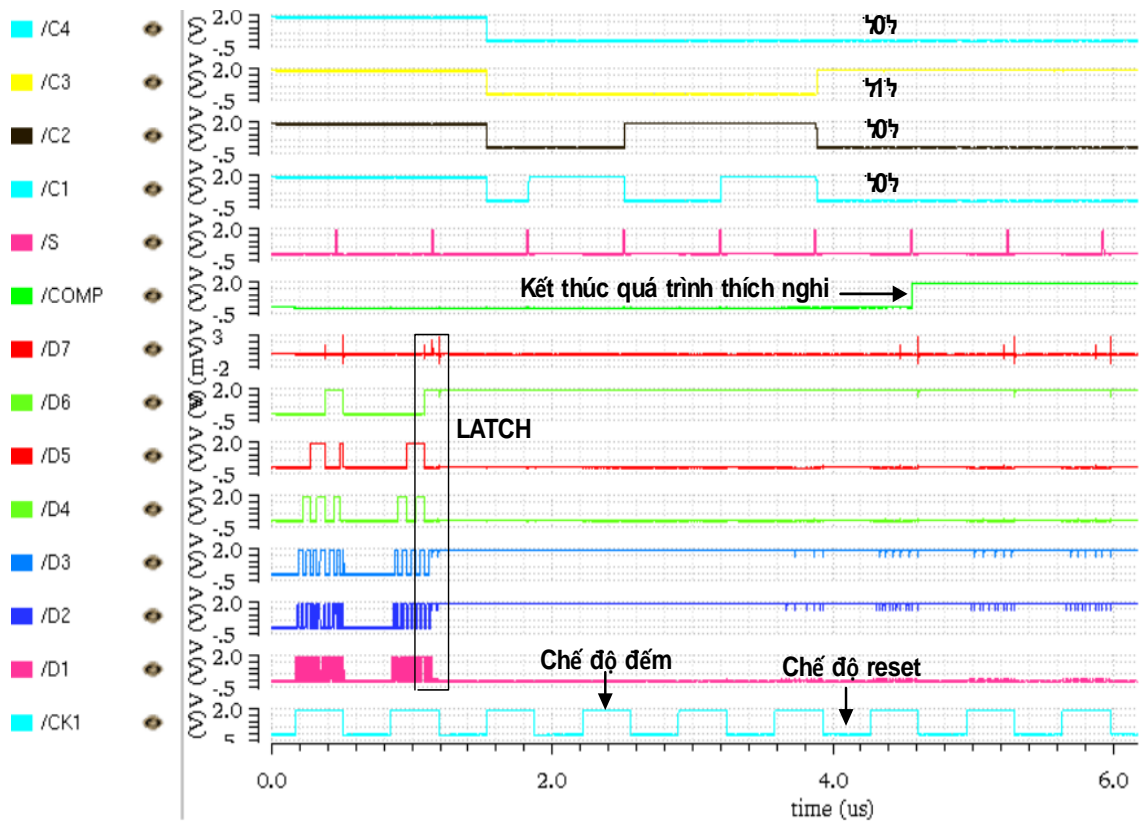
Để thể hiện khả năng hoạt động của thuật toán thích nghi đề xuất, nghiên

cứu sinh sử dụng một mô hình kênh với tổn hao đường truyền là -16,5 dB tại 3 Gb/s như được thể hiện trên Hình 2.24 cho mô phỏng.

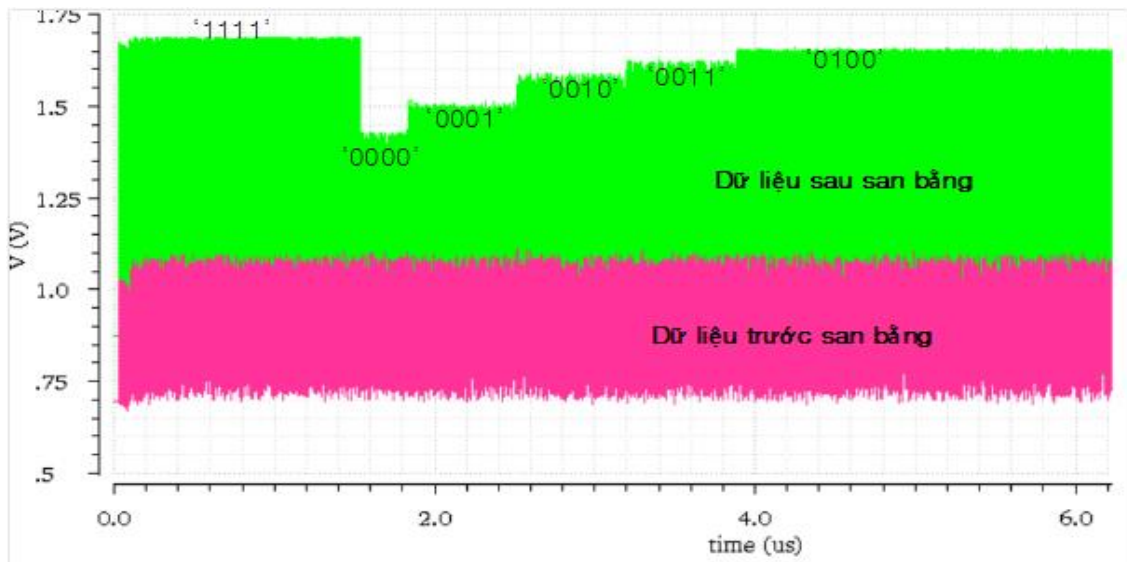


Hình 2.24: Đáp ứng của một kênh truyền cụ thể

Hình 2.25 là kết quả mô phỏng hoạt động của mạch EQ đề xuất với các hoạt động chốt và thích nghi của EQ. Trong giai đoạn đầu tiên của quá trình thích nghi, mã điều khiển hệ số khuếch đại CTLE C[3:0] được thiết lập bằng 1111 để cực đại hệ số khuếch đại tần số cao của CTLE. Trong thời gian này, đầu ra của bộ đếm 8 bit B[7:0] được lưu thành D[7:0]. Sau đó, C[3:0] được thiết lập lại bằng 0000 để cực tiểu hệ số khuếch đại tần số cao của CTLE và bắt đầu giai đoạn hai của quá trình thích nghi. Mã điều khiển hệ số khuếch đại của CTLE C[3:0] được thích nghi bằng cách so sánh giá trị giữa B[7:1] và D[7:1]. Khi B[7:1] bằng hoặc lớn hơn D[7:1], tín hiệu *COMP* lên mức logic cao và thuật toán thích nghi kết thúc. Khi đó, mạch EQ khóa mã điều khiển hệ số khuếch đại của CTLE tại 0100 và hệ số khuếch đại đạt được của CTLE là 16,8 dB.



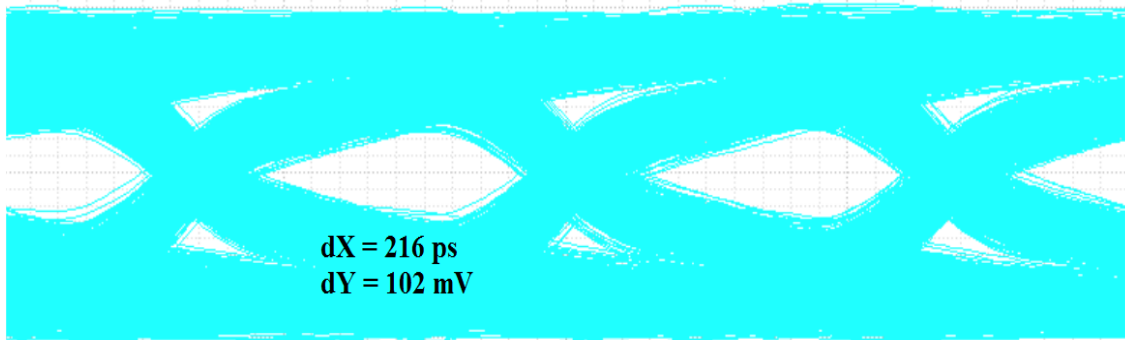
Hình 2.25: Kết quả mô phỏng mạch EQ thích nghi đề xuất tại tốc độ dữ liệu đầu vào 3 Gb/s



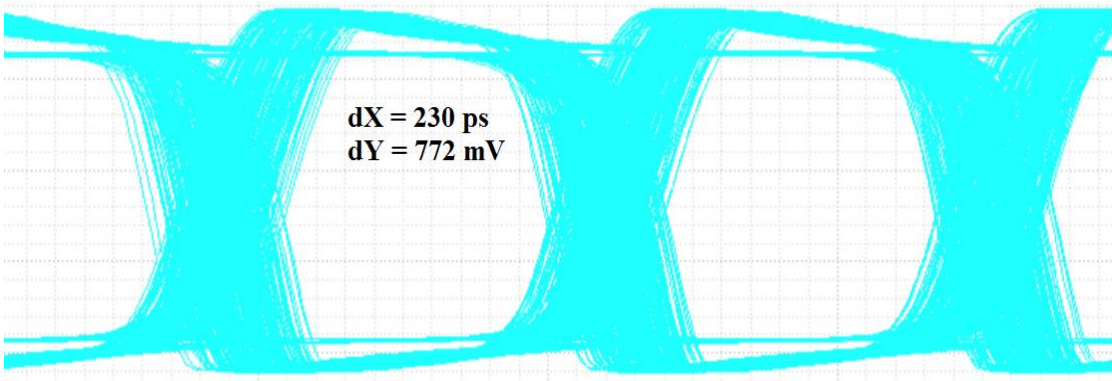
Hình 2.26: Dữ liệu trước và sau khi thực hiện san bằng

Hình 2.26 là dạng sóng của dữ liệu đầu vào và đầu ra mạch EQ. Dữ liệu tại đầu vào mạch EQ được thiết lập có biên độ nhỏ để đánh giá hiệu quả san

bằng. Ban đầu, biên độ của dữ liệu đầu ra được thiết lập cực đại khi mã điều khiển là 1111. Sau đó biên độ của dữ liệu đầu ra được thiết lập đến cực tiểu với mã điều khiển là 0000. Biên độ này lớn hơn biên độ dữ liệu đầu vào vì dù mã điều khiển là 0000 nhưng mạch CTLE vẫn có hệ số khuếch đại 3 dB nên vẫn có khả năng bù cho một phần tổn hao của kênh truyền để tăng biên độ của dữ liệu đầu ra. Biên độ tại đầu ra mạch EQ tăng theo sự tăng lên của mã điều khiển hệ số khuếch đại mạch CTLE và được giữ cố định khi quá trình thích nghi kết thúc.



(a)



(b)

Hình 2.27: Mẫu mắt của dữ liệu: (a) trước và (b) sau san bằng

Một mô phỏng được thực hiện cho kỹ thuật san bằng thích nghi trong [10] và kỹ thuật san bằng thích nghi đề xuất với cùng điều kiện để kiểm chứng hiệu quả của mạch san bằng đề xuất. Hình 2.27 thể hiện mẫu mắt của dữ liệu trước

và sau san bằng. Với kỹ thuật san bằng đề xuất, độ mở của mẫu mắt theo thời gian được cải thiện từ 216 ps thành 230 ps và độ mở của mẫu mắt theo điện áp được cải thiện từ 102 mV lên 772 mV.

Bảng 2.1 thể hiện sự so sánh của hai mạch EQ về độ chính xác. Trong bảng này, cột thứ hai là dữ liệu trước khi san bằng, cột thứ ba là dữ liệu sau khi san bằng bởi kỹ thuật san bằng thích nghi trong [10] và cột cuối cùng là dữ liệu sau khi san bằng bởi kỹ thuật san bằng thích nghi đề xuất; dX là độ mở của mẫu mắt dữ liệu theo chiều ngang và dY là độ mở của mẫu mắt dữ liệu theo chiều dọc. Với kỹ thuật san bằng thích nghi đề xuất, độ mở của mẫu mắt dữ liệu đạt được rộng hơn so với sự thực hiện trong [10] theo cả chiều dọc và chiều ngang. Hệ số khuếch đại của mạch EQ [10] đạt được là 12 dB với mã điều kiện 0010 trong khi mạch EQ đề xuất đạt được hệ số khuếch đại là 16,8 dB với mã điều kiện 0100. Hệ số khuếch đại của EQ [10] đạt được là chưa đủ để bù lại tổn hao kênh truyền (-16,5 dB). Nói cách khác, mạch EQ trong [10] san bằng chưa đủ. Như vậy, bằng cách đếm các sườn của dữ liệu đã lấy mẫu thay vì đếm trực tiếp các sườn dữ liệu, mạch EQ thích nghi đề xuất hoạt động chính xác hơn mạch EQ trong [10].

Bảng 2.1: So sánh độ chính xác của mạch EQ của [10] và của đề xuất

	Trước san bằng	Mạch EQ trong [10]	Mạch EQ đề xuất
dX (ps)	216	185	230
dY (mV)	102	739	772
Hệ số khuếch đại của CTLE (dB)		12	16.8
Mã điều khiển hệ số khuếch đại CTLE C[3:0]		0010	0100

Bảng 2.2 thể hiện chất lượng so sánh của mạch EQ đề xuất với các nghiên cứu có kiến trúc san bằng sử dụng CTLE. Mạch EQ đề xuất có thời gian thích nghi ngắn hơn so với [9, 10] và có dải động điện áp đầu ra lớn hơn [6, 10]. Hơn nữa, mạch EQ đề xuất không sử dụng một tần số tham chiếu bên ngoài chip như [10, 18]. Điều này sẽ tăng khả năng tích hợp trên chip cho mạch EQ đề xuất.

Bảng 2.2: So sánh chất lượng mạch EQ đề xuất với các nghiên cứu trước

	[6]	[9]	[10]	[18]	Đề xuất (Mô phỏng)
Công nghệ (nm)	130 CMOS	130 CMOS	40 CMOS	28 CMOS	180 CMOS
Nguồn (V)	1.5	1.2	1.1	0.9	1.8
Tốc độ dữ liệu (Gb/s)	4.7	5.4	5-20	15	3
Kiến trúc san bằng	CTLE	CTLE	CTLE	CTLE + DFE	CTLE
Thời gian thích nghi	N/A	18.37 ms	6 μ s	N/A	4.6 μ s
Dải động điện áp đầu ra	750 mV	N/A	739 mV	N/A	772 mV
Sử dụng xung đồng hồ tham chiếu bên ngoài	Không	Không	Có	Có	Không

N/A: Không nhắc đến trong bài báo

2.3. Kết luận Chương 2

Trong chương này, luận án đã khảo sát, phân tích các kết quả nghiên cứu đã công bố về kỹ thuật san bằng thích nghi như thích nghi sử dụng các mạch lọc, sử dụng kỹ thuật phát hiện độ dốc của dữ liệu, kỹ thuật cân bằng phổ và sử dụng bộ đếm, qua đó chỉ ra các hạn chế trong các nghiên cứu này. Sau đó, luận án đề xuất một kỹ thuật san bằng thích nghi dựa trên bộ đếm cho dữ liệu đã được lấy mẫu. Kết quả thiết kế và mô phỏng mạch san bằng thích nghi trên

công nghệ CMOS 180nm thể hiện rằng, mạch san bằng thích nghi đề xuất có thời gian thích nghi ngắn và nâng cao được độ chính xác san bằng. Tuy nhiên, kết quả nghiên cứu này vẫn tồn tại hạn chế. Các kết quả đạt được của mạch EQ đề xuất mới ghi nhận thông qua mô phỏng mạch nguyên lý để kiểm chứng nguyên lý hoạt động của mạch, chưa có điều kiện để đánh giá kết quả mô phỏng mạch sau layout và kết quả đo chip. Bên cạnh đó, mạch EQ đề xuất chỉ bao gồm mạch CTLE mà chưa có sự kết hợp với mạch DFE. Điều này có thể làm hiệu quả san bằng đạt được chưa tối ưu. Tốc độ dữ liệu đầu vào mạch san bằng chưa cao do hạn chế về công nghệ sử dụng trong thiết kế (CMOS 180 nm). Kết quả của chương này được công bố trong [C2].

Chương 3

THIẾT KẾ MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ TỐC ĐỘ DỮ LIỆU LIÊN TỤC

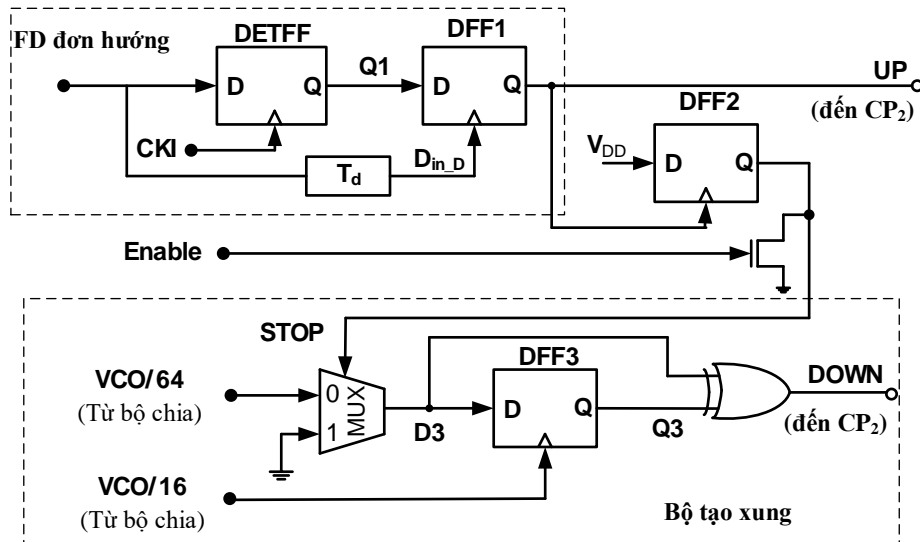
Như đã trình bày trong Chương 1, mạch CDR không sử dụng tần số tham chiếu đóng một vai trò quan trọng, quyết định đến chất lượng của máy thu quang tốc độ cao. Trong đó, mạch CDR tốc độ dữ liệu liên tục với khả năng bám theo sự thay đổi liên tục của tốc độ dữ liệu đầu vào có phạm vi ứng dụng rộng, trở thành một chủ đề hấp dẫn để nghiên cứu. Trong Chương 3, trước tiên luận án trình bày khái quát về mạch CDR dải rộng, phát hiện tần số hai hướng, tốc độ dữ liệu không liên tục. Sau đó, luận án trình bày hai kiến trúc mạch CDR đề xuất: Thứ nhất là kiến trúc thực hiện mạch CDR không sử dụng tần số tham chiếu, dải rộng, tốc độ dữ liệu liên tục, thứ hai là kiến trúc mạch CDR sử dụng mạch lựa chọn xung điều khiển bám tăng tần số trong xử lý bám tần số để giảm thời gian đạt được tần số của mạch CDR tốc độ dữ liệu cao. Ngoài ra, nội dung của chương này cũng trình bày về mạch lựa chọn dải tần số làm việc cho mạch VCO dải rộng. Kết quả của chương này được công bố trong công trình [J1], [J2], [C1], [C3] và [C4].

3.1. Mạch CDR dải rộng, phát hiện tần số hai hướng, tốc độ dữ liệu không liên tục

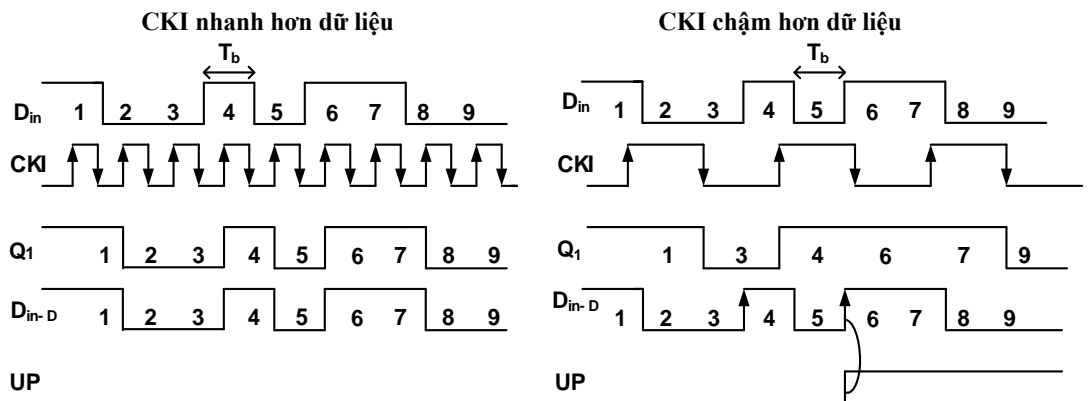
Hình 3.1 thể hiện sơ đồ khối thực hiện của mạch FD phát hiện tần số hai hướng, dải rộng trong [34]. Mạch gồm hai thành phần: bám tăng tần số và bám giảm tần số. Mạch phát hiện dữ liệu nhanh hơn xung đồng hồ được thực hiện bởi một mạch FD đơn hướng. Trong khi đó, một mạch tạo xung sử dụng mạch chia cầu phương để tạo ra xung DOWN với độ rộng xung không đổi, xung này được đưa qua mạch lọc vòng để giảm tần số của xung đồng hồ.

Mạch FD đơn hướng tạo ra xung UP bằng cách đếm số các sườn chuyển

liên tiếp của dữ liệu trong một nửa chu kỳ của xung đồng hồ. Sơ đồ định thời của FD đơn hướng được thể hiện trên Hình 3.2. Nếu có từ hai sườn chuyển liên tiếp của dữ liệu được phát hiện thì xung UP sẽ thay đổi mức logic từ thấp lên cao để nạp qua mạch lọc vòng và tăng tần số của xung đồng hồ.



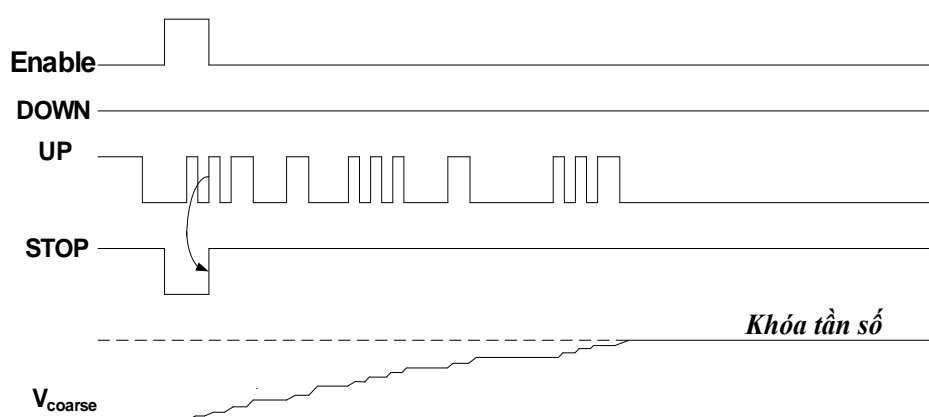
Hình 3.1: Sơ đồ khối của FD hai hướng, dải rộng trong [34]



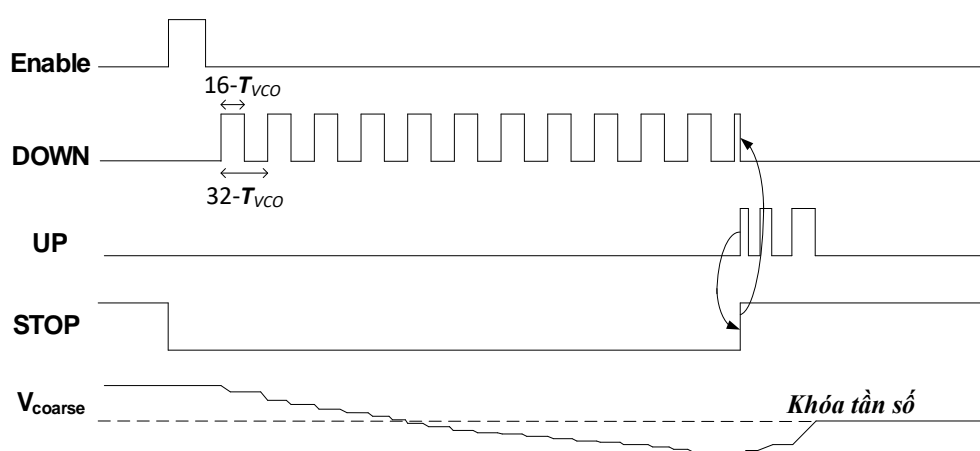
Hình 3.2: Sơ đồ định thời của FD đơn hướng

Trong trường hợp xung đồng hồ nhanh hơn dữ liệu thì không có xung UP nào được tạo ra. Xung DOWN được tạo ra với độ rộng xung bằng $16T_{VCO}$. Xung này được đưa tới mạch lọc vòng để giảm tần số của xung đồng hồ miễn là tín hiệu STOP được giữ ở mức logic thấp. Ngay khi xung UP chuyển lên mức logic cao thì tín hiệu STOP được kích hoạt để tắt mạch tạo xung và dừng quá

trình giảm tần số của xung đồng hồ. Sau đó, khóa tần số đạt được bằng mạch bám tăng tần số. Các sơ đồ định thời của mạch FD hai hướng khi tốc độ dữ liệu nhanh hơn tần số của xung đồng hồ thiết lập được thể hiện lần lượt trên Hình 3.3 và Hình 3.4.



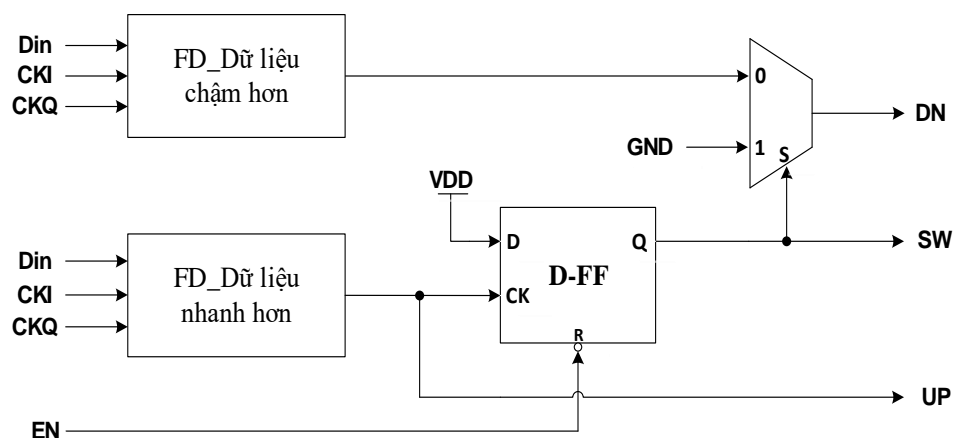
Hình 3.3: Sơ đồ định thời của FD hai hướng khi tốc độ dữ liệu nhanh hơn tần số của xung đồng hồ thiết lập



Hình 3.4: Sơ đồ định thời của FD hai hướng khi tốc độ dữ liệu chậm hơn tần số của xung đồng hồ thiết lập

Mạch FD hai hướng trong [34] đạt được tần số mà không cần phải *reset* tần số của VCO về giá trị cực tiểu hoặc cực đại của nó trong xử lý bám tần số. Tuy nhiên, mạch FD này sử dụng một mạch tạo trễ (T_d) trong bám tăng tần số và một mạch chia cầu phương trong bám giảm tần số nên phức tạp trong thiết

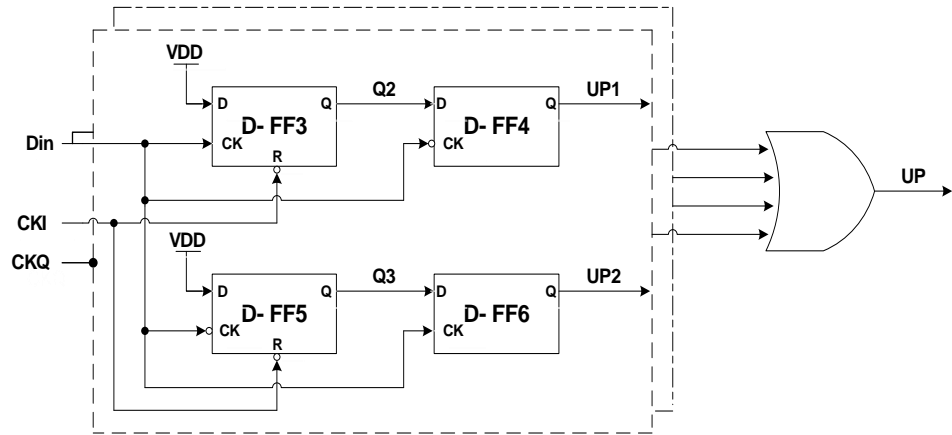
kế. Hơn nữa, trong băm tầng tần số, mạch FD chỉ phát hiện một mẫu cụ thể ‘101’ của dữ liệu trong một nửa chu kỳ xung đồng hồ và chỉ sử dụng một pha xung đồng hồ duy nhất nên thời gian đạt được tần số dài.



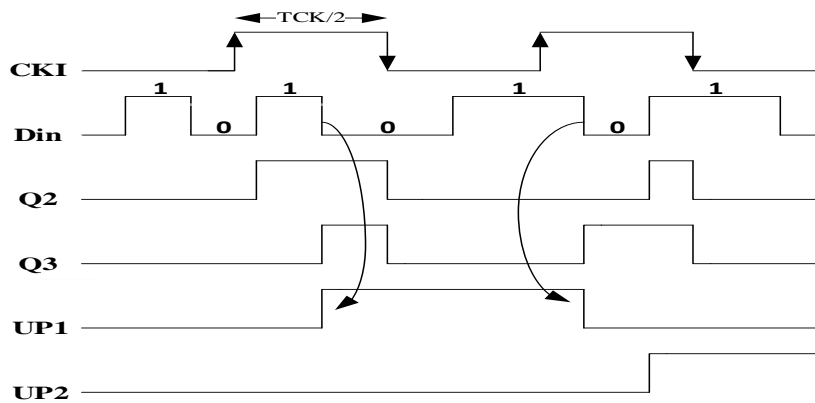
Hình 3.5: Sơ đồ khối của mạch FD hai hướng trong [35]

Một giải pháp được đề xuất trong [35] để khắc phục điểm tồn tại của mạch FD trong [34]. Mạch FD trong [35] đạt được dải rộng, có khả năng phát hiện tần số theo hai hướng với kiến trúc mạch như được thể hiện trên Hình 3.5. Mạch FD bao gồm hai mạch FD đơn hướng, D-FF và mạch ghép kênh. Tín hiệu *SW* được kích hoạt khi xuất hiện xung *UP* và được sử dụng để lựa chọn xung *DN* đưa tới mạch bơm-sạc.

Mạch FD đơn hướng phát hiện tốc độ dữ liệu nhanh hơn xung đồng hồ được thể hiện trong Hình 3.6(a) và sơ đồ định thời của mạch được thể hiện trong Hình 3.6(b). Thay vì chỉ phát hiện một mẫu cụ thể ‘101’ của dữ liệu như trong [34], mạch FD hai hướng trong [35] phát hiện cả hai mẫu cụ thể của dữ liệu là ‘101’ và ‘010’, đồng thời sử dụng cả hai pha của xung đồng hồ *CKI*, *CKQ* trong xử lý băm tần số. Xung *UP* được tạo ra khi xung đồng hồ *CKI* hoặc *CKQ* đi kèm một bit đơn của dữ liệu D_{in} . Như vậy mạch băm tầng tần số trong [35] vừa loại bỏ sự cần thiết của mạch tạo độ trễ trong [34] vừa giảm được thời gian băm tần số.



(a)



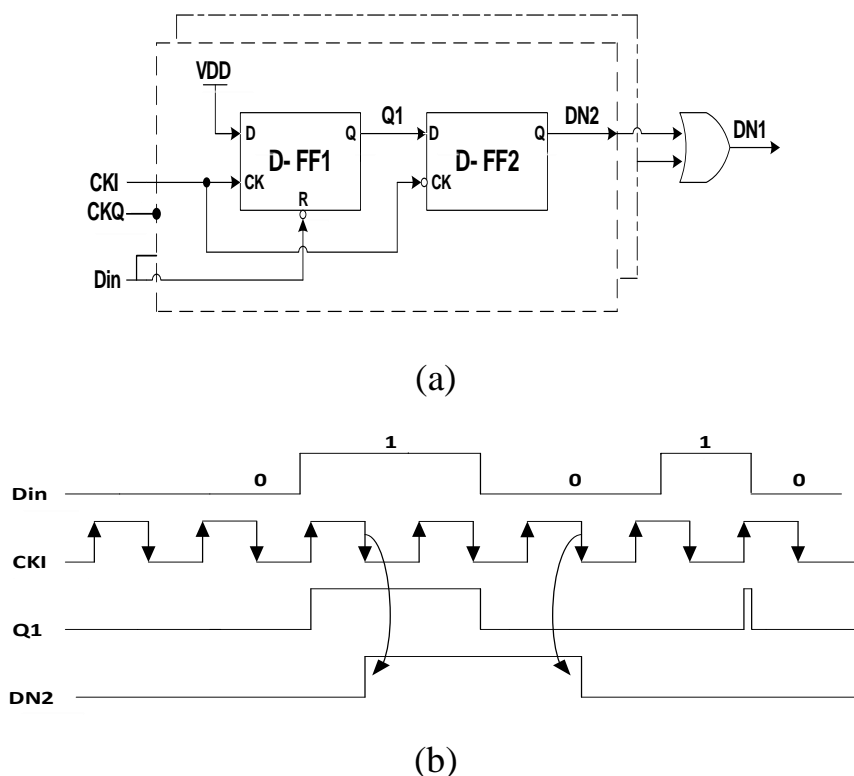
(b)

Hình 3.6: (a) Sơ đồ khối của quá trình băm tăng tần số FD, (b) Sơ đồ định thời của quá trình băm tăng tần số FD

Mạch FD đơn hướng phát hiện tốc độ dữ liệu chậm hơn xung đồng hồ được thể hiện trong Hình 3.7(a) và sơ đồ định thời của mạch được thể hiện trong Hình 3.7(b). Mạch băm giảm tần số chỉ bao gồm hai D-FF, không cần sử dụng mạch chia cầu phương nên đơn giản hơn so với mạch FD trong [34]. Hơn nữa mạch cũng sử dụng hai pha của xung đồng hồ CKI, CKQ cho xử lý băm tần số nên giảm được thời gian đạt được tần số.

Mặc dù cả hai mạch FD trong [34, 35] làm việc tốt với các mẫu dữ liệu PRBS khác nhau, đạt được tốc độ dữ liệu đầu vào dải rộng và khả năng phát

hiện tần số theo hai hướng. Tuy nhiên, các mạch CDR này không đáp ứng được với tốc độ dữ liệu đầu vào thay đổi liên tục. Điều này làm cho phạm vi ứng dụng của mạch CDR bị hạn chế.



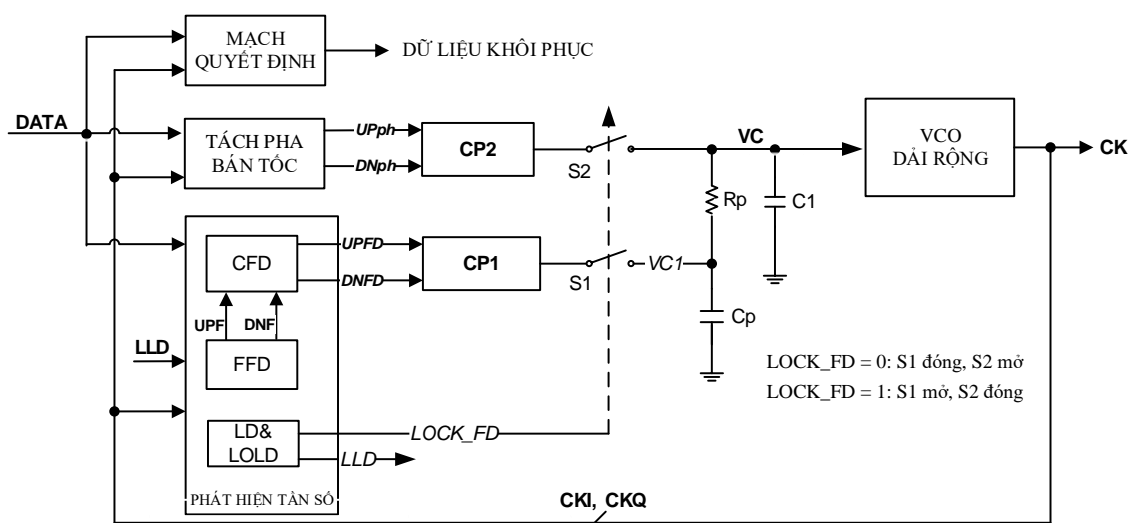
Hình 3.7: (a) Sơ đồ khối của quá trình băm giảm tần số FD, (b) sơ đồ định thời của quá trình băm giảm tần số FD

3.2. Mạch CDR đề xuất I

Kỹ thuật phát hiện tần số theo hai bước đã được đề xuất và thực hiện trong [20-22]. Tuy nhiên trong các mạch FD này, vòng băm tần số thô và vòng băm tần số tinh hoạt động độc lập nhau. Vòng băm tần số tinh chỉ hoạt động sau khi vòng băm tần số thô đã kết thúc. Điều này dẫn đến thời gian băm tần số dài. Trong phần này, luận án đề xuất một nguyên lý phát hiện tần số theo hai bước kết hợp giữa vòng băm tần số tinh và vòng băm tần số thô. Tuy nhiên, thay vì sự hoạt động độc lập của vòng băm tần số thô và tinh thì mạch FD đề xuất có vòng băm tần số thô và tinh hoạt động đồng thời để giảm thời gian băm tần số.

Với kiến trúc mạch phát hiện tần số đề xuất, mạch CDR vừa có khả năng phát hiện sự thay đổi liên tục của tốc độ dữ liệu đầu vào, vừa làm việc tốt với dải rộng tốc độ và các mẫu PRBS khác nhau của dữ liệu đầu vào, đồng thời có khả năng phát hiện tần số theo hai hướng mà không cần thiết lập tần số VCO về giá trị cực tiểu hoặc cực đại của nó.

Sơ đồ khối của mạch CDR bán tốc, không sử dụng tần số tham chiếu đề xuất được thể hiện như trên Hình 3.8. Mạch CDR bao gồm mạch phát hiện tần số thô cải tiến (CFD), mạch phát hiện tần số tinh cải tiến (FFD), mạch phát hiện trạng thái khóa (LD), mạch phát hiện trạng thái mất khóa (LOLD), mạch tách pha bán tốc bang-bang [19], mạch quyết định để khôi phục dữ liệu, mạch lọc vòng, mạch dao động điều khiển bằng điện áp dải rộng và hai mạch bơm-sạc (CP_1 và CP_2).



Hình 3.8: Sơ đồ khối của mạch CDR tốc độ dữ liệu liên tục đề xuất

Tại thời điểm ban đầu, khi mạch CDR bắt đầu làm việc thì chuyển mạch $S1$ đóng và chuyển mạch $S2$ mở, mạch phát hiện tần số làm việc để tần số của mạch VCO bám theo một nửa tốc độ dữ liệu đầu vào. Khi sự sai khác giữa một nửa tốc độ dữ liệu đầu vào và tần số VCO đủ nhỏ thì mạch LD sẽ khởi tạo tín hiệu $LOCK_FD$ để kết thúc quá trình bám tần số. Lúc này hai chuyển mạch $S1$

và $S2$ thay đổi trạng thái, $S1$ mở và $S2$ đóng để vòng khóa pha bắt đầu làm việc. Khi đó xung đồng hồ và dữ liệu được khôi phục, đồng thời mạch LOLD bắt đầu theo dõi tốc độ dữ liệu đầu vào. Khi mạch LOLD phát hiện thấy một sự thay đổi của tốc độ dữ liệu đầu vào thì tín hiệu LLD được kích hoạt để mạch CDR bắt đầu một chu trình bám tần số và pha mới.

3.2.1. Mạch phát hiện tần số thô đề xuất

Hình 3.9 thể hiện mạch CFD đề xuất. Mạch CFD đề xuất bao gồm mạch phát hiện dữ liệu nhanh hơn xung đồng hồ, mạch phát hiện dữ liệu chậm hơn xung đồng hồ, hai cổng OR, D-FF và hai mạch ghép kênh (MUX). Hai tín hiệu UP_F và DN_F là các tín hiệu từ đầu ra của mạch phát hiện tần số tinh. Mạch phát hiện dữ liệu nhanh hơn và chậm hơn tạo ra các tín hiệu UP_C và DN_C tương ứng. Khi dữ liệu nhanh hơn xung đồng hồ, tín hiệu UP_C xuất hiện và lấy mẫu D-FF để tạo ra tín hiệu $STOP$. Dựa vào trạng thái của tín hiệu $STOP$ mà mạch CFD lựa chọn các tín hiệu UP và DN tương ứng. Nguyên lý hoạt động cụ thể của mạch CFD được miêu tả như sau:

khi không có tín hiệu $STOP$ ($STOP = '0'$):

$$DN_{FD} = DN_F + DN_C \quad (3.1)$$

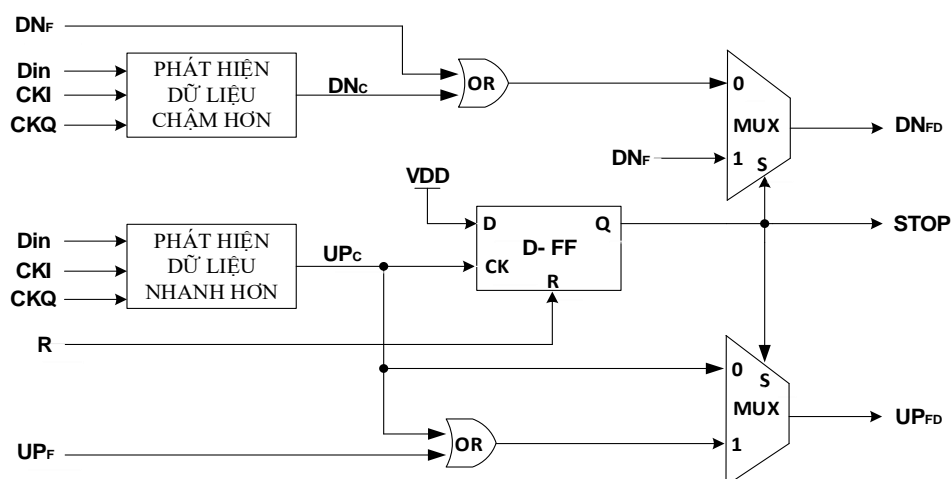
$$UP_{FD} = UP_C = 0 \quad (3.2)$$

khi có tín hiệu $STOP$ ($STOP = '1'$):

$$DN_{FD} = DN_F \quad (3.3)$$

$$UP_{FD} = UP_F + UP_C \quad (3.4)$$

Khi sự sai lệch giữa một nửa tốc độ dữ liệu đầu vào và tần số đầu ra của VCO đủ nhỏ thì $UP_C = 0$. Khi đó theo biểu thức (3.4) thì $UP_{FD} = UP_F$, lúc này đầu ra của vòng bám tần số thô chính là tín hiệu từ vòng bám tần số tinh. Như vậy, với cấu trúc đề xuất kết hợp mạch CFD và FFD sẽ cho phép hai vòng bám tần số thô và tinh làm việc đồng thời.



Hình 3.9: Sơ đồ khối mạch phát hiện tần số thô CFD đề xuất

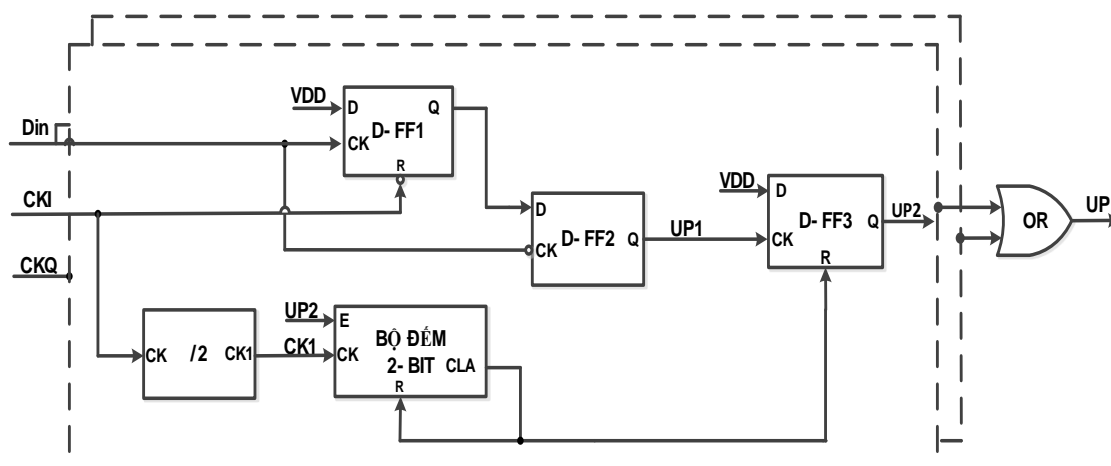
Kỹ thuật phát hiện dữ liệu nhanh hơn xung đồng hồ dựa trên việc đếm số sườn chuyển liên tiếp của dữ liệu đầu vào trong một chu kỳ xung đồng hồ với chế độ toàn tốc và trong một nửa chu kỳ xung đồng hồ với chế độ bán tốc của mạch CDR đã được trình bày trong [20, 34, 35]. Khoảng điều chỉnh tần số của VCO là Δf trong khoảng thời gian Δt được xác định theo biểu thức [35]:

$$\Delta f \approx 4K_{VCO} \frac{\Delta t}{T_b} \cdot \frac{T_{CKI/2} - T_b}{T_{CKI/2}} \cdot \frac{1}{8} \cdot 5T_b \cdot \frac{1}{C_p} \cdot I_{FD_UP} \quad (3.5)$$

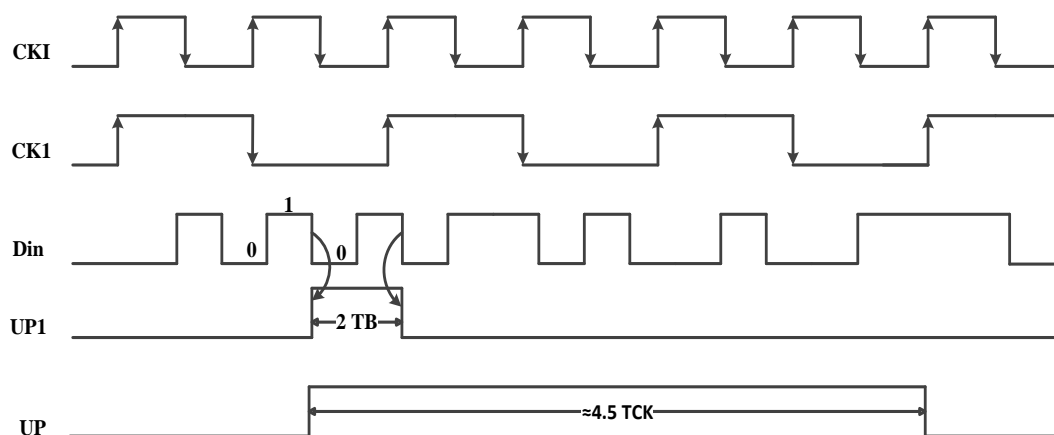
như vậy, với việc cố định các tham số như hệ số khuếch đại của VCO (K_{VCO}), dòng bơm-sạc (I_{FD_UP}) của mạch CP và giá trị tụ điện (C_p) trong mạch lọc vòng thì khoảng điều chỉnh tần số của VCO phụ thuộc chủ yếu vào độ rộng của xung UP ($5T_b$ trong biểu thức (3.5)) tạo ra từ mạch phát hiện dữ liệu nhanh hơn.

Với cùng cách tiếp cận như đối với kỹ thuật phát hiện dữ liệu nhanh hơn xung đồng hồ thì độ lệch tần số trong mạch phát hiện dữ liệu chậm hơn xung đồng hồ cũng phụ thuộc mạnh vào độ rộng của xung DN. Vì vậy, trong luận án này Nghiên cứu sinh tập trung vào kỹ thuật để mở rộng độ rộng xung UP và xung DN. Điều này được thực hiện bằng cách thêm một số thành phần mạch

phụ trợ vào sơ đồ mạch phát hiện tần số trong [35]. Sau đó một mô phỏng được thực hiện cho để so sánh hiệu quả của mạch CFD trong [35] và mạch CFD đề xuất.



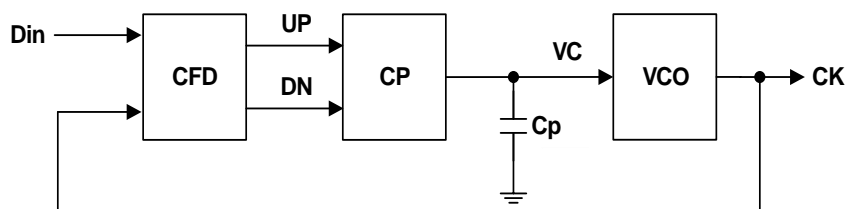
Hình 3.10: Sơ đồ khối mạch phát hiện dữ liệu nhanh hơn xung đồng hồ



Hình 3.11: Sơ đồ định thời mạch phát hiện dữ liệu nhanh hơn xung đồng hồ

Sơ đồ khối của mạch phát hiện dữ liệu nhanh hơn đề xuất và sơ đồ định thời của nó được thể hiện như trong Hình 3.10 và Hình 3.11 tương ứng. Bằng cách thêm một mạch chia 2, một bộ đếm 2-bit và một D-FF lấy mẫu theo sườn dương, thay vì lấy đầu ra từ xung UP1 như trong [35] thì đầu ra của mạch phát hiện dữ liệu nhanh hơn đề xuất được lấy từ UP2 với độ rộng xung xấp xỉ bằng

4,5 T_{CK} . Hình 3.12 thể hiện mô hình mô phỏng trong cả hai trường hợp với cùng điều kiện của I_{FD_UP} , K_{VCO} , C_p . Bảng 3.1 là các giá trị dòng bơm-sạc được sử dụng cho mô phỏng mạch CDR trong luận án.



Hình 3.12: Mô hình mô phỏng

Bảng 3.1: Giá trị dòng bơm-sạc sử dụng trong mô phỏng mạch CDR

$I_{FD_UP}(FD)$	$I_{FD_DN}(FD)$	$I_{CP}(PD)$
450 μA	400 μA	20 μA

Bảng 3.2: So sánh hiệu quả của mạch phát hiện dữ liệu nhanh hơn

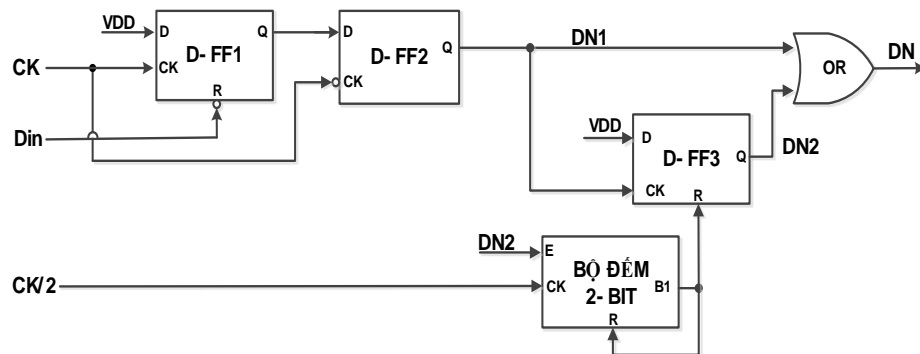
Thời gian mô phỏng (μs)	Khoảng tần số thay đổi được của VCO khi không mở rộng xung UP (MHz) [35]	Khoảng tần số thay đổi được của VCO khi mở rộng xung UP (MHz)	K_F
0.4	175	401	2.27
0.5	243	476	1.96
0.8	378	575	1.52
1	417	615	1.47

Bảng 3.2 thể hiện kết quả so sánh của mô phỏng bám tăng tần số trên Hình 3.12 cho hai trường hợp khi tần số thiết lập ban đầu của VCO là 286 MHz và tốc độ của dữ liệu đầu vào là 2 Gb/s. Trong đó, K_F là tỷ số về khoảng điều chỉnh được của tần số VCO giữa mạch phát hiện dữ liệu nhanh hơn đề xuất và mạch phát hiện dữ liệu nhanh hơn trong [35]. Rõ ràng, với mạch đề xuất có độ rộng xung UP được mở rộng thì thời gian bám tần số giảm. Tỷ số K_F giảm dần là bởi

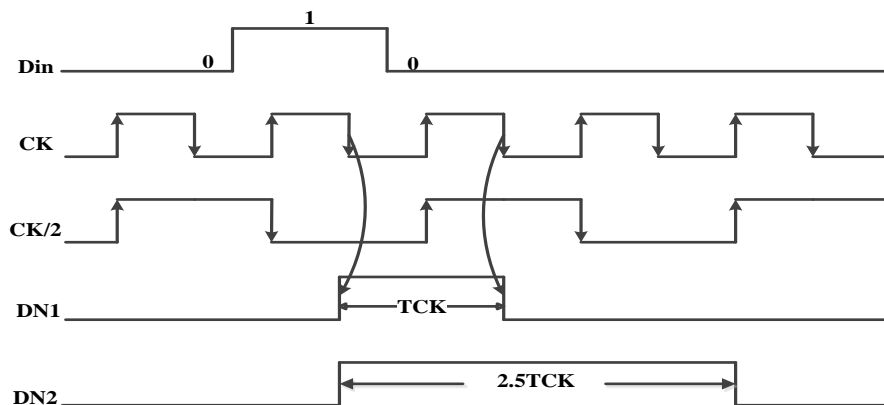
khi mạch FD làm việc, tần số của VCO được điều chỉnh tăng lên, đồng nghĩa với việc độ rộng xung UP được mở rộng giảm xuống và giảm tốc độ tăng tần số của VCO.

Hình 3.13 và Hình 3.14 thể hiện sơ đồ khối và sơ đồ định thời của mạch phát hiện dữ liệu chậm hơn xung đồng hồ đề xuất. Một bộ đếm 2-bit, một D-FF và một cổng OR được thêm vào để mở rộng độ rộng xung DN ($2,5 T_{CK}$ so với T_{CK} khi chưa mở rộng). Bảng 3.3 thể hiện kết quả so sánh của mô phỏng bám giảm tần số cho hai trường hợp mở rộng và không mở rộng xung DN khi tần số thiết lập ban đầu của VCO là 900 MHz và tốc độ của dữ liệu đầu vào là 1 Gb/s.

Kết quả mô phỏng cho thấy K_F luôn lớn hơn 1 và tăng theo thời gian mô phỏng. Như vậy, với độ rộng xung DN rộng hơn, mạch CFD bám giảm tần số có thời gian bám tần số ngắn hơn.



Hình 3.13: Sơ đồ khối mạch phát hiện dữ liệu chậm hơn xung đồng hồ



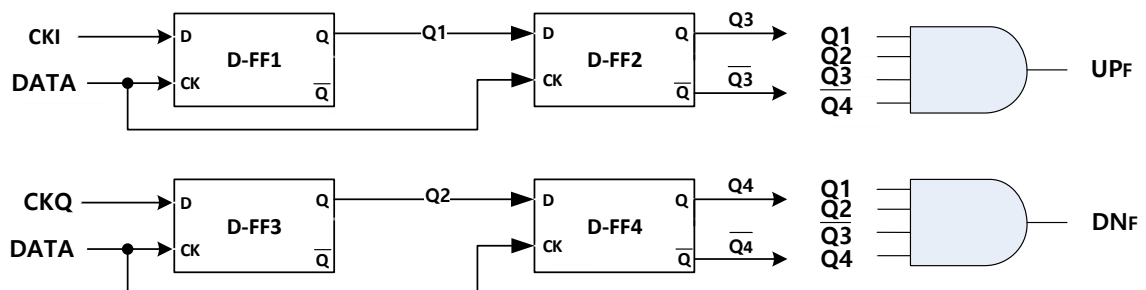
Hình 3.14: Sơ đồ định thời của mạch phát hiện dữ liệu chậm hơn đề xuất

Bảng 3.3: So sánh hiệu quả của mạch phát hiện dữ liệu chậm hơn

Thời gian mô phỏng (μs)	Khoảng tần số thay đổi được của VCO khi không mở rộng xung DN (MHz) [35]	Khoảng tần số thay đổi được của VCO khi mở rộng xung DN (MHz)	K_F
100	57	73	1.28
200	77	175	2.27
300	98	276	2.81
400	116	369	3.18

3.2.2. Mạch phát hiện tần số tinh đề xuất

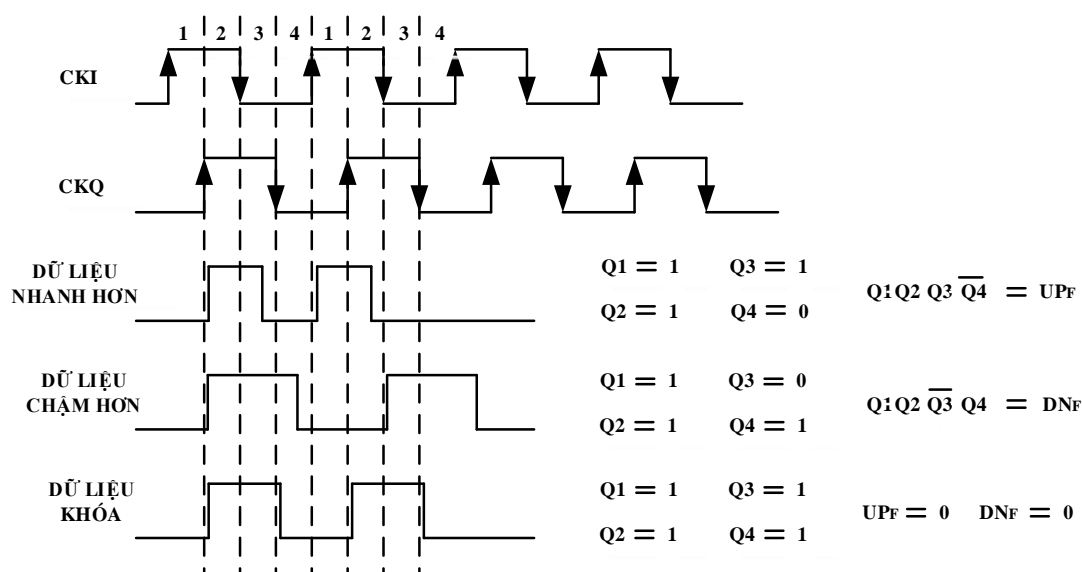
Trong các công trình nghiên cứu [27, 72], mạch FFD sử dụng DQFD (digital quadri-correlator frequency detector) để phát hiện tần số cho CDR bán tốc. Tuy nhiên, mạch FFD này yêu cầu 4 pha của xung đồng hồ. Thông thường, các mạch đệm và các mạch lấy mẫu với nhiều pha của xung đồng hồ sẽ làm tăng công suất tiêu thụ và diện tích chiếm của mạch. Vì vậy, trong luận án này, Nghiên cứu sinh đề xuất mạch DQFD bán tốc cải tiến chỉ sử dụng hai pha của xung đồng hồ. Mạch nguyên lý và hoạt động của mạch phát hiện tần số tinh (FFD) đề xuất được thể hiện trên Hình 3.15 và Hình 3.16 tương ứng.



Hình 3.15: Mạch nguyên lý của mạch FFD đề xuất

Mạch FFD bao gồm 4 D-FF và 2 cổng AND. Bốn D-FF được lấy mẫu bởi

dữ liệu, được sử dụng để lưu các giá trị mẫu và các trạng thái của mạch FFD như trên Hình 3.15. Mỗi một chu kỳ của xung đồng hồ được chia vào 4 trạng thái là 1, 2, 3 và 4 như được thể hiện trên Hình 3.16. Mối quan hệ giữa hai sườn tăng liên tiếp của dữ liệu với các trạng thái sẽ được sử dụng để xác định dữ liệu nhanh hơn hay chậm hơn xung đồng hồ.

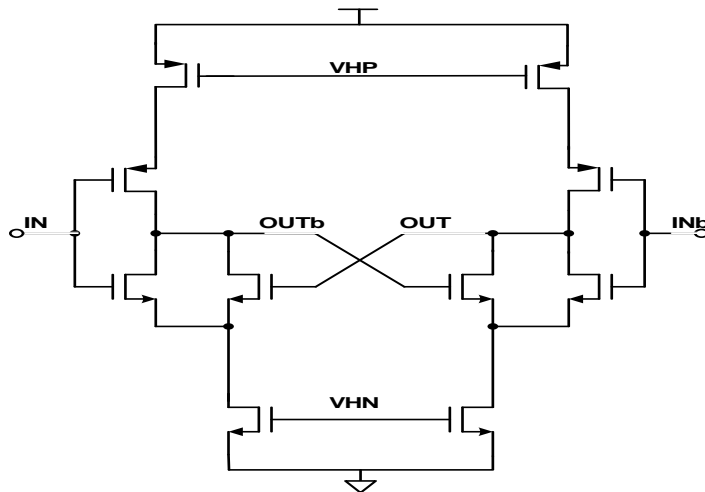


Hình 3.16: Hoạt động của mạch FFD đề xuất

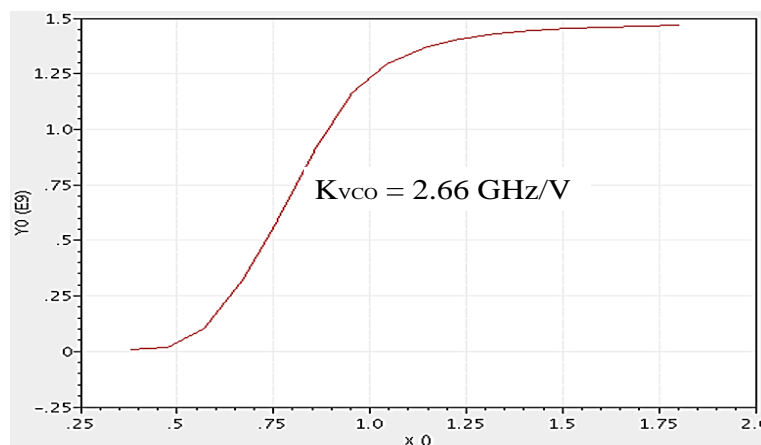
Giả sử sườn tăng đầu tiên của dữ liệu xuất hiện tại biên giữa trạng thái 1 và trạng thái 2. Sau đó, nếu sườn tăng thứ hai xuất hiện tại biên giữa trạng thái 4 và trạng thái 1 thì sự chuyển trạng thái từ 4 sang 1 sẽ được phát hiện. Sự chuyển trạng thái này sẽ chỉ cho biết tốc độ của dữ liệu đầu vào nhanh hơn tần số của xung đồng hồ. Khi đó, mạch FFD sẽ tạo ra tín hiệu UP. Ngược lại, nếu sườn tăng thứ 2 của dữ liệu xuất hiện tại biên giữa trạng thái 2 và trạng thái 3 thì sự chuyển trạng thái từ 2 sang 3 sẽ được phát hiện. Sự chuyển trạng thái này sẽ chỉ cho biết tốc độ của dữ liệu đầu vào chậm hơn tần số của xung đồng hồ và mạch FFD tạo ra tín hiệu DN. Trong điều kiện khóa, cả hai sườn tăng đầu tiên và thứ hai của dữ liệu xuất hiện tại biên giữa trạng thái 1 và trạng thái 2. Không có xung UP hoặc DN được tạo ra trong trường hợp này (Hình 3.16).

3.2.3. Mạch dao động điều khiển bằng điện áp

Mạch VCO dải rộng đóng một vai trò quan trọng trong các ứng dụng của mạch CDR dải rộng. Trong nghiên cứu này, mạch VCO được thiết kế dựa trên cấu trúc mạch vòng, 4 tầng với mỗi tầng được thể hiện như trên Hình 3.17. Trong đó, VHP và VHN là các điện áp điều khiển để thay đổi tần số làm việc của VCO, VHP là điện áp phân áp cho cực cổng của PMOS và được tạo ra qua phép biến đổi gương dòng từ VHN . Mô phỏng được thực hiện trên công cụ Spetrum của Cadence thể hiện rằng, mạch VCO đạt được hệ số khuếch đại bằng 2,66 GHz/V trong dải tần từ 100 MHz đến 1,25 GHz như được thể hiện trên Hình 3.18.



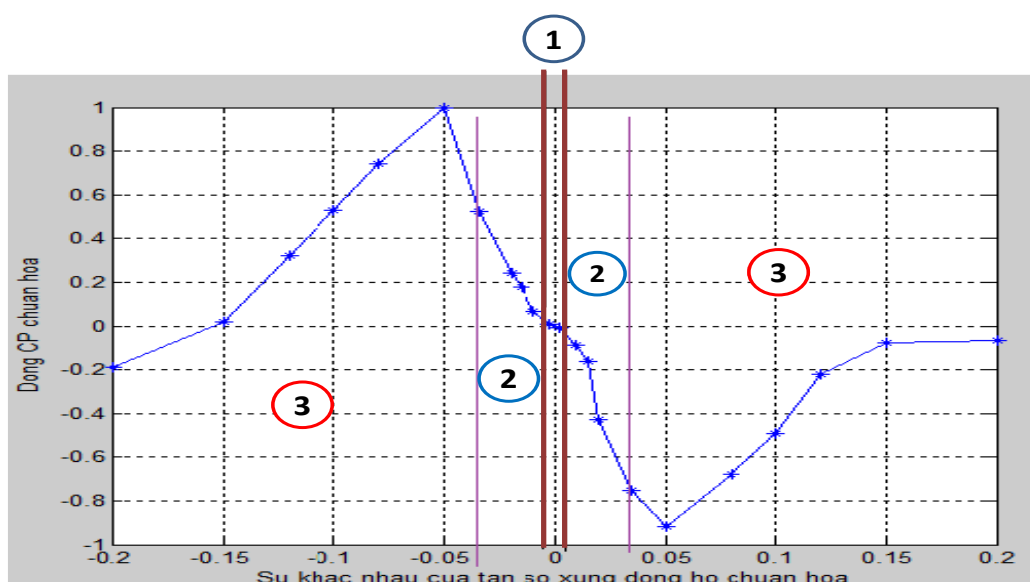
Hình 3.17: Sơ đồ mạch một tầng của mạch VCO vi sai 4 tầng



Hình 3.18: Hệ số khuếch đại của mạch VCO

3.2.4. Mạch phát hiện trạng thái khóa và trạng thái mất khóa

Để tránh xảy ra can nhiễu giữa vòng khóa pha và vòng khóa tần số như trong [73], một mạch phát hiện trạng thái khóa được thêm vào trong nghiên cứu này. Thêm vào đó, để mạch CDR làm việc với tốc độ dữ liệu đầu vào liên tục thì mạch phát hiện trạng thái mất khóa là không thể thiếu. Mạch phát hiện trạng thái khóa và mất khóa được xây dựng dựa trên đường cong giữa sự khác nhau của tần số xung đồng hồ chuẩn hóa với dòng bơm-sạc chuẩn hóa của mạch FFD (Hình 3.19).



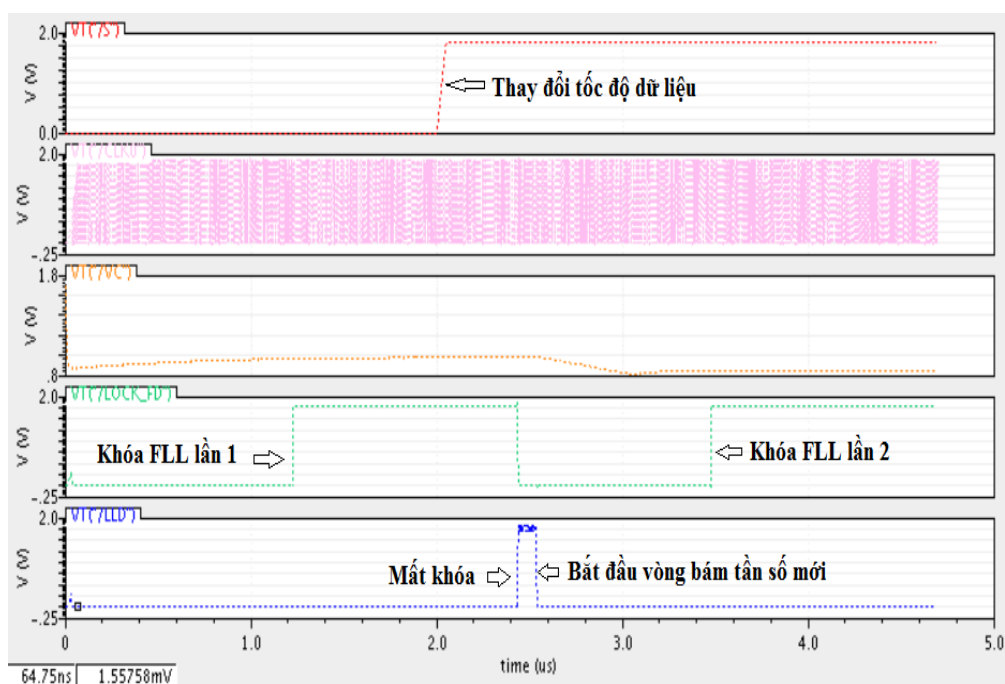
Hình 3.19: Hệ số khuếch đại của mạch FFD

Đường cong này được chia thành ba miền: miền 1 là miền khóa – lỗi tần số nhỏ, miền 2 là miền mất khóa – lỗi tần số lớn hơn, và miền 3 là miền có lỗi tần số lớn. Khi vòng bám tần số bắt đầu làm việc, lỗi tần số giảm dần và di chuyển từ miền 3 sang miền 2, đồng thời mạch phát hiện trạng thái khóa bắt đầu làm việc. Khi lỗi tần số đi vào miền 1, mạch phát hiện trạng thái khóa sẽ tạo ra tín hiệu *LOCK_FD* để kết thúc quá trình bám tần số và chuyển hoạt động của mạch CDR sang quá trình bám pha. Sau đó, mạch phát hiện trạng thái mất khóa bắt đầu làm việc. Khi tốc độ dữ liệu đầu vào thay đổi, lỗi tần số tăng lên,

di chuyển từ miền 1 sang miền 2, tín hiệu *LLD* được tạo ra từ mạch phát hiện trạng thái mất khóa để *reset* mạch CDR về trạng thái ban đầu, bắt đầu một chu trình bám tần số mới.

3.2.5. Kết quả mô phỏng mạch CDR tốc độ dữ liệu liên tục

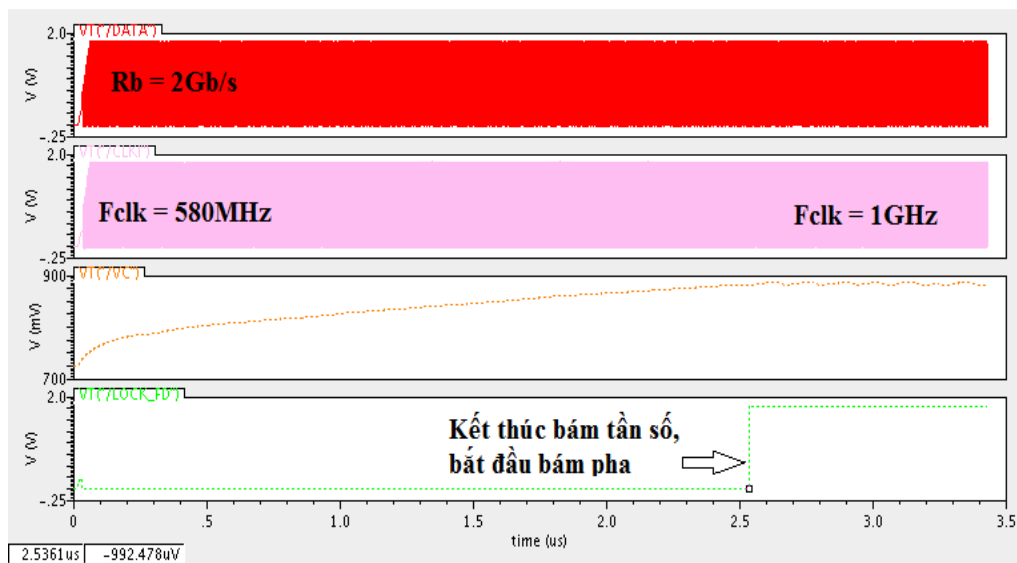
Một mạch tạo chuỗi dữ liệu giả ngẫu nhiên (PRBS) được sử dụng để tạo dữ liệu đầu vào cho mô phỏng mạch CDR đề xuất. Mạch CDR đề xuất được thiết kế trên công nghệ CMOS TSMC 180 nm. Các kết quả mô phỏng vi mạch được thực hiện ở bước mô phỏng mạch nguyên lý. Hai mô phỏng được thực hiện để kiểm tra nguyên lý làm việc cũng như chất lượng của mạch CDR đề xuất. Mô phỏng đầu tiên được thực hiện để kiểm tra khả năng làm việc của mạch bám tần số với tốc độ dữ liệu đầu vào liên tục. Kết quả mô phỏng quá trình bám tần số của mạch FD đề xuất được thể hiện trên Hình 3.20.



Hình 3.20: Đáp ứng vòng bám tần số với tốc độ dữ liệu đầu vào thay đổi

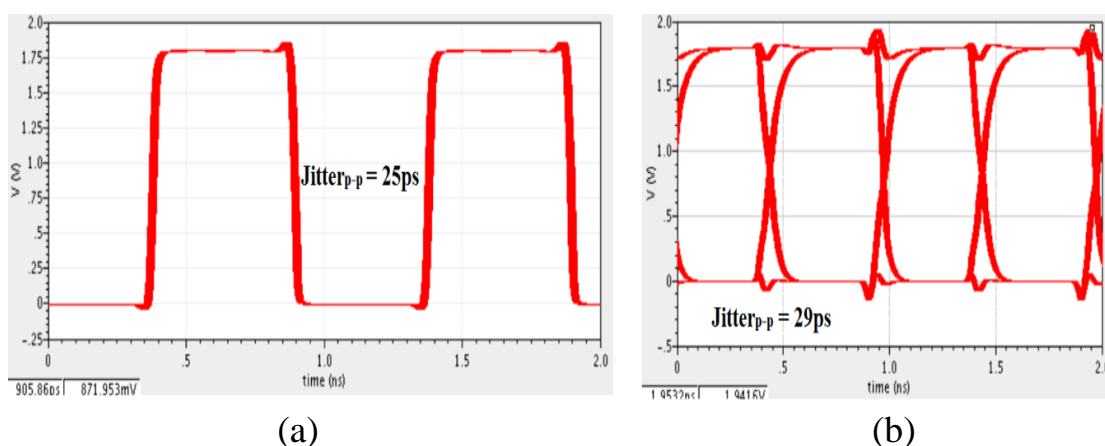
Tại thời điểm ban đầu, tín hiệu *S* ở mức thấp, tốc độ dữ liệu và tần số dao động của VCO được thiết lập bằng 2,4 Gb/s và 970 MHz tương ứng. Do tần số

của mạch VCO nhỏ hơn một nửa tốc độ dữ liệu đầu vào nên mạch phát hiện dữ liệu nhanh hơn làm việc. Khi đó điện áp điều khiển VC tăng để tăng tần số của mạch VCO. Khi tần số của mạch VCO tăng gần bằng một nửa tốc độ dữ liệu đầu vào thì mạch phát hiện trạng thái khóa sẽ tạo ra tín hiệu khóa *LOCK_FD* để kết thúc quá trình bám tần số. Mạch đạt được trạng thái khóa tần số sau khoảng thời gian $1,23 \mu\text{s}$ và mạch phát hiện trạng thái mất khóa bắt đầu làm việc. Tại thời điểm $t = 2 \mu\text{s}$, tín hiệu *S* chuyển trạng thái lên mức cao để thay đổi tốc độ dữ liệu đầu vào từ $2,4 \text{ Gb/s}$ thành $1,8 \text{ Gb/s}$. Sau khoảng thời gian 408 ns , mạch phát hiện trạng thái mất khóa phát hiện ra sự thay đổi này và kích hoạt tín hiệu *LLD* để *reset* mạch FLL và bắt đầu vòng bám tần số mới. Lúc này, mạch phát hiện dữ liệu chậm hơn làm việc và điện áp điều khiển giảm để giảm tần số của mạch VCO. Mạch đạt được trạng thái khóa lại sau khoảng thời gian $0,938 \mu\text{s}$.



Hình 3.21: Kết quả mô phỏng hoạt động của mạch CDR đề xuất

Mô phỏng thứ hai được thực hiện để kiểm tra chất lượng của mạch CDR với tốc độ dữ liệu đầu vào không đổi. Các tham số mô phỏng được thiết lập như sau: tốc độ dữ liệu đầu vào bằng 2 Gb/s , tần số dao động thiết lập của mạch VCO bằng 580 MHz , dòng CP cho vòng khóa pha bằng $20 \mu\text{A}$.



Hình 3.22: Chất lượng jitter của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục

Bảng 3.4: So sánh chất lượng mạch CDR đề xuất I với các nghiên cứu trước

	[34]	[35] (Mô phỏng)	[37]	Đề xuất (Mô phỏng)
Công nghệ (nm)	130 CMOS	180 CMOS	65 CMOS	180 CMOS
Nguồn (V)	1.5	1.8	1	1.8
Tốc độ dữ liệu (Gb/s)	1-16 Bán tốc	0.2-3 Bán tốc	0.65-10.5 Toàn tốc	0.3-2.5 Bán tốc
Kiểu FD	Hai hướng	Hai hướng	Hai hướng	Hai hướng
Bám tốc độ dữ liệu liên tục	Không	Không	Có	Có
Nhạy với ISI của dữ liệu đầu vào	Không	Không	Có	Không
Thời gian bám tần số (μ s)	1000	12.9	52	2.53
Jitter _{p-p} (ps)	146 @1Gb/s	10 @3Gb/s	23.5 @10Gb/s	25 @2Gb/s
Công suất tiêu thụ (mW)	160	37.8	26	30.2

Hình 3.21 thể hiện kết quả mô phỏng quá trình làm việc của mạch CDR, theo đó, mạch CDR đề xuất làm việc tốt với chất lượng của jitter xung đồng hồ khôi phục và dữ liệu khôi phục lần lượt bằng 25 ps và 29 ps như trên Hình 3.22.

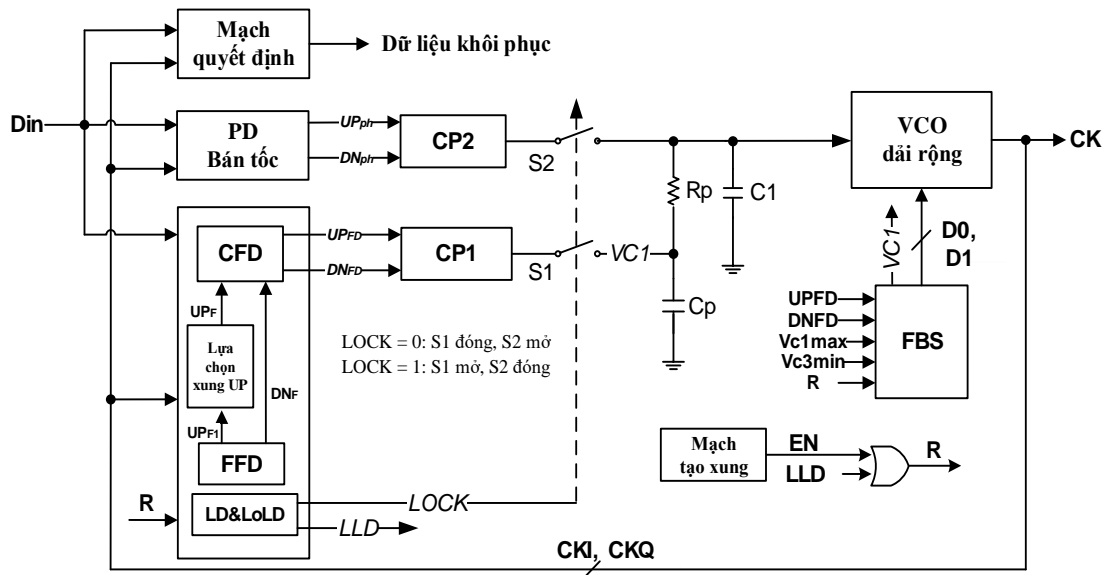
Thời gian đạt được tần số của mạch CDR với khoảng bảm 420 MHz là 2,53 μ s. Mạch CDR có công suất tiêu thụ bằng 43,2 mW với điện áp nguồn cung cấp 1,8 V. Kết quả so sánh chất lượng của mạch CDR đề xuất với các nghiên cứu trước được thể hiện trên Bảng 3.4. Mạch CDR đề xuất có khả năng bảm tần số theo hai hướng, không nhạy với ISI của dữ liệu đầu vào và có thời gian bảm tần số ngắn hơn so với các nghiên cứu trong [34, 35, 37].

3.3. Mạch CDR đề xuất II

Mạch CDR đề xuất I dựa trên kiến trúc của vòng bảm tần số thô và tinh để đạt được dải rộng, tốc độ liên tục của dữ liệu đầu vào, phát hiện tần số theo hai hướng. Tuy nhiên có hai vấn đề với kiến trúc mạch CDR này. Thứ nhất, tại tần số cao thì độ rộng xung UP tại đầu ra của mạch phát hiện tần số hẹp nên thời gian bảm tần số tăng. Thứ hai, mạch VCO dải rộng có hệ số khuếch đại lớn nên làm giảm chất lượng jitter của xung đồng hồ và dữ liệu khôi phục. Trong phần này, Nghiên cứu sinh đề xuất thêm một mạch lựa chọn xung điều khiển bảm tăng tần số để giảm thời gian bảm tăng tần số, đồng thời thiết kế mạch VCO dải rộng, ba dải để cải thiện chất lượng jitter của xung đồng hồ và dữ liệu khôi phục của mạch CDR.

Sơ đồ khối của mạch CDR bán tốc, không sử dụng tần số tham chiếu với mạch lựa chọn xung điều khiển bảm tăng tần số đề xuất được thể hiện trên Hình 3.23. Mạch CDR được thiết kế với kiến trúc hai vòng, một vòng bảm tần số và một vòng bảm pha. Vòng bảm pha bao gồm mạch phát hiện pha nhị phân [19] và mạch bom-sạc (CP1), mạch lọc vòng, mạch lựa chọn dải tần số (FBS) và mạch VCO dải rộng. Vòng bảm tần số bao gồm mạch FD đề xuất và mạch bom-sạc (CP2). Mạch FLL đạt được tần số bằng kỹ thuật bảm tần số theo hai bước, bao gồm mạch phát hiện tần số thô (CFD), mạch phát hiện tần số tinh (FFD), mạch lựa chọn xung điều khiển bảm tăng tần số (xung UP), mạch phát hiện

trạng thái khóa tần số (LD) và mạch phát hiện trạng thái mất khóa (LoLD). Một mạch tạo xung được tích hợp trên chip để tạo ra tín hiệu *EN* cho việc *reset* CDR về trạng thái thiết lập ban đầu.

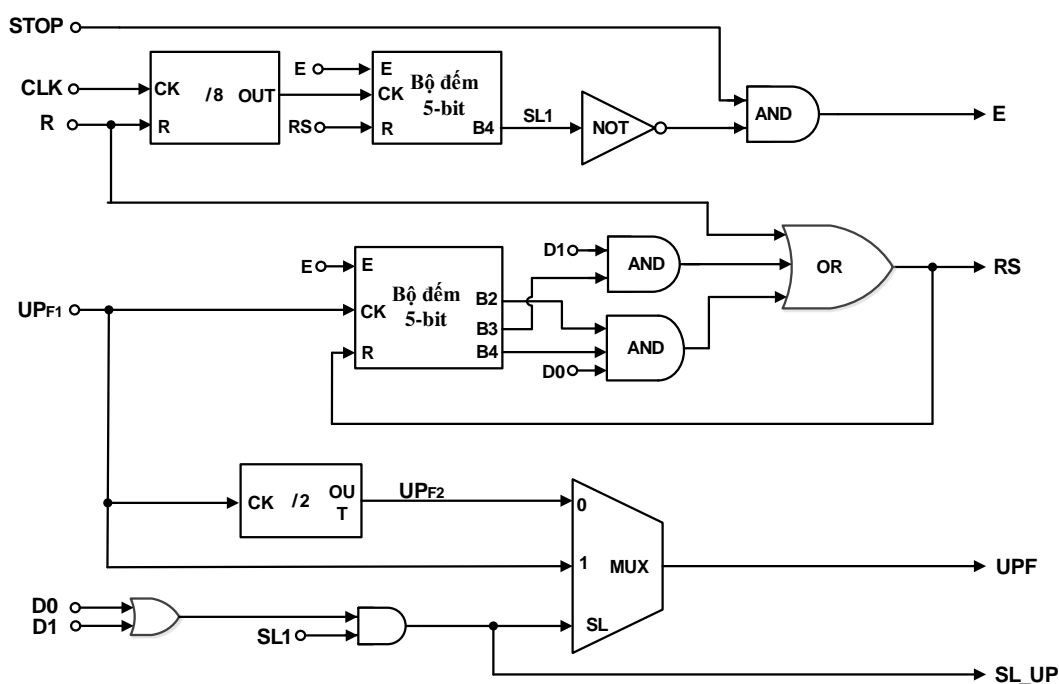


Hình 3.23: Sơ đồ khối của mạch CDR với mạch lựa chọn xung điều khiển bảm tăng tần số đề xuất

Như được thể hiện trên Hình 3.23, khi bật nguồn chip, tín hiệu *EN* được tạo ra với mức logic cao để đưa CDR về trạng thái thiết lập ban đầu, sau đó chuyển mạch *S1* đóng và chuyển mạch *S2* mở và mạch CDR bắt đầu quá trình xử lý bảm tần số. Dựa trên tốc độ dữ liệu đầu vào mà mạch lựa chọn dải tần số đề xuất sẽ lựa chọn một dải tần số thích hợp cho VCO ba dải bằng cách cập nhật các bit điều khiển *D0*, *D1*. Sau đó, mạch FD đề xuất bảm theo lỗi tần số giữa dữ liệu đầu vào và xung đồng hồ *CKI*, *CKQ*. Khi lỗi tần số đủ nhỏ, mạch LD kích hoạt tín hiệu khóa *LOCK* để mở chuyển mạch *S1* và đóng chuyển mạch *S2*. Mạch CDR kết thúc xử lý bảm tần số, chuyển sang xử lý bảm pha. Lúc này mạch *LoLD* sẽ làm việc để theo dõi tốc độ của dữ liệu đầu vào. Khi có sự thay đổi tốc độ của dữ liệu đầu vào, mạch *LoLD* sẽ tạo ra tín hiệu *LLD* để *reset* mạch CDR, bắt đầu một quá trình bảm tần số mới.

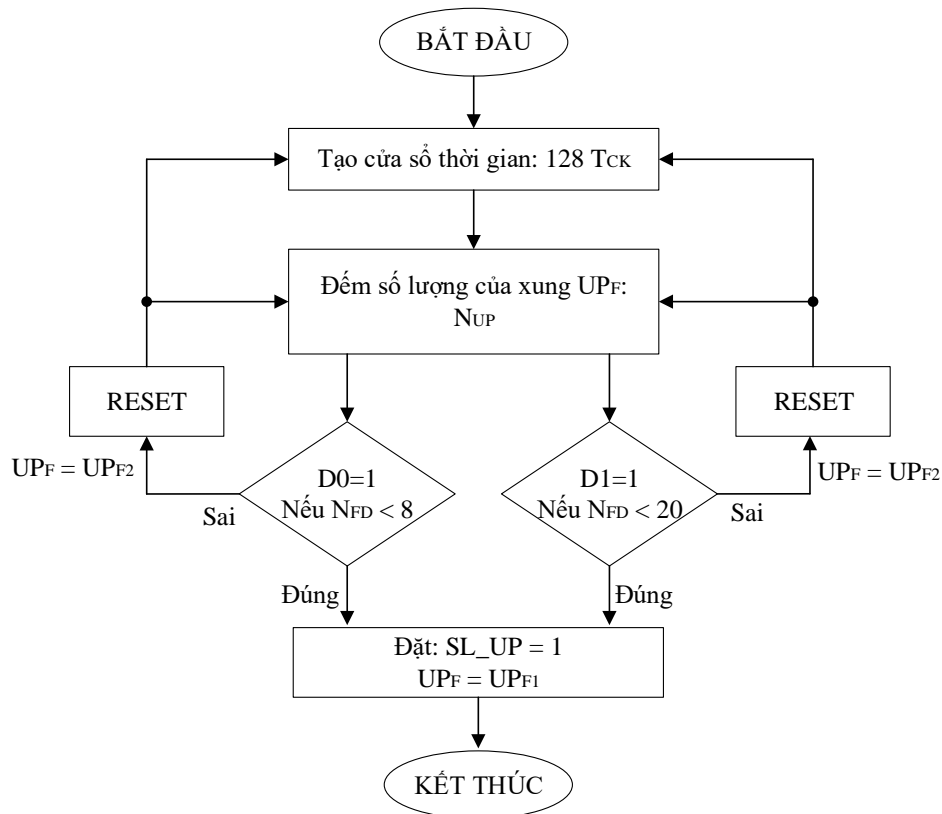
3.3.1. Mạch lựa chọn xung điều khiển băm tăng tần số đề xuất

Như đã được trình bày trong Mục 3.2, vòng băm tần số đề xuất bao gồm vòng băm tần số thô và vòng băm tần số tinh hoạt động đồng thời để đạt được mạch CDR tốc độ dữ liệu liên tục và giảm thời gian đạt được tần số. Biểu thức (3.4) thể hiện tín hiệu UP ở đầu ra của mạch phát hiện tần số khi một nửa tốc độ dữ liệu đầu vào lớn hơn tần số của xung đồng hồ. Tốc độ thay đổi tần số của xung đồng hồ phụ thuộc vào độ rộng của xung UP ở đầu ra của mạch phát hiện tần số thô và mạch phát hiện tần số tinh. Trong đó độ rộng của xung UP_F ở đầu ra của mạch FFD tỉ lệ nghịch với tốc độ của dữ liệu đầu vào. Như vậy, khi tốc độ của dữ liệu càng cao thì độ rộng xung UP_F ở đầu ra của mạch phát hiện tần số tinh càng giảm. Kết quả là tốc độ tăng tần số của xung đồng hồ giảm và làm tăng thời gian băm tần số. Để khắc phục vấn đề này, Nghiên cứu sinh đề xuất một mạch lựa chọn xung điều khiển băm tăng tần số (xung UP_F) để đạt được thời gian băm tần số ngắn.



Hình 3.24: Mạch lựa chọn xung điều khiển băm tăng tần số đề xuất

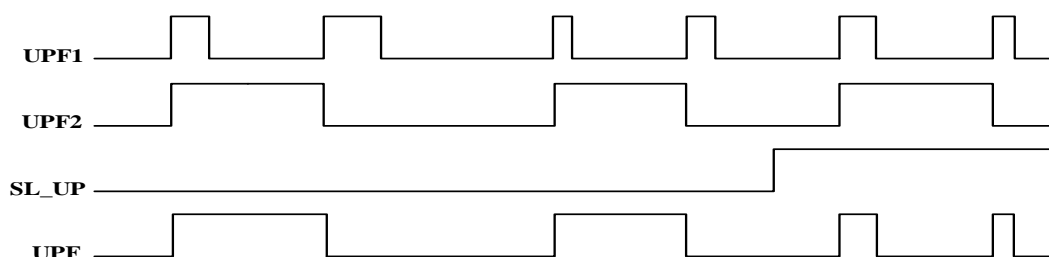
Thay vì đưa trực tiếp tín hiệu UP_F từ đầu ra của mạch FFD vào mạch CFD, mạch lựa chọn xung điều khiển băm tăng tần số đề xuất được sử dụng để mở rộng xung UP_F cho tốc độ dữ liệu cao. Sơ đồ nguyên lý của mạch lựa chọn xung điều khiển băm tăng tần số được thể hiện trên Hình 3.24.



Hình 3.25: Thuật toán lựa chọn xung điều khiển băm tăng tần số

Mạch lựa chọn xung điều khiển băm tăng tần số bao gồm mạch chia 8, mạch chia 2, hai bộ đếm 5 bit, mạch ghép kênh MUX, cổng logic NOT, cổng OR và 3 cổng AND. Trong mạch này, tín hiệu *STOP* được lấy từ mạch CFD và các bit logic điều khiển D0, D1 được lấy từ mạch FBS. Thuật toán lựa chọn xung điều khiển băm tăng tần số cho xử lý băm tần số được thể hiện trên Hình 3.25. Như đã đề cập, khi tốc độ dữ liệu đầu vào tăng lên thì độ rộng xung UP_F giảm nên trong luận án này, Nghiên cứu sinh đề xuất chỉ mở rộng độ rộng xung UP_F cho hai dải tần số cao của VCO ba dải là dải 2 với $D0 = 1, D1 = 0$ và dải 3 với $D0 = 0, D1 = 1$.

Độ rộng xung UP_F được mở rộng bởi mạch chia 2 (UP_{F2}). Tại thời điểm bắt đầu của quá trình bám tần số, mạch lựa chọn xung điều khiển bám tăng tần số tạo ra một cửa sổ thời gian bằng $128 T_{CK}$, đồng thời đếm số lượng xung UP_{F1} (N_{FD}) từ đầu ra của mạch FFD trong cửa sổ thời gian này. Lúc này, lỗi tần số lớn nên số lượng xung UP_{F1} lớn và mạch lựa chọn xung điều khiển bám tăng tần số lấy tín hiệu UP_{F2} ($UP_F = UP_{F2}$) làm đầu ra để đưa tới đầu vào mạch CFD. Như vậy, tốc độ điều chỉnh tăng tần số của VCO sẽ nhanh hơn. Khi lỗi tần số giảm thì N_{FD} giảm. Nếu N_{FD} nhỏ hơn 8 khi VCO đang làm việc ở dải 2 hoặc nhỏ hơn 20 khi VCO đang làm việc ở dải 3 thì tín hiệu SL_UP được kích hoạt để dừng mạch lựa chọn xung điều khiển bám tăng tần số. Khi này, tín hiệu UP_{F1} sẽ được lựa chọn thay thế tín hiệu UP_{F2} làm đầu vào của mạch CFD và $UP_F = UP_{F1}$ như được thể hiện trên Hình 3.26.



Hình 3.26: Sơ đồ định thời của mạch lựa chọn xung điều khiển bám tăng tần số

Trong thuật toán lựa chọn xung điều khiển bám tăng tần số thì tín hiệu SL_UP là cần thiết vì nếu không có tín hiệu SL_UP thì tín hiệu UP_{F2} luôn được đưa tới mạch CFD. Điều này dẫn đến tần số của VCO tiếp tục thay đổi nhanh trong khi quá trình xử lý bám tần số đã điều chỉnh tần số của VCO tăng gần bằng một nửa tốc độ dữ liệu đầu vào. Khi đó, tần số VCO có thể vượt qua điểm khóa và gây ra lỗi trong xử lý bám tần số.

Để kiểm tra hiệu quả của mạch lựa chọn xung điều khiển bám tăng tần số đề xuất, một mô phỏng được thực hiện với FLL trong hai trường hợp: không có mạch lựa chọn xung điều khiển bám tăng tần số và có mạch lựa chọn xung

điều khiển bám tăng tần số với cùng các tham số mô phỏng. Bảng 3.5 thể hiện kết quả so sánh của các FLL về tốc độ thay đổi tần số của VCO. Với dữ liệu đầu vào 3 Gb/s, dòng bơm-sạc 450 μ A, điện dung trong mạch lọc vòng 1 nF thì điện áp điều khiển (VC) của VCO trong trường hợp có mạch lựa chọn xung điều khiển bám tăng tần số tăng nhanh hơn trong trường hợp không có mạch lựa chọn xung điều khiển bám tăng tần số. Như vậy, với mạch lựa chọn xung điều khiển bám tăng tần số đề xuất, FLL sẽ đạt được thời gian khóa tần số ngắn hơn.

Bảng 3.5: So sánh tốc độ thay đổi tần số của VCO trong các FLL

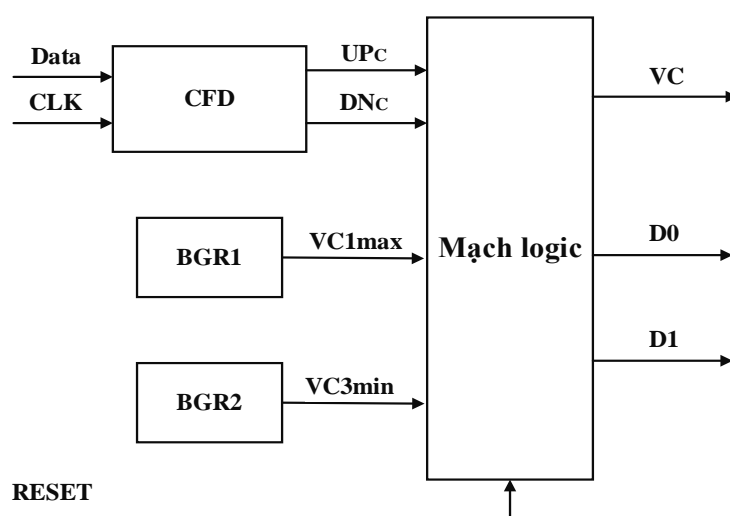
Thời gian mô phỏng (ns)	100	300	500	700	900
VC khi không có mạch lựa chọn xung điều khiển bám tăng tần số (mV)	530	563	588	623	658
VC khi có mạch lựa chọn xung điều khiển bám tăng tần số (mV)	538	586	652	710	757

3.3.2. Mạch lựa chọn dải tần số cho VCO đề xuất

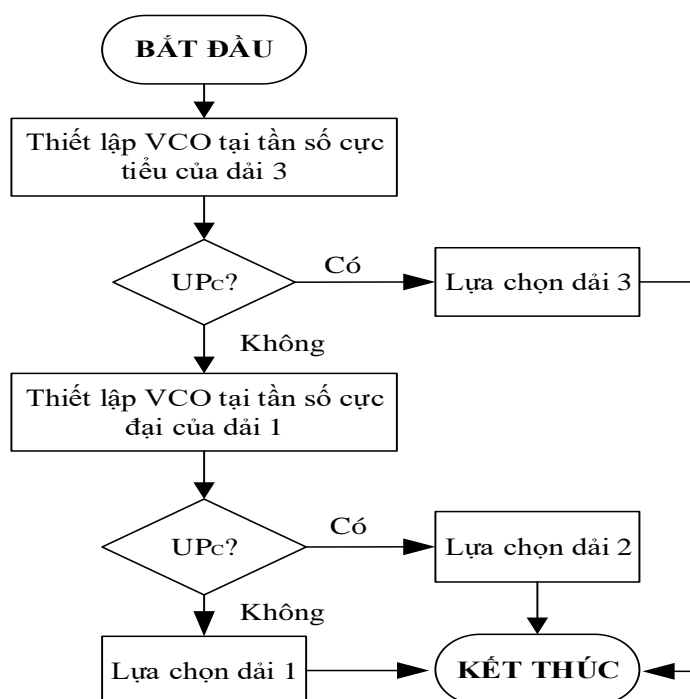
Như đã trình bày trong Mục 3.2, mạch CDR tốc độ dữ liệu liên tục có chất lượng jitter của dữ liệu và xung đồng hồ khôi phục không cao, một phần là do hệ số khuếch đại cao của mạch VCO dải rộng. Vì vậy, để khắc phục vấn đề này thì mạch VCO ba dải được thiết kế. Dựa trên mối quan hệ giữa tốc độ của dữ liệu ngẫu nhiên đầu vào và tần số của VCO, một mạch lựa chọn dải tần số cho VCO ba dải được thực hiện để lựa chọn dải tần số làm việc thích hợp cho VCO.

Mạch lựa chọn dải tần số cho VCO đề xuất được thể hiện trên Hình 3.27. Mạch bao gồm một mạch phát hiện tần số thô để tạo ra tín hiệu UP_C và DN_C ; Hai mạch tạo điện áp tham chiếu ổn định (BGR1, BGR2) [74] tạo ra các điện áp $VC1_{max}$ và $VC3_{min}$ đưa đến mạch logic; Mạch logic thực hiện thuật toán lựa chọn dải tần số cho VCO, tạo ra tín hiệu điều khiển tần số VCO (VC) và hai bit

điều khiển số D0, D1 đưa tới mạch VCO dải rộng.



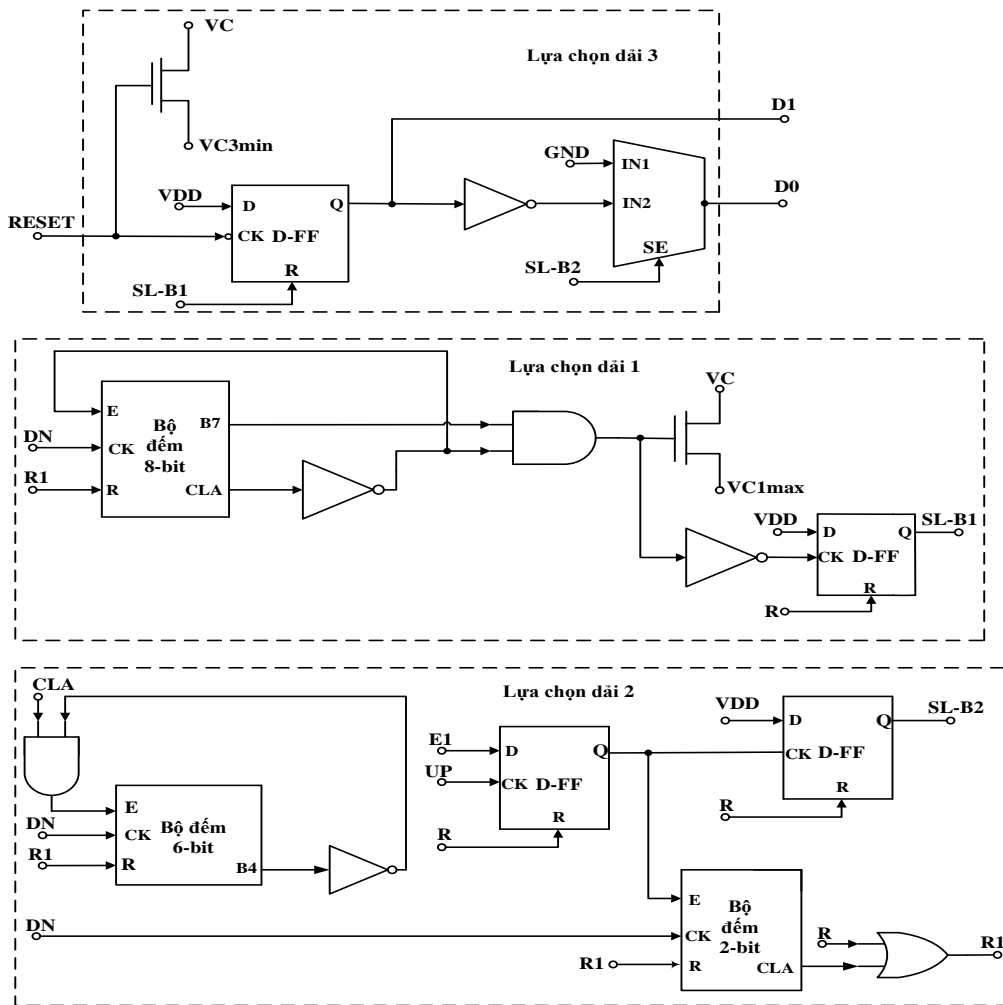
Hình 3.27: Mạch lựa chọn dải tần số cho VCO đề xuất



Hình 3.28: Lưu đồ thuật toán lựa chọn dải tần số của VCO

Lưu đồ thuật toán và sơ đồ khối chi tiết thực hiện mạch lựa chọn dải tần số đề xuất cho VCO ba dải được thể hiện trên Hình 3.28 và Hình 3.29 tương ứng. Các xung UP_C và DN_C được tạo ra từ mạch phát hiện tần số thô, trong đó xung UP_C được sử dụng để quyết định các dải tần làm việc của VCO và xung DN_C

được sử dụng để tạo ra các cửa sổ thời gian cho việc kiểm tra sự tồn tại của xung UP_C . Tại thời điểm ban đầu, một tín hiệu RESET mức cao được đưa đến bóng bán dẫn NMOS để đặt điện áp điều khiển VCO (VC) bằng $VC3_{min}$. Khi này, tần số dao động của VCO được thiết lập đến tần số nhỏ nhất trong dải 3 của VCO, bit D1 được thiết lập đến mức logic 1. Mạch logic sẽ kiểm tra sự tồn tại của xung UP_C .



Hình 3.29: Sơ đồ khối chi tiết thực hiện mạch lựa chọn dải tần số VCO

Trong trường hợp có sự xuất hiện của xung UP_C , mạch logic sẽ tiếp tục duy trì bit D1 ở mức logic 1 và lựa chọn dải 3 cho mạch VCO. Khi không tồn tại xung UP_C , mạch logic sẽ thiết lập cho VC bằng $VC1_{max}$ (tần số của VCO lúc này là tần số cực đại của dải 1), đồng thời đặt lại bit D1 về mức logic 0 (SL-B1

= '1'), và tiếp tục kiểm tra sự tồn tại của xung UP_C . Nếu xung UP_C tiếp tục không xuất hiện, mạch logic sẽ lựa chọn dải 1 cho mạch VCO. Ngược lại, nếu xuất hiện xung UP_C , tín hiệu $SL-B2$ được kích hoạt và mạch logic sẽ thiết lập bit $D0$ lên mức logic 1 để lựa chọn dải 2 cho tần số làm việc của mạch VCO. Như vậy ta có mối quan hệ giữa hai bit điều khiển số $D0$, $D1$ và các dải tần số của mạch VCO như trên Bảng 3.6. Mạch FBS sẽ lựa chọn dải 1 của mạch VCO khi $D0 = 0$, $D1 = 0$; lựa chọn dải 2 khi $D0 = 1$, $D1 = 0$; và lựa chọn dải 3 khi $D0 = 0$, $D1 = 1$.

Bảng 3.6: Mối quan hệ giữa các bit điều khiển số và dải tần số của VCO

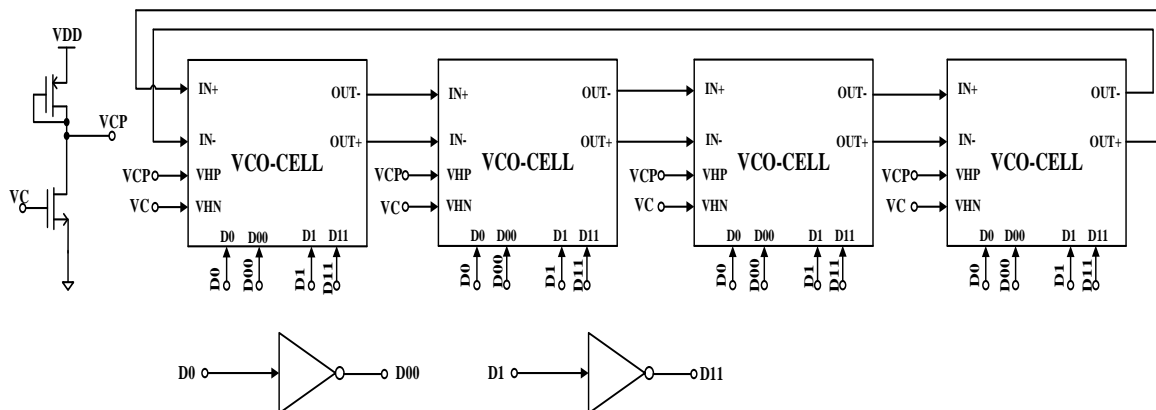
		D0	
		0	1
D1	0	Chọn dải 1	Chọn dải 2
	1	Chọn dải 3	N/A

Các nghiên cứu trong [73, 75] sử dụng các điện áp tham chiếu so sánh ngoài chip, điều này làm giảm khả năng tích hợp của chip. Trong luận án này, Nghiên cứu sinh sử dụng mạch BGR trên chip. Giá trị của VCI_{max} và $VC3_{min}$ được tạo ra từ mạch BGR lần lượt là 0,85 V và 0,5 V.

3.3.3. Mạch VCO ba dải

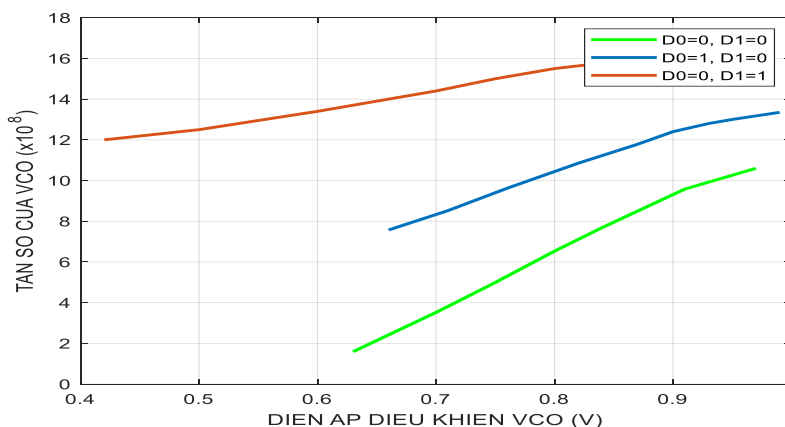
Mạch VCO đóng vai trò quan trọng trong kiến trúc của mạch CDR, nó ảnh hưởng trực tiếp đến chất lượng của xung đồng hồ và dữ liệu khôi phục. Các nghiên cứu cho đến nay chỉ ra có hai loại VCO là VCO kiểu vòng và LC-VCO. Trong đó, VCO kiểu vòng có ưu điểm là diện tích chiếm nhỏ, khoảng điều chỉnh rộng và nhược điểm là tần số làm việc không quá cao và chất lượng jitter không cao. Ngược lại, LC-VCO có tần số dao động cao, chất lượng jitter tốt nhưng khoảng điều chỉnh hẹp và diện tích chiếm lớn vì bao gồm cuộn cảm trên chip [76]. Chính vì vậy, trong thiết kế này, với tiêu chí là mạch CDR dải rộng nên Nghiên cứu sinh lựa chọn mạch VCO kiểu vòng cho thiết kế. Mạch VCO

dải rộng được thiết kế theo kiến trúc vi sai bốn tầng như được thể hiện trên Hình 3.30.



Hình 3.30: Mạch VCO vi sai bốn tầng

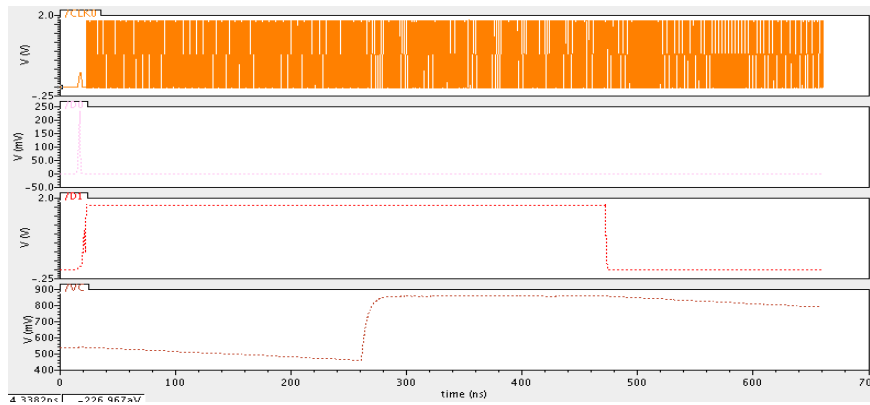
Trong đó, điện áp điều khiển VC được đưa qua mạch biến đổi gương dòng để cung cấp các điện áp phân áp cho nguồn dòng PMOS và NMOS trong các VCO-CELL. Mạch VCO làm việc trong dải tần từ 150 MHz đến 1,6 GHz, và được chia thành ba dải tần con tương ứng với các bit điều khiển số $D0, D1$: dải 1 từ 150 MHz đến 820 MHz, dải 2 từ 800 MHz đến 1,24 GHz và dải 3 từ 1,22 GHz đến 1.6 GHz như trên Hình 3.31. Ta thấy, có một ít sự trùng lặp tần số giữa các dải tần, điều này để đảm bảo cho VCO làm việc liên tục trong toàn bộ băng tần.



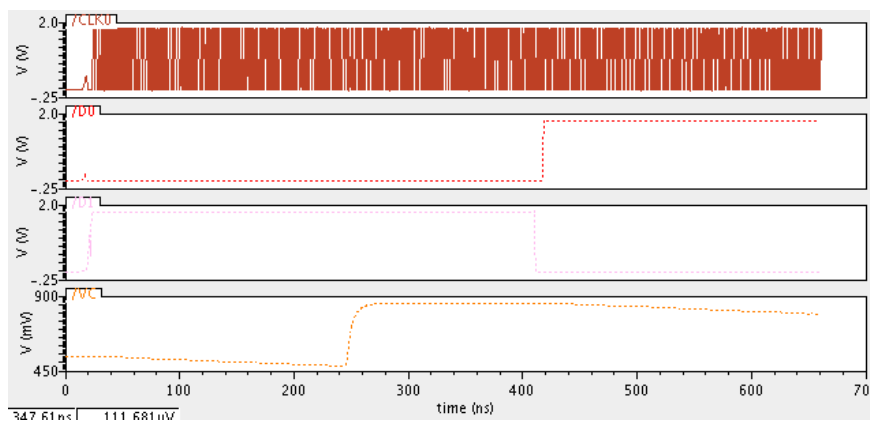
Hình 3.31: Kết quả mô phỏng ba dải tần số của VCO dải rộng

Để kiểm tra đáp ứng của mạch FBS, ba trường hợp mô phỏng được thực

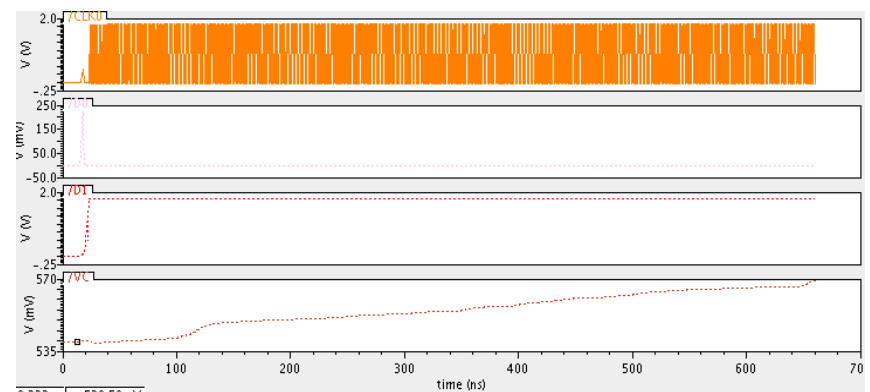
hiện: $R_b = 1,2 \text{ Gb/s}$ (dải 1), $R_b = 2 \text{ Gb/s}$ (dải 2) và $R_b = 3 \text{ Gb/s}$ (dải 3). Kết quả mô phỏng lần lượt được thể hiện trên Hình 3.32, Hình 3.33 và Hình 3.34 cho thấy mạch lựa chọn dải tần số làm việc đúng theo nguyên lý như mối quan hệ giữa các bit điều khiển số D0, D1 trên Bảng 3.6.



Hình 3.32: Lựa chọn dải 1 cho VCO



Hình 3.33: Lựa chọn dải 2 cho VCO



Hình 3.34: Lựa chọn dải 3 cho VCO

Xét cụ thể cho trường hợp thứ hai khi thiết lập tốc độ dữ liệu đầu vào là 2

Gb/s. Khi bật nguồn, tín hiệu RESET sẽ đặt điện áp điều khiển VCO bằng $VC3_{\min}$ và D1 được thiết lập đến mức logic cao để VCO dao động ở tần số 1.22 GHz, tần số này lớn hơn một nửa của tốc độ dữ liệu đầu vào nên không có xung UP_C xuất hiện tại đầu ra của mạch phát hiện tần số thô. Sau đó, điện áp điều khiển VCO được đặt lại bằng $VC1_{\max}$, D1 được *reset* về mức logic 0 và VCO lúc này dao động ở tần số 820 MHz. Tần số này nhỏ hơn một nửa của tốc độ dữ liệu đầu vào, xung UP_C xuất hiện ở đầu ra mạch CFD. Lúc này, mạch FBS kích hoạt D0 lên mức logic 1, VCO hoạt động ở dải 2 và mạch CDR bắt đầu bám giảm tần số. Như vậy, mạch lựa chọn dải tần số lựa chọn chính xác dải 2 cho VCO khi tốc độ dữ liệu đầu vào là 2 Gb/s.

3.3.4. Kết quả mô phỏng mạch CDR đề xuất

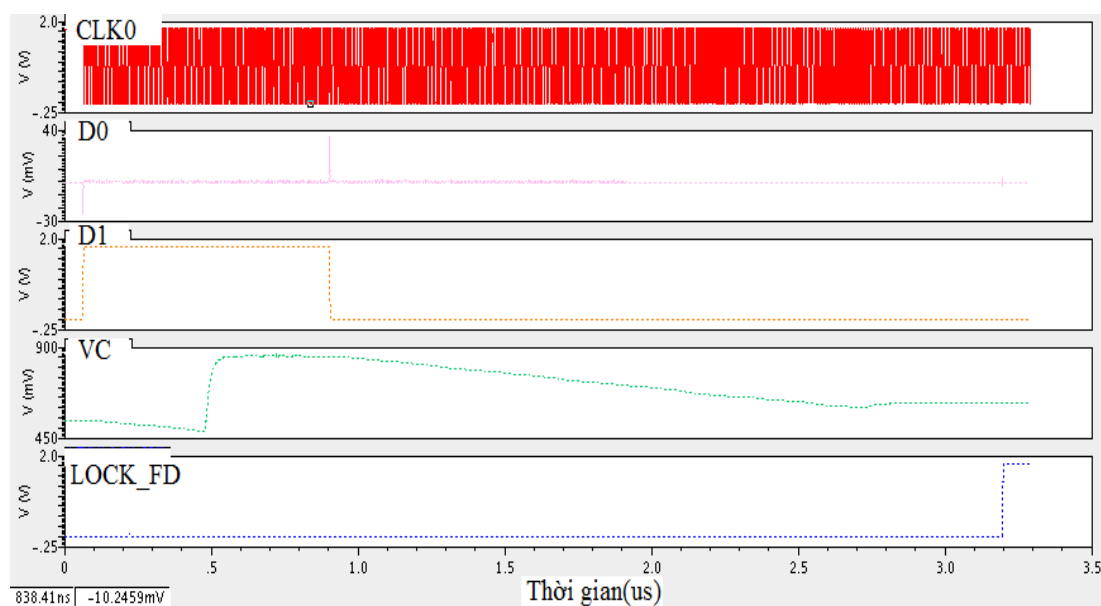
Mạch CDR bán tốc, không sử dụng tần số tham chiếu, dải rộng được thiết kế trên công nghệ CMOS TSMC 180 nm. Các kết quả mô phỏng vi mạch được thực hiện ở bước mô phỏng mạch nguyên lý. Một mạch tạo chuỗi dữ liệu giả ngẫu nhiên (PRBS) được sử dụng để tạo dữ liệu đầu vào cho mô phỏng. Bảng 3.7 tổng kết công suất tiêu thụ của mạch CDR.

Bảng 3.7: Công suất tiêu thụ của CDR tại 3.2 Gb/s

PD		3.7 mW
FD	SL_UP	5.2 mW
	CFD	6.9 mW
	FFD	2.1 mW
	LD	4.9 mW
	LOLD	4.7 mW
VCO	CORE	2.5 mW

Mạch CDR tiêu thụ công suất tổng cộng 40,2 mW tại tốc độ dữ liệu 3,2 Gb/s với điện áp nguồn cấp là 1,8 V. Trong đó mạch PD tiêu thụ 3,7 mW, mạch FD 23,8 mW, mạch VCO 7,1 mW, còn lại là các mạch khác như mạch PRBS, mạch bơm-sạc, mạch quyết định, mạch tạo xung. Hình 3.35 và Hình 3.36 thể

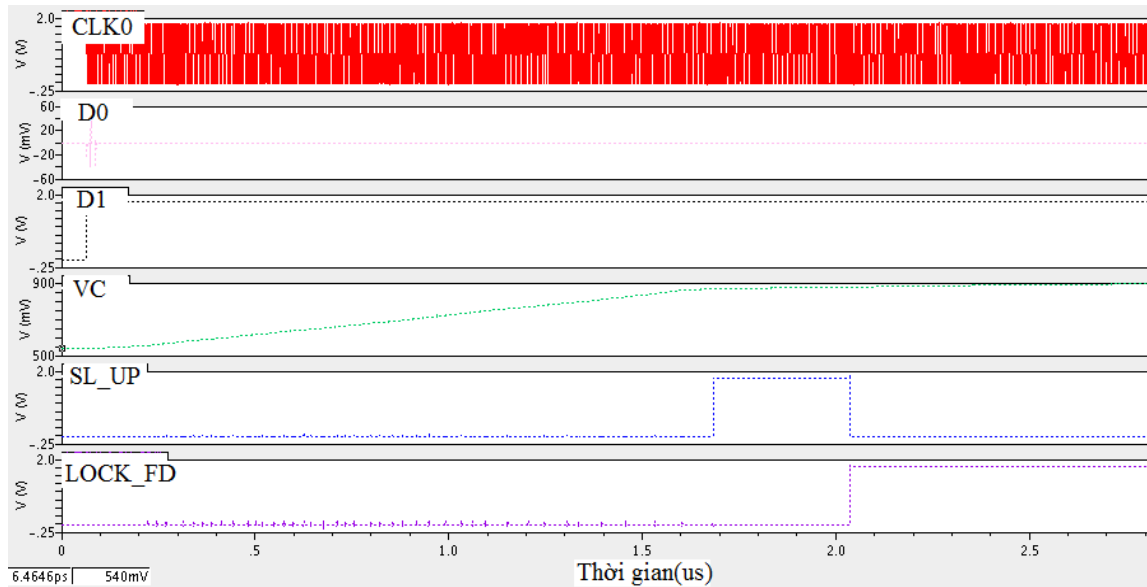
hiện hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào là thấp nhất và cao nhất trong dải làm việc của CDR tương ứng. Kết quả mô phỏng thể hiện rằng, mạch CDR đề xuất làm việc tốt trong cả dải với ba giai đoạn là lựa chọn dải tần số cho VCO, bám tần số và bám pha. Khi tốc độ dữ liệu đầu vào là 300 Mb/s như trên Hình 3.35, mạch FBS làm việc để lựa chọn dải 1 cho VCO, $D_0 = 0$, $D_1 = 0$. Như đã được phân tích trong Mục 3.3.1, mạch lựa chọn xung điều khiển bám tăng tần số không hoạt động khi VCO làm việc trong dải 1. Vì vậy, không có tín hiệu SL_UP trong trường hợp này. Mạch FLL bắt đầu bám tần số từ tần số cực đại của dải 1. Khi đó, điện áp điều khiển (VC) giảm dần để giảm tần số VCO. Mạch đạt được trạng thái khóa tần số sau khoảng thời gian 3,2 μ s.



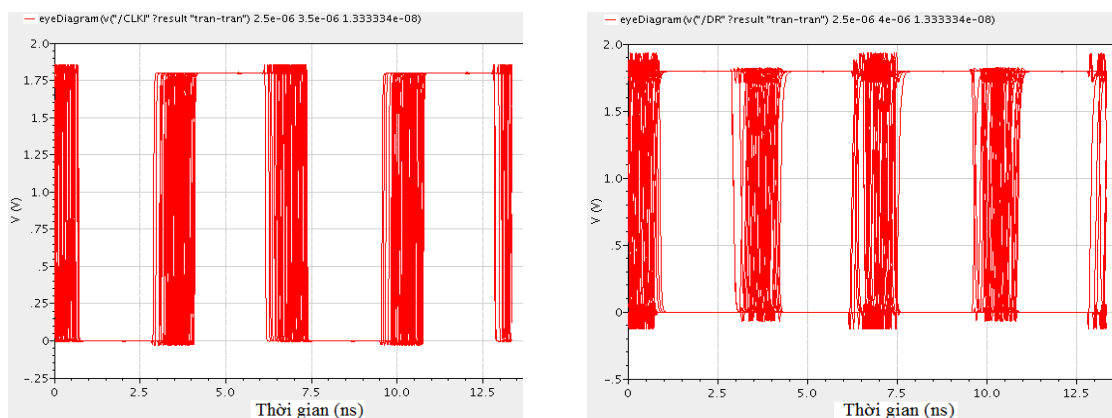
Hình 3.35: Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 300 Mb/s

Trong Hình 3.36, tốc độ dữ liệu đầu vào là 3,2 Gb/s, mạch FBS lựa chọn dải 3 cho VCO với $D_0 = 0$, $D_1 = 1$ và mạch FLL bắt đầu bám tần số từ tần số cực tiểu của dải 3. Trong trường hợp này, mạch lựa chọn xung điều khiển bám tăng tần số làm việc để giảm thời gian bám tần số. Khi lỗi tần số giữa một nửa tốc độ dữ liệu đầu vào và tần số của VCO nhỏ thì mạch lựa chọn xung điều

Khiến bám tăng tần số dừng làm việc, tín hiệu SL_UP được tạo ra sau khoảng thời gian $1,69 \mu s$ và trạng thái khóa tần số đạt được sau khoảng $2,02 \mu s$.



Hình 3.36: Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 3.2 Gb/s



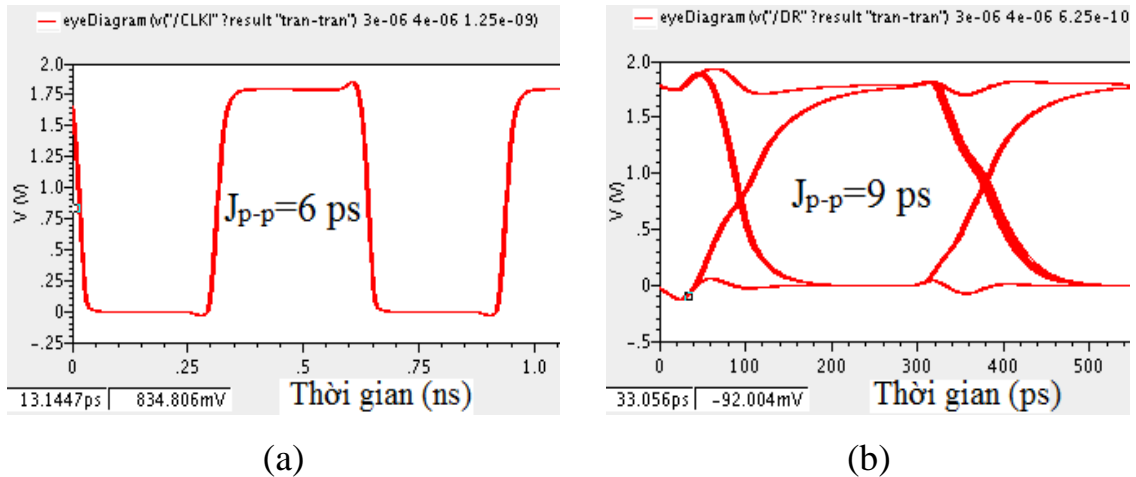
(a)

(b)

Hình 3.37: Chất lượng jitter tại 300 Mb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục

Hình 3.37 và Hình 3.38 thể hiện kết quả mô phỏng dạng sóng khôi phục của xung đồng hồ và dữ liệu tại tốc độ dữ liệu đầu vào 300 Mb/s và 3,2 Gb/s tương ứng. Kết quả mô phỏng thể hiện rằng, mạch CDR đề xuất có jitter xung

đồng hồ khôi phục và dữ liệu khôi phục lần lượt bằng 6 ps và 9 ps tại tốc độ dữ liệu đầu vào 3,2 Gb/s.



Hình 3.38: Chất lượng jitter tại 3.2 Gb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục

Bảng 3.8 tổng kết chất lượng của mạch CDR đề xuất và so sánh chất lượng với các nghiên cứu trước. Mạch CDR đạt được dải tần làm việc rộng, không nhạy với ISI của dữ liệu đầu vào và thời gian đạt được tần số ngắn là 2,02 μ s với khoảng bảm 380 MHz. Thời gian đạt được tần số ngắn là do khi CDR bắt đầu bảm tần số từ tần số cực tiểu của dải 3, mạch lựa chọn xung điều khiển bảm tăng tần số sẽ tạo ra xung UP_F có độ rộng xung rộng hơn để đưa đến mạch bơm-sạc. Với độ rộng xung rộng hơn của UP_F thì điện áp điều khiển VC có tốc độ điều chỉnh tăng nhanh hơn và tần số của VCO bảm theo tốc độ dữ liệu đầu vào nhanh hơn và sai số tần số giảm nhanh hơn. Chất lượng jitter của mạch CDR đề xuất được cải thiện so với [35] vì mạch VCO dải rộng trong nghiên cứu [35] được chia làm 2 dải trong khi mạch VCO dải rộng được đề xuất trong luận án được chia làm 3 dải nên có hệ số khuếch đại nhỏ hơn. Kết quả đạt được của mạch đề xuất có sự trả giá về công suất tiêu thụ khi so sánh với mạch CDR cùng kiến trúc trong [35]. Điều này là bởi trong mạch CDR đề xuất, Nghiên cứu sinh đã thêm mạch lựa chọn xung điều

khuyến bảm tăng tần số để giảm thời gian bảm tần số khi tốc độ dữ liệu đầu vào tăng lên và mạch VCO dải rộng được thiết kế 3 dải thay vì 2 dải.

Bảng 3.8: So sánh chất lượng mạch CDR đề xuất II với các nghiên cứu trước

	[35] (Mô phỏng)	[77]	[78]	CDR đề xuất (Mô phỏng)
Công nghệ (nm)	180 CMOS	65 CMOS	180 CMOS	180 CMOS
Nguồn (V)	1.8	1	1.8	1.8
Tốc độ dữ liệu (Gb/s)	0.2-3	0.75-3	0.43-3.45	0.3-3.2
Kiểu FD	Hai hướng	Hai hướng	Hai hướng	Hai hướng
Bảm tốc độ dữ liệu liên tục	Có	Có	Có	Có
Nhạy với ISI	Không	Không	Có	Không
Thời gian bảm tần số (μ s)	12.9	> 41.6	17.9	2.02
Jitter _{p-p} (ps)	10 @3Gb/s	37.2 @3Gb/s	29.8 @3.45Gb/s	6 @3.2Gb/s
Công suất tiêu thụ (mW)	37.8	15.5	26	40.2

3.4. Kết luận Chương 3

Trong chương này, luận án đã trình bày chi tiết về thiết kế của hai mạch CDR đề xuất. Mạch CDR thứ nhất đề xuất kỹ thuật phát hiện tần số theo hai bước với sự kết hợp của vòng bảm tần số thô và vòng bảm tần số tinh để đảm bảo vòng bảm tần số thô và vòng bảm tần số tinh hoạt động đồng thời. Mạch CDR có khoảng rộng của tốc độ dữ liệu đầu vào, không sử dụng tần số tham chiếu, không nhạy với ISI, đạt được khả năng phát hiện tần số theo hai hướng và tốc độ dữ liệu đầu vào liên tục. Tuy nhiên, hiệu quả của kỹ thuật bảm tần số giảm khi tốc độ dữ liệu đầu vào tăng lên. Vì vậy, một mạch CDR thứ hai được đề xuất. Dựa trên kiến trúc của mạch CDR đầu tiên, một mạch lựa chọn xung

điều khiển bám tăng tần số và một mạch lựa chọn dải tần số cho VCO ba dải được đề xuất để giảm thời gian bám tần số khi tốc độ dữ liệu đầu vào lớn, đồng thời cải thiện chất lượng của jitter xung đồng hồ và dữ liệu khôi phục. Tuy nhiên, tương tự như đối với mạch EQ đề xuất, các kết quả đạt được của mạch CDR đề xuất mới ghi nhận thông qua mô phỏng mạch nguyên lý để kiểm chứng nguyên lý hoạt động của mạch, chưa có điều kiện để đánh giá kết quả mô phỏng mạch sau layout và kết quả đo chip. Điều này có thể sẽ ảnh hưởng tới chất lượng của mạch vì chưa tính tới ảnh hưởng của các thành phần ký sinh như tụ điện, điện trở trong quá trình mô phỏng mạch nguyên lý. Kết quả của chương này đã được công bố trong [J1], [J2], [C1], [C3], [C4].

KẾT LUẬN VÀ KIẾN NGHỊ

Nội dung Luận án đã trình bày về kiến trúc điển hình của một hệ thống thông tin quang và máy thu quang. Trong đó, tập trung vào trình bày về mạch san bằng và mạch khôi phục dữ liệu, xung đồng hồ trong máy thu quang. Ngoài ra, các công trình nghiên cứu trực tiếp liên quan đến nội dung của Luận án cũng được trình bày. Trên cơ sở những nghiên cứu này, Luận án đã đề xuất mạch san bằng thích nghi và mạch CDR tốc độ dữ liệu liên tục trong máy thu quang. Những kết quả chính của luận án và hướng phát triển tiếp theo của Luận án được nghiên cứu sinh trình bày sau đây.

A. Một số kết quả đạt được của luận án

1. Đề xuất một kỹ thuật san bằng thích nghi dựa trên bộ đếm cho dữ liệu đã được lấy mẫu. Sau đó, thiết kế mạch san bằng thích nghi trên công nghệ CMOS 180nm, đánh giá thuật toán và so sánh kết quả thực hiện với các nghiên cứu trước [C2].

2. Phân tích kỹ thuật phát hiện tần số dải rộng, không sử dụng tần số tham chiếu, có khả năng phát hiện tần số theo hai hướng. Từ đó đề xuất một kỹ thuật phát hiện tần số đạt được cả ba tiêu chí quan trọng của mạch CDR là dải rộng, phát hiện tần số hai hướng và tốc độ dữ liệu liên tục [J1, C1]. Mạch CDR dựa trên mạch phát hiện tần số đề xuất cũng được thiết kế, mô phỏng đánh giá. Kết quả nghiên cứu cho thấy mạch có kiến trúc không phức tạp, đạt được thời gian bám tần số ngắn.

3. Đề xuất mạch lựa chọn xung điều khiển bám tăng tần số cho xử lý bám tăng tần số và mạch lựa chọn dải tần số cho mạch VCO dải rộng [J2, C3, C4]. Các kết quả chỉ ra rằng thiết kế đề xuất đạt được hiệu quả cao khi tốc độ dữ liệu đầu vào tăng lên, thời gian bám tần số giảm và chất lượng của jitter xung đồng hồ khôi phục và dữ liệu khôi phục được cải thiện.

Tuy nhiên, luận án vẫn tồn tại một số hạn chế. Thứ nhất, mạch EQ và CDR đề xuất được đánh giá dựa trên kết quả mô phỏng mạch nguyên lý, chưa có kết quả đo chip. Thứ hai, mạch EQ đề xuất sử dụng mạch CTLE mà chưa có sự kết hợp với mạch DFE. Cuối cùng, luận án đề xuất cải tiến riêng từng mạch EQ và CDR trong máy thu quang, chưa có đánh giá chất lượng của máy thu quang hoàn chỉnh.

B. Kiến nghị về hướng phát triển tiếp theo

Với tiềm năng trong lĩnh vực thiết kế chip, đặc biệt là trong lĩnh vực thông tin quang, kế thừa những kết quả nghiên cứu của luận án thì một số nội dung có thể phát triển, nghiên cứu như sau:

1. Nghiên cứu, thiết kế kết hợp mạch san bằng tuyến tính CTLE và mạch san bằng phản hồi quyết định để nâng cao chất lượng của mạch san bằng thích nghi. Thực hiện tích hợp hoàn chỉnh một máy thu quang, sau đó tiến hành chế tạo và đo chip. Đồng thời thực hiện thiết kế chip trên các công nghệ mới hơn như 65nm, 28nm để tăng tần số làm việc của mạch.
2. Ứng dụng kỹ thuật phát hiện tần số đã đề xuất để đề xuất một kiến trúc mạch CDR vòng đơn có khoảng tám tần số rộng.
3. Đề xuất các kỹ thuật phát hiện tần số dải rộng, phát hiện tần số hai hướng, tốc độ dữ liệu liên tục, giảm thời gian đạt được tần số. Cải tiến mạch phát hiện pha để nâng cao chất lượng của dữ liệu khôi phục.

DANH MỤC CÔNG TRÌNH CỦA TÁC GIẢ

[J1] Nguyễn Hữu Thọ, **Phạm Mạnh Hà**, Lê Thị Luận, Lê Thị Trang, Nguyễn Thế Quang, “Thiết kế mạch khôi phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu, tốc độ dữ liệu liên tục sử dụng công nghệ CMOS 180 nm”, Tạp chí nghiên cứu KH&CN quân sự, vol. 10, no. 63, pp. 46-58, 10 – 2019.

[J2] **Ha Manh Pham**, Quang Thế Nguyễn, Thọ Hữu Nguyễn, “Mạch khôi phục dữ liệu và xung đồng hồ dải rộng với mạch lựa chọn xung UP”, Journal of Science and Technology on Information and Communications, Vol 2 Aug 2021.

[C1] **P.M. Ha**, N.H. Tho, H.H. Hanh, and N.T. Quang, “A Wide-band Reference-less Bidirectional Continuous-Rate Frequency Detector”, in *Signal Processing, Telecommunication & Computing (SigTelCom)*, International Conference on. IEEE, March, 2019.

[C2] **P.M. Ha**, N.H. Tho, and N.T. Quang, “An Adaptive Continuous-Time Linear Equalizer Using Sampled Data Edge Counting”, *The International Symposim on Communications and Information Technologies (ISCIT)*, International Conference on. IEEE, Sep. 2019.

[C3] **Phạm Mạnh Hà**, Nguyễn Hữu Thọ, Lê Thị Luận và Nguyễn Thế Quang, “Thiết kế bộ lựa chọn dải tần số cho VCO dải rộng”, REV-ECIT 2019.

[C4] **P.M. Ha**, N.H. Tho, N. Thanh and N.T. Quang, “An Improved Wide-Band Referenceless CDR with UP Pulse Selector for Frequency Acquisition”, *International Conference on Advanced Technologies for Communications (ATC)*, 2020.

TÀI LIỆU THAM KHẢO

1. Hanumolu, Pavan Kumar, Wei, Gu-Yeon, and Moon, Un-Ku (2005), "Equalizers for high-speed serial links", *International journal of high speed electronics and systems*. 15(02), pp. 429-458.
2. Lee, Jri (2006), "A 20-Gb/s Adaptive Equalizer in 0.13 μm CMOS Technology", *IEEE Journal of Solid-State Circuits*. 41(9), pp. 2058-2066.
3. Cheng, Kuo-Hsing, et al. (2010), "A 5-Gb/s inductorless CMOS adaptive equalizer for PCI express generation II applications", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 57(5), pp. 324-328.
4. Lee, Dongmyung, et al. (2010), "An 8.5-Gb/s fully integrated CMOS optoelectronic receiver using slope-detection adaptive equalizer", *IEEE Journal of Solid-State Circuits*. 45(12), pp. 2861-2873.
5. Liu, Haiqi, et al. (2013), "A 5-Gb/s serial-link redriver with adaptive equalizer and transmitter swing enhancement", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 61(4), pp. 1001-1011.
6. Nakhkoob, Behrooz and Hella, Mona Mostafa (2016), "A 4.7-Gb/s Reconfigurable CMOS Imaging Optical Receiver Utilizing Adaptive Spectrum Balancing Equalizer", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 64(1), pp. 182-194.
7. Son, Seuk, et al. (2013), "A 2.3-mW, 5-Gb/s low-power decision-feedback equalizer receiver front-end and its two-step, minimum bit-error-rate adaptation algorithm", *IEEE Journal of Solid-State Circuits*. 48(11), pp. 2693-2704.
8. Won, Hyosup, et al. (2016), "A 28-Gb/s receiver with self-contained adaptive equalization and sampling point control using stochastic sigma-tracking eye-opening monitor", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 64(3), pp. 664-674.
9. Kim, Wang Soo, Seong, Chang Kyung, and Choi, Woo Young (2011), "A 5.4 Gb/s adaptive equalizer using asynchronous-sampling histograms", *2011 IEEE International Solid-State Circuits Conference, ISSCC 2011*, pp. 358-359.
10. Lin, Yuan-Fu, et al. (2014), "A 5–20 Gb/s power scalable adaptive linear equalizer using edge counting", *2014 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, IEEE, pp. 273-276.
11. Lee, Jang-Woo, et al. (2012), "Measurement of intersymbol interference jitter by fractional oversampling for adaptive equalization", *IEEE*

- Transactions on Circuits and Systems II: Express Briefs*. 59(11), pp. 716-720.
12. Ray, Sagar and Hella, Mona M (2015), A 0.622–10Gb/s inductorless adaptive linear equalizer with spectral tracking for data rate adaptation in 0.13- μ m CMOS, *2015 IEEE Custom Integrated Circuits Conference (CICC)*, IEEE, pp. 1-4.
 13. Kim, Yong-Hun, et al. (2015), "A 21-Gbit/s 1.63-pJ/bit adaptive CTLE and one-tap DFE with single loop spectrum balancing method", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 24(2), pp. 789-793.
 14. Pan, Quan, et al. (2016), "An 18-Gb/s fully integrated optical receiver with adaptive cascaded equalizer", *IEEE Journal of Selected Topics in Quantum Electronics*. 22(6), pp. 361-369.
 15. Analui, Behnam, et al. (2005), "A 10-Gb/s two-dimensional eye-opening monitor in 0.13- μ m standard CMOS", *IEEE Journal of Solid-State Circuits*. 40(12), pp. 2689-2699.
 16. Noguchi, Hidemi, et al. (2008), "A 40-Gb/s CDR circuit with adaptive decision-point control based on eye-opening monitor feedback", *IEEE Journal of Solid-State Circuits*. 43(12), pp. 2929-2938.
 17. Seong, Chang-Kyung, Rhim, Jinsoo, and Choi, Woo-Young (2012), "A 10-Gb/s adaptive look-ahead decision feedback equalizer with an eye-opening monitor", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 59(4), pp. 209-213.
 18. Choi, Yoonjae, et al. (2021), "A 0.99-pJ/b 15-Gb/s Counter-Based Adaptive Equalizer Using Single Comparator in 28-nm CMOS", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 68(10), pp. 3189 - 3193.
 19. Razavi, Behzad (2012), *Design of integrated circuits for optical communications*, John Wiley & Sons.
 20. Dalton, Declan, et al. (2005), "A 12.5-Mb/s to 2.7-Gb/s continuous-rate CDR with automatic frequency acquisition and data-rate readback", *IEEE Journal of Solid-State Circuits*. 40(12), pp. 2713-2725.
 21. Lee, Seon-Kyoo, et al. (2009), A 650Mb/s-to-8Gb/s referenceless CDR circuit with automatic acquisition of data rate, *2009 IEEE International Solid-State Circuits Conference-Digest of Technical Papers*, IEEE, pp. 184-185,185 a.
 22. Shu, Guanghua, et al. (2015), "A 4-to-10.5 Gb/s continuous-rate digital clock and data recovery with automatic frequency acquisition", *IEEE Journal of Solid-State Circuits*. 51(2), pp. 428-439.

23. Byun, Sangjin (2016), "A 400 Mb/s~ 2.5 Gb/s Referenceless CDR IC Using Intrinsic Frequency Detection Capability of Half-Rate Linear Phase Detector", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 63(10), pp. 1592-1604.
24. Jin, Jahoon, et al. (2018), A 4.0-10.0-Gb/s Referenceless CDR with Wide-Range, Jitter-Tolerant, and Harmonic-Lock-Free Frequency Acquisition Technique, *ESSCIRC 2018-IEEE 44th European Solid State Circuits Conference (ESSCIRC)*, IEEE, pp. 146-149.
25. Hwang, Moon-Sang, et al. (2007), A 180-Mb/s to 3.2-Gb/s, continuous-rate, fast-locking CDR without using external reference clock, *2007 IEEE Asian Solid-State Circuits Conference*, IEEE, pp. 144-147.
26. Kocaman, Namik, et al. (2013), "An 8.5–11.5-Gbps SONET transceiver with referenceless frequency acquisition", *IEEE Journal of Solid-State Circuits*. 48(8), pp. 1875-1884.
27. Yang, Rong-Jyi, Chen, Shang-Ping, and Liu, Shen-Iuan (2004), "A 3.125-Gb/s clock and data recovery circuit for the 10-Gbase-LX4 Ethernet", *IEEE Journal of Solid-State Circuits*. 39(8), pp. 1356-1360.
28. Shivnaraine, Ravi, et al. (2014), "An 8–11 Gb/s reference-less bang-bang CDR enabled by "Phase reset"", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 61(7), pp. 2129-2138.
29. Jalali, Mohammad Sadegh, et al. (2015), "A reference-less single-loop half-rate binary CDR", *IEEE Journal of Solid-State Circuits*. 50(9), pp. 2037-2047.
30. Song, Junyoung, et al. (2012), "A 1.62 Gb/s–2.7 Gb/s referenceless transceiver for DisplayPort v1. 1a with weighted phase and frequency detection", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 60(2), pp. 268-278.
31. Park, Kwansoo, et al. (2018), "A 6.7–11.2 Gb/s, 2.25 pJ/bit, Single-Loop Referenceless CDR With Multi-Phase, Oversampling PFD in 65-nm CMOS", *IEEE Journal of Solid-State Circuits*. 53(10), pp. 2982-2993.
32. Yu, Changzhi, et al. (2020), "A 6.5–12.5-Gb/s half-rate single-loop all-digital referenceless CDR in 28-nm CMOS", *IEEE Journal of Solid-State Circuits*. 55(10), pp. 2831-2841.
33. Kim, Hye-Ran, et al. (2020), "A 6.4–11 Gb/s wide-range referenceless single-loop CDR with adaptive JTOL", *IEEE Solid-State Circuits Letters*. 3, pp. 470-473.
34. Hsieh, Chang-Lin and Liu, Shen-Iuan (2011), "A 1–16-Gb/s wide-range clock/data recovery circuit with a bidirectional frequency detector", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 58(8), pp. 487-491.

35. Tho, Nguyen Huu, Son, Kyung-Sub, and Kang, Jin-Ku (2017), "A 200Mb/s~ 3.2 Gb/s Referenceless Clock and Data Recovery Circuit With Bidirectional Frequency Detector", *IEICE Electronics Express*, p. 14.20161279.
36. Inti, Rajesh, et al. (2011), "A 0.5-to-2.5 Gb/s reference-less half-rate digital CDR with unlimited frequency acquisition range and improved input duty-cycle error tolerance", *IEEE Journal of Solid-State Circuits*. 46(12), pp. 3150-3162.
37. Choi, Seungnam, et al. (2016), "A 0.65-to-10.5 Gb/s reference-less CDR with asynchronous baud-rate sampling for frequency acquisition and adaptive equalization", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 63(2), pp. 276-287.
38. Park, Kwansoo, et al. (2017), "A 55.1 mW 1.62-to-8.1 Gb/s video interface receiver generating up to 680 MHz stream clock over 20 dB loss channel", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 64(12), pp. 1432-1436.
39. Song, Junyoung, Hwang, Sewook, and Kim, Chulwoo (2016), "A 4×5 - Gb/s 1.12- μ s Locking Time Reference-Less Receiver With Asynchronous Sampling-Based Frequency Acquisition and Clock Shared Subchannels", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 24(8), pp. 2768-2777.
40. Aznar, Francisco, Pueyo, Santiago Celma, and Lopez, Belén Calvo (2012), *CMOS receiver front-ends for gigabit short-range optical communications*, Springer Science & Business Media.
41. Shahramian, Shayan, et al. (2011), A pattern-guided adaptive equalizer in 65nm CMOS, *2011 IEEE International Solid-State Circuits Conference*, IEEE, pp. 354-356.
42. Lee, Thomas H (2003), *The design of CMOS radio-frequency integrated circuits*, Cambridge university press.
43. Razavi, B. (1996), "Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design", *IEEE Press*.
44. Lee, Jri, et al. (2015), "Design of 56 Gb/s NRZ and PAM4 SerDes transceivers in CMOS technologies", *IEEE Journal of Solid-State Circuits*. 50(9), pp. 2061-2073.
45. Hogge, Charles (1985), "A self correcting clock recovery circuit", *Journal of Lightwave Technology*. 3(6), pp. 1312-1314.
46. Lee, Thomas H and Bulzacchelli, John F (1992), "A 155-MHz clock recovery delay-and phase-locked loop", *IEEE Journal of Solid-State Circuits*. 27(12), pp. 1736-1746.

47. Alexander, JDH (1975), "Clock recovery from random binary signals", *Electronics letters*. 11(22), pp. 541-542.
48. Ramezani, Mehrdad, Andre, C, and Salama, T (2002), "Analysis of a half-rate bang-bang phase-locked-loop", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 49(7), pp. 505-509.
49. Savoj, Jafar and Razavi, Behzad (2001), "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector", *IEEE Journal of Solid-State Circuits*. 36(5), pp. 761-768.
50. Razavi, Behzad (2009), "Design of millimeter-wave CMOS radios: A tutorial", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 56(1), pp. 4-16.
51. Razavi, B. (2011), *RF Microelectronics*, Prentice Hall, New York.
52. Razavi, Behzad (2002), "Challenges in the design high-speed clock and data recovery circuits", *IEEE Communications magazine*. 40(8), pp. 94-101.
53. Pottbacker, Ansgar, Langmann, Ulrich, and Schreiber, H-U (1992), "A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s", *IEEE Journal of Solid-State Circuits*. 27(12), pp. 1747-1751.
54. Scheytt, J Christoph, Hanke, Gerhard, and Langmann, Ulrich (1999), "A 0.155-, 0.622-, and 2.488-Gb/s automatic bit-rate selecting clock and data recovery IC for bit-rate transparent SDH systems", *1999 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. 34(12), pp. 1935-1943.
55. Sonntag, Jeff L and Stonick, John (2006), "A digital clock and data recovery architecture for multi-gigabit/s binary links", *IEEE Journal of Solid-State Circuits*. 41(8), pp. 1867-1875.
56. Perrott, Michael H, et al. (2006), "A 2.5-Gb/s Multi-Rate 0.25- μ m CMOS Clock and Data Recovery Circuit Utilizing a Hybrid Analog/Digital Loop Filter and All-Digital Referenceless Frequency Acquisition", *IEEE Journal of Solid-State Circuits*. 41(12), pp. 2930-2944.
57. Maillard, Xavier, Devisch, Frederic, and Kuijk, Maarten (2002), "A 900-Mb/s CMOS data recovery DLL using half-frequency clock", *IEEE Journal of Solid-State Circuits*. 37(6), pp. 711-715.
58. Chang, Hsiang-Hui, Yang, Rong-Jyi, and Liu, Shen-Iuan (2004), "Low jitter and multirate clock and data recovery circuit using a MSADLL for chip-to-chip interconnection", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 51(12), pp. 2356-2364.

59. Kreienkamp, Rainer, et al. (2005), "A 10-Gb/s CMOS clock and data recovery circuit with an analog phase interpolator", *IEEE Journal of Solid-State Circuits*. 40(3), pp. 736-743.
60. Kwak, Kang-Sub and Kwon, Oh-Kyong (2014), "Power-reduction technique using a single edge-tracking clock for multiphase clock and data recovery circuits", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 61(4), pp. 239-243.
61. Kim, Jaeha and Jeong, Deog-Kyoon (2003), "Multi-gigabit-rate clock and data recovery based on blind oversampling", *IEEE Communications magazine*. 41(12), pp. 68-74.
62. Ahmed, SI and Kwasniewski, Tad A (2005), Overview of oversampling clock and data recovery circuits, *Canadian Conference on Electrical and Computer Engineering, 2005.*, IEEE, pp. 1876-1881.
63. Ng, Hiok-Tiaq, et al. (2003), "A second-order semidigital clock recovery circuit based on injection locking", *IEEE Journal of Solid-State Circuits*. 38(12), pp. 2101-2110.
64. Farjad-Rad, Ramin, et al. (2004), "A 33-mW 8-Gb/s CMOS clock multiplier and CDR for highly integrated I/Os", *IEEE Journal of Solid-State Circuits*. 39(9), pp. 1553-1561.
65. Nogawa, Masafumi, et al. (2005), A 10 Gb/s burst-mode CDR IC in 0.13/ μm CMOS, *ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005.*, IEEE, pp. 228-595.
66. Tajalli, Armin, Muller, Paul, and Leblebici, Yusuf (2007), "A Power-Efficient Clock and Data Recovery Circuit in 0.18 μm CMOS Technology for Multi-Channel Short-Haul Optical Data Communication", *IEEE Journal of Solid-State Circuits*. 42(10), pp. 2235-2244.
67. Ishii, Kiyoshi, Kishine, Keiji, and Ichino, Haruhiko (2002), "A jitter suppression technique for a 2.48832-Gb/s clock and data recovery circuit", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 49(4), pp. 266-272.
68. Choi, Jong-Sang, Hwang, Moon-Sang, and Jeong, Deog-Kyoon (2004), "A 0.18- μm CMOS 3.5-Gb/s continuous-time adaptive cable equalizer using enhanced low-frequency gain control method", *IEEE Journal of Solid-State Circuits*. 39(3), pp. 419-425.
69. Hidaka, Yasuo, et al. (2007), A 4-channel 3.1/10.3 Gb/s transceiver macro with a pattern-tolerant adaptive equalizer, *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, IEEE, pp. 442-443.

70. Joo, Hye-Yoon and Kim, Lee-Sup (2010), "A data-pattern-tolerant adaptive equalizer using the spectrum balancing method", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 57(3), pp. 228-232.
71. Martin, Antonio J Lopez (2002), "Cadence design environment", *New Mexico State University, Tutorial paper*, p. 35.
72. Lee, Yen-Long, et al. (2016), "An unbounded frequency detection mechanism for continuous-rate CDR circuits", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 64(5), pp. 500-504.
73. Yang, Rong-Jyi, et al. (2006), "A 155.52 Mbps-3.125 Gbps continuous-rate clock and data recovery circuit", *IEEE Journal of Solid-State Circuits*. 41(6), pp. 1380-1390.
74. Baker, R Jacob (2019), *CMOS: circuit design, layout, and simulation*, John Wiley & Sons.
75. Yang, Rong-Jyi, Chao, Kuan-Hua, and Liu, Shen-Iuan (2006), "A 200-Mbps/spl sim/2-Gbps continuous-rate clock-and-data-recovery circuit", *IEEE Transactions on Circuits and Systems I: Regular Papers*. 53(4), pp. 842-847.
76. Salem, Sanaz, Tajabadi, Mehrnaz, and Saneei, Mohsen (2017), "The design and analysis of dual control voltages delay cell for low power and wide tuning range ring oscillators in 65 nm CMOS technology for CDR applications", *AEU-International Journal of Electronics and Communications*. 82, pp. 406-412.
77. Jin, Jahoon, et al. (2018), "A 0.75–3.0-Gb/s dual-mode temperature-tolerant referenceless CDR with a deadzone-compensated frequency detector", *IEEE Journal of Solid-State Circuits* 53(10), pp. 2994-3003.
78. Son, Kyung-Sub, et al. (2020), "A 0.42–3.45 Gb/s Referenceless Clock and Data Recovery Circuit With Counter-Based Unrestricted Frequency Acquisition", *IEEE Transactions on Circuits and Systems II: Express Briefs*. 67(6), pp. 974-978.