BỘ QUỐC PHÒNG Học viện kỹ thuật quân sự

TẠ VĂN THÀNH

NGHIÊN CỨU PHƯƠNG PHÁP HIỆU CHỈNH CÁC SAI LỆCH KÊNH TRONG ADC GHÉP XEN THỜI GIAN

Chuyên nghành: Kỹ THUẬT ĐIỆN TỦ Mã số: 9 52 02 03

TÓM TẮT LUẬN ÁN TIẾN SĨ KỸ THUẬT

Hà Nội - 2021

CÔNG TRÌNH ĐƯỢC HOÀN THÀNH TẠI HỌC VIỆN KỸ THUẬT QUÂN SỰ - BỘ QUỐC PHÒNG

Người hướng dẫn khoa học: PGS. TS Hoàng Văn Phúc

Phản biện 1: PGS. TS Bạch Nhật Hồng

Phản biện 2: PGS. TS Trần Đức Tân

Phản biện 3: TS Hoàng Văn Xiêm

Luận án sẽ được bảo vệ trước Hội đồng đánh giá luận án cấp Học viện theo Quyết định số 3516 ngày 06 tháng 9 năm 2021 của Giám đốc Học viện Kỹ thuật Quân sự, họp tại Học viện Kỹ thuật Quân sự vào hồi ... giờ ... ngày tháng ... năm 2021

Có thể tìm hiểu luận án tại:

- Thư viện Quốc gia Việt Nam
- Thư viện Học viện Kỹ thuật Quân sự.

DANH MỤC CÁC CÔNG TRÌNH SỬ DỤNG TRONG LUẬN ÁN

- J1. V.-T. Ta, V.-P. Hoang, V.-P. Pham, and C.-K. Pham, "An improved alldigital background calibration technique for channel mismatches in high speed time-interleaved analog-to-digital converters," *Electronics*, vol. 9, no. 1, p. 73, 2020. (SCIE - Q1). DOI: https://doi.org/10.3390/electronics9010073
- J2. T. Van-Thanh, H. Van-Phuc, T. Xuan Nam, "All-digital background calibration technique for offset, gain and timing mismatches in time-interleaved ADCs," EAI Endorsed Transactions on Industrial Networks and Intelligent Systems, vol. 6, no. 21, 2019.
- J3. T. Van-Thanh, H. Van-Phuc, "Combined Power Ratio Calculation, Hadamard Transform and LMS-Based Calibration of Channel Mismatches in Time-Interleaved ADC," VNU of Science: Computer Science and Communication Engineering, vol. 32, no. 2, 2020.
- C1. Van-Thanh Ta, Y. H. Thi, H. Le Duc and V.-P. Hoang, "Fully Digital Background Calibration Technique for Channel Mismatches in TIADCs," Proceeding of the 2018 5th NAFOSTED Conference on Information and Computer Science (NICS), 2018, pp. 270-275. DOI: 10.1109/NICS.2018.8606871
- C2. Van-Thanh Ta, Van-Phuc Hoang, "Sequential All-Digital Background Calibration for Channel Mismatches in Time-Interleaved ADC," Intelligent Computing in Engineering, Springer, 2020, pp. 1081-1089.

KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN CỦA LUẬN ÁN

Một số kết quả đạt được của luận án

- 1. Nghiên cứu, đề xuất và thực hiện thành công phương pháp hiệu chỉnh lần lượt cho cả ba sai lệch kênh trong TIADC bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Phương pháp đề xuất đã được kiểm chứng thông qua mô phỏng trên phần mềm MATLAB và thực thi thử nghiệm trên công nghệ FPGA. Đóng góp này được công bố trong các công trình khoa học: 03 bài báo đăng trên tạp chí, hội nghị khoa học uy tín (trong đó có một bài đăng trên tạp chí quốc tế và một bài báo đăng trên tạp chí khoa học trong nước và một bài báo đăng trên ghị quốc tế).
- 2. Nghiên cứu, đề xuất và thực hiện thành công phương pháp hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều trong TIADC. Theo đó, sai lệch một chiều được hiệu chỉnh trước bằng kỹ thuật tính trung bình các mẫu tại đầu ra của mỗi ADC thành phần. Sau đó, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách kết hợp sử dụng ma trận Hadamard và bộ lọc vi phân thông dải. Phương pháp đề xuất này được kiểm chứng thông qua quả mô phỏng trên phần mềm MATLAB và thực thi thử nghiệm trên công nghệ FPGA. Đóng góp này được công bố trong các công trình khoa học: một bài đăng trên tạp chí quốc tế thuộc danh mục SCIE và một bài báo đăng trong kỷ yếu hội nghị khoa học quốc gia có uy tín.

Hướng phát triển của luận án

- 1. Nghiên cứu, đề xuất phương pháp hiệu quả hơn nữa để hiệu chỉnh cho các sai lệch kênh trong TIADC, sử dụng các thuật toán thích nghi khác, chẳng hạn như FxLMS, RLS, ... để ước lượng các sai lệch kênh trong TIADC.
- 2. Nghiên cứu, đề xuất phương pháp hiệu chỉnh cho sai lệch băng thông trong TIADC.
- 3. Nghiên cứu, đề xuất phương pháp hiệu chỉnh cho tất cả các sai lệch kênh trong TIADC. Các sai lệch này bao gồm sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông.

MỞ ĐẦU

1. Động lực nghiên cứu:

Ngày nay, hệ thống thông tin liên lạc vô tuyến ngày càng phát triển và đã đạt được nhiều thành tựu. Cùng với đó là sự ra đời của các chuẩn truyền thông mới. Trong đó, máy thu lấy mẫu trực tiếp đang được nghiên cứu, phát triển và được ứng dụng nhiều. Trong các máy thu này, người ta mong muốn đưa quá trình xử lý tín hiệu số lại gần ăng-ten hơn nhằm mục đích loại bỏ một số thành phần tương tự như bộ lọc, bộ trộn, bộ khuếch đại. Điều này cho phép các máy thu có thể lập trình được và có thể điều chỉnh thiết kế. Do đó, các máy thu này sẽ linh hoạt hơn và có khả năng tái cấu hình cao hơn.

Để thực hiện được mục đích trên thì các bộ chuyển đổi tương tự - số (ADC: Analog-to-Digital Converter) đóng vai trò rất quan trọng. Các ADC này phải đảm bảo làm việc ở tốc độ cao, độ phân giải cao và công suất tiêu thụ thấp. Để đáp ứng được yêu cầu này thì các bộ ADC ghép xen thời gian (TIADC: Time-Interleaved ADC) là một giải pháp có nhiều triển vọng. Các bộ TIADC sử dụng M ADC đơn có độ phân giải cao, tốc độ thấp hoạt động song song, lấy mẫu tín hiệu vào xen kẽ về mặt thời gian. Tín hiệu số từ các kênh ADC được ghép lại với nhau để tạo thành chuỗi dữ liệu số đầu ra của TIADC. Do đó, về lý tưởng, các bộ TIADC giúp tăng tốc độ lấy mẫu lên M lần (với M là số kênh ghép xen thời gian) so sới tốc độ lấy mẫu của các ADC đơn. Ngoài ra, TIADC giúp giảm công suất tiêu thụ so với khi sử dụng ADC đơn lấy mẫu ở tốc độ cao.

Tuy nhiên, trong các bộ TIADC thực tế xảy ra các sai lệch giữa các kênh bao gồm sai lệch một chiều (offset mismatch), sai lệch khuếch đại (gain mismatch), sai lệch định thời (timing skew hoặc timing mismatch) và sai lệch băng thông (bandwidth mismatch). Các sai lệch kênh này tạo ra các thành phần hài không mong muốn trong phổ tần đầu ra và làm suy giảm nghiêm trọng hiệu năng của các bộ TIADC [1-4].

Với những lý do trên, yêu cầu đặt ra là phải hiệu chỉnh các sai lệch kênh của các bộ TIADC trong các máy thu lấy mẫu trực tiếp. Yêu cầu này đang được nhiều học giả trong và ngoài nước quan tâm nghiên cứu. Do đó, đề tài "*Nghiên cứu phương pháp hiệu chỉnh các sai lệch kênh trong ADC ghép xen thời gian*" mang tính cấp thiết, có ý nghĩa khoa học cao và phù hợp với xu thế thời đại.

Đề tài tập trung đề xuất các phương pháp hiệu chỉnh sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trong TIADC. Những kết quả đạt được của luận án sẽ góp phần xây dựng cơ sở lý thuyết vững chắc về hiệu chỉnh sai lệch kênh trong TIADC, góp phần đưa các phương pháp này ứng dụng trong các sản phẩm thực tế.

2. Các đóng góp của luận án:

- 1. Đề xuất phương pháp hiệu chỉnh lần lượt các sai lệch kênh trong TIADC bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời.
- 2. Đề xuất phương pháp hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều trong TIADC.

Các đề xuất trên đã được kiểm nghiệm bằng mô phỏng trên phần mềm MATLAB và kiểm chứng thông qua thực thi trên phần cứng FPGA.

3. Bố cục luận án:

Luận án được tổ chức như sau: mở đầu; 3 chương nội dung; kết luận và hướng nghiên cứu tiếp theo; danh mục các công trình công bố và tài liệu tham khảo.

sai lệch định thời được ước lượng bằng thuật toán LMS. Kết quả hiệu chỉnh của phương pháp đề xuất đã được so sánh với các công trình công bố gần đây và cho kết quả tốt. Phương pháp đề xuất thứ hai chỉ thực hiện hiệu chỉnh sai lệch một chiều trước bằng kỹ thuật tính trung bình các mẫu tại đầu ra của mỗi ADC con. Tuy nhiên, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách kết hợp sử dụng ma trận Hadamard và bộ lọc vi phân thông dải để sửa lỗi các sai lệch này. Các sai lệch này được ước lượng bằng các sử dụng thuật toán LMS. Kết quả cho thấy phương pháp đề xuất đã loại bỏ hoàn toàn các hài do các sai lệch kênh gây ra. Các kết quả trong hai phương pháp đề xuất đã được kiểm chứng thông qua kết quả mô phỏng trên phần mềm MATLAB và thực nghiệm trên phần cứng FPGA.



Hình 3.9: Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh đối với tín hiệu vào hình sin đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh. Bảng 3.3: Tiêu hao tài nguyên phần cứng FPGA của kỹ thuật đề xuất.

Tài nguyên	XC7Z020 CLG484-1 SoC
LUT	10.600/53.200~(19,92%)
LUT RAM	$66/17.400 \ (0,38\%)$
Flip-Flop (FFs)	7281/106.400~(6,84%)
DSP slices	30/220~(13,64%)
Fmax	$102,7 \mathrm{~MHz}$

Bảng 3.4: Bảng so sánh kỹ thuật đề xuất với các công trình đã công bố

Tham số so sánh	TCAS-I 2013	TCAS-I 2018	CSSP 2017	Kỹ thuật
	[10]	[80]	[38]	đề xuất
Loại sai lệch kênh	G, T^*	O, G, T^*	O, G, T^*	O, G, T^*
Hiệu chỉnh mù	Có	Có	Có	Có
Hiệu chỉnh nền	Có	Có	Có	Có
Số kênh ghép xen	8	4	8	4
Tần số lấy mẫu (f_s)	_	32 GS/s	$3,072~\mathrm{GS/s}$	$2,7 \ \mathrm{GS/s}$
Tần số đầu vào	$0,\!45f_s$	$0,\!18f_s$	$0, 1f_s$	$0,\!45 f_s$
Số bit	10	9	12	11
Thời gian hội tụ (mẫu)	60K	$40 \mathrm{K}$	11K	10K
Cải thiện SNDR (dB)	25	$36,\!55$	21	43,7
Cải thiện SFDR (dB)	_	43,72	—	74

*O: Sai lệch một chiều, G: Sai lệch khuếch đại, T: Sai lệch định thời

xuất thứ nhất thực hiện hiệu chỉnh lần lượt các sai lệch kênh. Phương pháp này thực hiện hiệu chỉnh lần lượt các sai lệch kênh từ sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời như đã trình bày ở Chương 2. Trong đó,

Chương 1

Tổng quan về bộ biến đổi tương tự - số ghép xen thời gian

1.1 Tổng quan về bộ biến đổi tương tự - số ghép xen thời gian

Trước sự phát triển nhanh chóng của các hệ thống thông tin vô tuyến và các chuẩn truyền thông mới đòi hỏi các bộ chuyển đổi tương tự - số (ADC) phải có tốc độ lấy mẫu cao, độ phân giải cao và công suất tiêu thụ thấp. Để đáp ứng các yêu cầu đó thì ADC ghép xen thời gian (TIADC) là một giải pháp triển vọng. Nguyên lý hoạt động của TIADC được minh họa trong Hình 1.1. Trong đó, TIADC sử dụng M ADC đơn có tốc độ lấy mẫu thấp, độ phân giải cao để lấy mẫu tín hiệu tương tự x(t) xen kẽ về mặt thời gian tại tần số lấy mẫu f_s/M (với f_s và M lần lượt là tần số lấy mẫu và số kênh của TIADC). Tín hiệu số từ các kênh ADC đơn này được ghép lại với nhau để tạo thành đầu ra số y[n] của TIADC có tần số lấy mẫu là f_s . Vì vậy, về lý tưởng, TIADC giúp tăng tốc độ lấy mẫu lên M lần và vẫn giữ được độ phân giải cao của các ADC thành phần. Các nghiên cứu cũng chỉ ra rằng, khi tăng tần số lấy mẫu, TIADC giữ công suất tiêu thụ chỉ tăng tuyến tính mà không tăng theo hàm mũ như khi sử dụng ADC đơn [3,23,24].



Hình 1.1: Mô hình (a) và giản đồ thời gian (b) của TIADC M kênh.

1.2 Các sai lệch kênh trong TIADC

TIADC đang là giải pháp hứa hẹn cho các máy thu lấy mẫu trực tiếp RF. Tuy nhiên, trong thực tế, do sai lệch trong quá trình xử lý, điện áp, nhiệt độ,... dẫn đến sự khác nhau trong các thành phần độ lệch một chiều, độ khuếch đại, thời gian lấy mẫu và băng thông giữa các kênh với nhau. Sự khác nhau của các thành phần này giữa các kênh lần lượt được gọi là sai lệch một chiều o_i , sai lệch khuếch đại g_i , sai lệch định thời t_i và sai lệch băng thông $h_{\tau_i}(t)$. Các sai lệch kênh này tạo ra các hài không mong muốn trong phổ tần đầu ra và làm suy giảm nghiêm trọng hiệu năng của TIADC [1-4,37-42]. Mô hình TIADC Mkênh bao gồm các lỗi sai lệch kênh được minh họa trong Hình 1.2. Đầu ra của TIADC khi có tất cả các sai lệch kênh được biểu diễn trên miền thời gian và miền tần số như sau [3,20,27]:

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} \underbrace{(g_i x((kM+i)T_s + t_i) * h_{\tau_i}(t) + o_i)}_{\hat{x}_i} \underbrace{\delta(t - (kM+i)T_s)}_{s_i}, \qquad (1.1)$$

$$Y(j\omega) = \frac{1}{T_s} \sum_{i=0}^{M-1} \left[\frac{1}{M} \sum_{k=-\infty}^{+\infty} g_i H_i \left(j \left(\omega - k \frac{\omega_s}{M} \right) \right) e^{-j \left(\omega - k \frac{\omega_s}{M} \right) t_i} e^{-jki \frac{2\pi}{M}} \right]$$

$$\times X \left(j \left(\omega - k \frac{\omega_s}{M} \right) \right) + \frac{1}{T_s} \sum_{i=0}^{M-1} \frac{1}{M} \sum_{k=-\infty}^{+\infty} o_i e^{-jki \frac{2\pi}{M}} \delta \left(\omega - k \frac{\omega_s}{M} \right).$$
(1.2)

Trong đó, \hat{x}_i là kênh thứ *i* thu được bao gồm tất cả các lỗi, s_i là một chuỗi các xung Dirac. Biểu thức này chỉ ra rằng, khi có tất cả các lỗi thì các tín hiệu đầu vào được điều chế bằng các biểu thức trong ngoặc bao gồm tích của sai lệch



Hình 1.2: Mô hình các sai lệch kênh trong TIADC M kênh.



Hình 3.7: Phổ tần đầu ra của TIADC với tín hiệu vào hình sin đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh sai lệch một chiều, (c) sau khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời



Hình 3.8: Phổ tần đầu ra của TIADC sau khi thực thi phần cứng FPGA đối với tín hiệu vào hình sin đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh sai lệch một chiều, (c) sau khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời.

3.3 Kết luận chương

Trên cơ sở mô hình hệ thống TIADC M kênh bao gồm sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và các phương pháp hiệu chỉnh các sai lệch này ở Chương 2, Chương 3 đã đề xuất hai phương pháp hiệu chỉnh nền trên miền số cho cả ba sai lệch kênh trong TIADC. Trong đó, phương pháp đề đầu ra của các ADC con tương ứng. Sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách sử dụng ma trận Hadamard cho việc sửa lõi và thuật toán LMS cho việc ước lượng lõi. Quá trình ước lượng và sửa lõi sai lệch khuếch đại và sai lệch định thời sử dụng bộ lọc vi phân thông dải thay vì bộ lọc vi phân lý tưởng. Kỹ thuật đề xuất đã được kiểm chứng thông qua kết quả mô phỏng bằng phần mềm MATLAB và kết quả thực thi trên phần cứng FPGA. Sau khi hiệu chỉnh, kỹ thuật đề xuất cũng đã đạt được hiệu năng và tốc độ hội tụ của thuật toán ước lượng cao hơn so với phương pháp thông thường. Đề xuất này đã được công bố trong các công trình C1 và J1. Trong đó, công trình C1 là kết quả bước đầu chỉ được kiểm chứng thông qua mô phỏng MATLAB. Kết quả này đã được đánh giá lại chi tiết hơn và bổ sung thêm kết quả thực thi trên phần cứng và so sánh với các công trình khác ở công trình J1.



Hình 3.6: Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC Mkênh.

Kết quả mô phỏng và thực thi phần cứng FPGA đối với tín hiệu vào hình sin đơn âm được thể hiện trên Hình 3.7 và Hình 3.8. Kết quả này cho thấy, khi thực thi phần cứng, kỹ thuật đề xuất đã cải thiện 44,49 dB dB đối với SNDR và 63,2 dB đối với SFDR. Ngoài ra, thời gian hội tụ của kỹ thuật đề xuất chỉ sau 10000 mẫu (tương ứng 3,7 μ s). Bên cạnh đó, sau khi mô phỏng kỹ thuật đề xuất với tín hiệu vào hình sin đa âm thì các hài do sai lệch kênh cũng được loại bỏ như minh họa trong Hình 3.9.

Kết quả sử dụng tài nguyên phần cứng FPGA và kết quả so sánh với các công trình đã công bố được thể hiện trên Bảng 3.3 và Bảng 3.4. Kết quả so sánh cho thấy kỹ thuật đề xuất có thể thực thi trên phần cứng với tài nguyên ít, có hiệu năng cao hơn và thời gian hội tụ ít hơn so với các công trình khác.

khuếch đại, băng thông và sai lệch định thời. Những lỗi này xuất hiện ở mỗi tần số $\pm \omega_{in} + k \frac{\omega_s}{M}$, trong đó ω_{in} là tần số đầu vào. Trong khi đó, sai lệch một chiều là thành phần cộng thêm vào tín hiệu, độc lập với tín hiệu vào và xuất hiện tại các vị trí $k \frac{\omega_s}{M}$.

1.3 Ånh hưởng của các sai lệch kênh trong TIADC

1.3.1 Ånh hưởng của sai lệch một chiều

Xét TIADC chỉ có sai lệch một chiều và không có các sai lệch khác (tức là $g_i = 1, t_i = 0$ và $h_{\tau_i}(t) = 1$). Khi đó, ảnh hưởng của sai lệch một chiều lên đầu ra của TIADC được thể hiện trong công thức (1.3) và (1.4) [1,20,35]. Điều này được minh họa trong Hình 1.3.

$$y(t) = x(t) + \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} o_i \delta(t - (kM + i)T_s).$$
(1.3)

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right) + \underbrace{\frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \frac{1}{M} \sum_{i=0}^{M-1} o_i e^{-jki\frac{2\pi}{M}} \delta\left(\omega - k\frac{\omega_s}{M}\right)}_{A_{offset}}.$$
 (1.4)

Hình 1.3 cho thấy sai lệch một chiều là các thành phần cộng thêm vào tín hiệu và không phụ thuộc vào tần số tín hiệu vào. Các sai lệch này xảy ra tại các vị trí $k\omega_s/M$ (với k = 0, 1, ..., M - 1) và làm suy giảm hiệu năng của TIADC như thể hiện trong công thức (1.5) và minh họa trong Hình 1.4 [2,29]. Từ đây có thể thấy rằng, hiệu năng của TIADC phụ thuộc vào giá trị sai lệch một chiều.

$$SNDR = 10\log_{10}\left(\frac{A_{in}^2}{2\delta_o^2}\right).$$
 (1.5)



Hình 1.3: Ảnh hưởng của lỗi sai lệch một chiều lên đầu ra của TIADC: (a) miền thời gian, (b) miền tần số.





1.3.2 Ånh hưởng của sai lệch khuếch đại

Xét TIADC chỉ có sai lệch khuếch đại xuất hiện trong kênh thứ *i* và bỏ qua các sai lệch khác (tức là $o_i = 0$, $t_i = 0$ và $h_{\tau_i}(t) = 1$). Khi đó, ảnh hưởng của sai lệch khuếch đại lên đầu ra của TIADC được thể hiện trong công thức (1.6) và (1.7) [3,20,29,35]. Điều này được minh họa trong Hình 1.5.

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} g_i x((kM+i)T_s)\delta(t-(kM+i)T_s).$$
(1.6)

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} g_{i.e} e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lech khuếch dai}} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right), \quad (1.7)$$

Hình 1.5 cho thấy sai lệch khuếch đại là một hàm của số kênh ghép xen thời gian M và giá trị các sai lệch khuếch đại trên từng kênh g_i . Nó được nhân với



Hình 1.5: Ảnh hưởng của lỗi sai lệch khuếch đại lên đầu ra của TIADC 4 kênh: (a) miền thời gian, (b) miền tần số.

Bảng 3.1: Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất.

Tài nguyên	XC7Z020 CLG484-1 SoC
LUT	9921/53.200~(18,65%)
LUT RAM	61/17.400~(0,35%)
Flip-Flop	7035/106.400~(6,61%)
DSP slices	15/220~(6,82%)
Fmax	$102,7 \mathrm{~MHz}$

Bảng 3.2: Bảng so sánh kết quả của kỹ thuật đề xuất với các công trình đã công bố

Tham số so sánh	TCAS-I 2013	TCAS-II 2016	TCAS-I 2018	Kỹ thuật
	[10]	[11]	[80]	đề xuất
Loại sai lệch kênh	G, T^*	T^*	O, G, T^*	O, G, T^*
Hiệu chỉnh mù	Có	Có	Có	Có
Hiệu chỉnh nền	Có	Có	Có	Có
Số kênh ghép xen	4**	4	4	4^{**}
Tần số lấy mẫu	—	$2,7 \mathrm{GHz}$	$32 \mathrm{GHz}$	$2,7 \mathrm{GHz}$
Tần số đầu vào	$0,\!45f_{s}$	Đa âm	$0,\!18f_s$	0,45 f_s & Đa âm
Số bit	10	11	9	11
Cải thiện SNDR (dB)	62	11	$36,\!55$	48,1
Cải thiện SFDR (dB)	—	28	43,72	77,98
Thời gian hội tụ (mẫu)	60k	10k	400k	30k

*O: Sai lệch một chiều, G: Sai lệch khuếch đại, T: Sai lệch định thời

**: Phụ thuộc ma trận Hadamard

Kết quả sử dụng tài nguyên phần cứng FPGA và kết quả so sánh với các công trình đã công bố được thể hiện trên Bảng 3.1 và Bảng 3.2. Kết quả so sánh cho thấy kỹ thuật đề xuất có thể thực thi trên phần cứng với tài nguyên ít, có hiệu năng cao hơn và thời gian hội tụ ít hơn so với các công trình khác.

3.2 Phương pháp hiệu chỉnh nền trên miền số đồng thời các sai lệch kênh trong TIADC

Phần này trình bày phương pháp hiệu chỉnh nền hoàn toàn trên miền số đồng thời các sai lệch kênh (bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời) trong TIADC M kênh như mô hình trong Hình 3.6. Trong đó, sai lệch một chiều được hiệu chỉnh trước bằng cách tính trung bình các mẫu đầu ra của các ADC con để ước lượng sai lệch một chiều và trừ nó khỏi

Kết quả mô phỏng và thực thi phần cứng FPGA đối với tín hiệu vào hình sin đa âm được thể hiện trên Hình 3.4 và Hình 3.5. Các kết quả này cho thấy, sau khi hiệu chỉnh, các hài do sai lệch kênh gây ra đã được loại bỏ.



Hình 3.4: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh đối với tín hiệu vào đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.



Hình 3.5: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với tín hiệu vào đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

bản sao của tín hiệu như trong công thức (1.7) để tạo thành tín hiệu điều chế biên độ của tín hiệu vào và không phụ thuộc tần số tín hiệu vào. Hậu quả là tại phổ tần đầu ra xuất hiện các hài tại các tần số $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$). Các hài này làm suy giảm hiệu năng của TIADC như thể hiện trong công thức (1.8) và minh họa trong Hình 1.6 [2,29]. Từ đây có thể thấy rằng, hiệu năng của TIADC phụ thuộc vào giá trị sai lệch khuếch đại và số kênh ghép xen thời gian. Tuy nhiên, sự phụ thuộc vào số kênh M thay đổi rất ít (khoảng 3 dB) khi M tăng từ 2 đến ∞ .

$$SNDR = 20\log_{10}\left(\frac{\Delta g}{\sigma_g}\right) - 10\log_{10}\left(1 - \frac{1}{M}\right). \tag{1.8}$$



Hình 1.6: Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch khuếch đại.

1.3.3 Ảnh hưởng của sai lệch định thời

Xét TIADC chỉ có sai lệch định thời và không có các sai lệch khác (tức là $o_i = 0, g_i = 1$ và $h_{\tau_i}(t) = 1$). Khi đó, ảnh hưởng của sai lệch định thời lên đầu ra của TIADC được thể hiện trong công thức (1.9) và (1.10) [3,20,29,35]. Điều này được minh họa trong Hình 1.7.

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} x(t+t_i)\delta(t-(kM+i)T_s).$$
 (1.9)

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} e^{-j\left(\omega-k\frac{\omega_s}{M}\right)t_i} e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lech dinh thời}} X\left(j\left(\omega-k\frac{\omega_s}{M}\right)\right). \quad (1.10)$$

Hình 1.7 cho thấy sai lệch định thời là hàm của giá trị sai lệch thời gian lấy







Hình 1.8: Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch định thời.

mẫu của các kênh (t_i) và tần số tín hiệu vào (ω_{in}) . Nó xảy ra tại các vị trí $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$). Do đó, hiệu năng của TIADC phụ thuộc vào số kênh M, giá trị sai lệch định thời (δ_t) và tần số tín hiệu vào (f_{in}) như thể hiện trong công thức (1.11) và minh họa trong Hình 1.8 [2,29,35].

$$SNDR = 20 \log_{10} \left(\frac{1}{\delta_t 2\pi f_{in}} \right) - 10 \log_{10} \left(1 - \frac{1}{M} \right).$$
 (1.11)

1.3.4 Ánh hưởng của sai lệch băng thông

Xét TIADC chỉ có sai lệch băng thông và không có các sai lệch khác ($o_i = 0$, $g_i = 1$ và $t_i = 0$). Khi đó, ảnh hưởng của sai lệch băng thông lên đầu ra của TIADC được thể hiện trong công thức (1.12) và (1.13) [3,20,23,35]. Điều này được minh họa trong Hình 1.9.

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} h_{\tau_i}(t) * x(t)\delta(t - (kM + i)T_s).$$
(1.12)

Kết quả mô phỏng và thực thi phần cứng FPGA đối với tín hiệu vào hình sin đơn âm được thể hiện trên Hình 3.2 và Hình 3.3. Kết quả này cho thấy, khi thực thi phần cứng, kỹ thuật đề xuất đã cải thiện 34,03 dB đối với SNDR và 62,07 dB đối với SFDR. Ngoài ra, thời gian hội tụ của kỹ thuật đề xuất chỉ sau 30000 mẫu (tương ứng 11,1 μ s).



Hình 3.2: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh các sai lệch kênh đối với tín hiệu vào đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.



Hình 3.3: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với tín hiệu vào đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

Chương 3

Phương pháp hiệu chỉnh nền trên miền số cho nhiều sai lệch kênh trong TIADC

3.1 Phương pháp hiệu chỉnh nền trên miền số tuần tự các sai lệch kênh trong TIADC

Xét mô hình TIADC M kênh chỉ bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời như Hình 3.1. Các sai lệch này được đặc trưng bởi các tham số sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trên kênh thứ *i* tương ứng là o_i , g_i và t_i .

Phương pháp đề xuất thực hiện hiệu chỉnh lần lượt các sai lệch kênh theo thứ tự: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Trong đó, sai lệch một chiều được hiệu chỉnh bằng cách tính trung bình các mẫu đầu ra của các ADC con. Sai lệch khuếch đại được hiệu chỉnh bằng cách tính trung bình công suất của ADC con so với ADC tham chiếu (ADC đầu tiên). Sai lệch định thời được hiệu chỉnh bằng cách sử dụng ma trận Hadamard cho việc sửa lỗi và thuật toán LMS cho việc ước lượng lỗi. Kỹ thuật đề xuất đã được kiểm chứng thông qua kết quả mô phỏng bằng phần mềm MATLAB và kết quả thực thi trên phần cứng FPGA. Kỹ thuật đề xuất đã đạt được hiệu năng cao sau khi hiệu chỉnh và tốc độ hội tụ của thuật toán ước lượng nhanh hơn so với phương pháp thông thường. Đề xuất này đã được công bố trong các công trình **C2**, **J2** và **J3**. Trong đó, công trình **C2** là kết quả thực thi trên phần cứng FPGA ở công trình **J2** và **J3**.



Hình 3.1: Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC Mkênh.



Hình 1.9: Phổ tần đầu ra chỉ có sai lệch băng thông đối với: (a) TIADC 2 kênh, (b) TIADC 4 kênh.



Hình 1.10: Ảnh hưởng của tần số tín hiệu vào đến hiệu năng của TIADC 4 kênh chỉ có sai lệch băng thông: (a) SNDR, (b) ENOB.

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} H_{\tau_i}\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right) e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lệch băng thông}} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right). \quad (1.13)$$

Hình 1.9 cho thấy sai lệch băng thông cũng tạo ra các hài không mong muốn tại các vị trí $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$). Các hài này là nguyên nhân làm suy giảm hiệu năng của TIADC như thể hiện trong công thức (1.14) và minh họa trong Hình 1.10 [48]. Sự suy giảm này phụ thuộc vào số kênh ghép xen thời gian, sai lệch băng thông và tần số tín hiệu vào.

$$SNDR = 20\log_{10}\left(\frac{\sqrt{1 + (2\pi f_{in}\tau)^2}}{2\pi f_{in}\tau\delta_b}\right) - 10\log_{10}\left(1 - \frac{1}{M}\right)$$
(1.14)

1.4 Tổng quan về các kỹ thuật hiệu chỉnh sai lệch kênh trong TIADC

Có nhiều phương pháp hiệu chỉnh sai lệch kênh trong TIADC được nghiên cứu, đề xuất. Tuy nhiên, tùy theo phương pháp và dạng tín hiệu hiệu chỉnh mà có các cách phân loại khác nhau. Căn cứ vào phương pháp hiệu chỉnh có thể phân ra thành phương pháp hiệu chỉnh trước (foreground) và phương pháp hiệu chỉnh nền (background) [49,50]. Nếu căn cứ vào dạng tín hiệu hiệu chỉnh thì có thể chia thành ba loại: hiệu chỉnh hoàn toàn tương tự, hiệu chỉnh tín hiệu hỗn hợp và hiệu chỉnh hoàn toàn số. Trước sự phát triển của công nghệ chế tạo vi mạch CMOS và những ưu điểm của các phương pháp hiệu chỉnh nền cũng như hiệu chỉnh trên miền số nên phương pháp hiệu chỉnh nền trên miền số cho sai lệch kênh trong TIADC được ưu tiên nghiên cứu phát triển. Tuy nhiên, các công trình nghiên cứu về kỹ thuật này thường giả sử chỉ có một loại sai lệch nhất định, các sai lệch khác được giả sử là không tồn tại hoặc đã được hiệu chỉnh [5–12,15,44,81–83,90,91]. Điều này không thực sự đúng trong thực tế. Do đó, việc hiệu chỉnh tất cả các sai lệch kênh này trong quá trình thiết kế, chế tạo TIADC là đòi hỏi hết sức cấp thiết.

1.5 Kết luận chương 1

Chương 1 đã trình bày khái quát chung về TIADC và các sai lệch kênh trong TIADC. Trong đó, các phân tích lý thuyết và mô phỏng trên miền thời gian và miền tần số đã chỉ ra ảnh hưởng của bốn loại sai lệch kênh đến hiệu năng của TIADC. Hiệu năng của TIADC cũng được phân tích và mô phỏng đối với từng lỗi sai lệch kênh. Bên cạnh đó, chương này đã đánh giá, phân tích một cách khái quát về các phương pháp hiệu chỉnh sai lệch kênh của các công trình nghiên cứu trong và ngoài nước. Các phân tích trong Chương 1 đã chỉ ra những hạn chế của các công trình nghiên cứu trong và ngoài nước đã công bố. Đây là cơ sở để tác giả đề xuất các phương pháp hiệu chỉnh sai lệch kênh trong các chương tiếp theo.



Hình 2.8: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch định thời bằng thuật toán ước lượng LMS.



Hình 2.9: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch định thời bằng thuật toán ước lượng RLS.

lý ngắn. Các kết quả này là cơ sở để đề xuất các phương pháp hiệu chỉnh mới ở Chương 3.



Hình 2.6: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch khuếch đại.



Hình 2.7: Sơ đồ hiệu chỉnh sai lệch định thời trong từng kênh ADC con của TIADC M kênh.

* Kết quả mô phỏng: Hiệu quả của kỹ thuật đề xuất được thể hiện thông qua kết quả mô phỏng đối với TIADC 13 bit, 4 kênh lấy mẫu tại tần số 2,7 GHz. Tín hiệu đầu vào hình sin có tần số $f_{in} = 0,45f_s$. Quá trình mô phỏng được thực hiện lần lượt với bằng thuật toán LMS và RLS. Khi sử dụng thuật toán LMS, các hài do sai lệch định thời gây ra đã được loại bỏ và hiệu năng của TIADC đã được cải thiện 28,82 dB đối với SNDR và 51,91 dB đối với SFDR như minh họa trên Hình 2.8. Khi sử dụng thuật toán RLS cũng cho hiệu năng tương tự như thuật toán LMS như minh họa trên Hình 2.9. Tuy nhiên, thời gian hội tụ khi sử dụng thuật toán RLS (600 mẫu - tương ứng 0,22 μs) nhanh hơn so với thuật toán LMS (1300 mẫu - tương ứng 0,48 μs).

2.3 Kết luận chương

Chương 2 đã trình bày mô hình hệ thống TIADC dùng để đánh giá các phương pháp đề xuất cho việc hiệu chỉnh từng sai lệch kênh riêng lẻ bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Các phương pháp đề xuất đã hiệu chỉnh tốt các sai lệch kênh, cho hiệu năng cao và thời gian xử

Chương 2

Phương pháp hiệu chỉnh nền trên miền số từng sai lệch kênh trong TIADC

2.1 Mô hình hệ thống

Xét mô hình TIADC chỉ gồm 3 loại sai lệch kênh bao gồm sai lệch một chiều o_i , sai lệch khuếch đại g_i và sai lệch định thời t_i như minh họa trong Hình 2.1. Dầu ra của TIADC trên miền thời gian khi có tất cả các sai lệch kênh này được biểu diễn như sau:

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} (g_i x(t+t_i) + o_i) \delta(t - (kM+i)T_s).$$
(2.1)



Hình 2.1: Mô hình TIADC M kênh chỉ gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời.

2.2 Phương pháp hiệu chỉnh đề xuất cho từng sai lệch kênh

2.2.1 Phương pháp hiệu chỉnh nền trên miền số sai lệch một chiều

Phương pháp đề xuất thực hiện hiệu chỉnh sai lệch một chiều thông qua hai bước ước lượng và sửa lỗi sai lệch một chiều như minh họa trong sơ đồ Hình 2.2.

* Ước lượng sai lệch một chiều: Với giả sử tín hiệu vào x(t) là quá trình dừng theo nghĩa rộng thì giá trị kỳ vọng của nó bằng 0 (tức là $\frac{1}{N} \sum_{k=0}^{N-1} g_i x((kM + i)T_s + t_i) \approx 0)$. Do đó, để ước lượng sai lệch một chiều, kỹ thuật đề xuất tính trung bình các mẫu đầu ra của kênh thứ *i* trên toàn bộ N mẫu theo biểu thức:



Hình 2.2: Sơ đồ hiệu chỉnh sai lệch một chiều trong từng kênh của TIADC.

$$\hat{o}_i = \frac{1}{N} \sum_{k=0}^{N-1} y_i[k] = \underbrace{\frac{1}{N} \sum_{k=0}^{N-1} g_i x((kM+i)T_s + t_i)}_{\approx 0} + o_i \approx o_i.$$
(2.2)

* Sửa lỗi sai lệch một chiều: Sai lệch một chiều là lỗi tĩnh được cộng thêm vào tín hiệu nên việc sửa lỗi được thực hiện bằng cách trừ các giá trị ước lượng khỏi đầu ra của mỗi kênh như sau:

$$\hat{y}_i[k] = y_i[k] - \hat{o}_i = g_i x ((kM+i)T_s + t_i) + o_i - \hat{o}_i = g_i x ((kM+i)T_s + t_i).$$
(2.3)

* Các kết quả mô phỏng: Hiệu quả của kỹ thuật đề xuất được thể hiện thông qua kết quả mô phỏng đối với TIADC 13 bit, 4 kênh lấy mẫu tại tần số 2,7 GHz như Hình 2.3. Tín hiệu đầu vào là tín hiệu hình sin có tần số $f_{in} = 0,45f_s$. Qua mô phỏng, các hài do sai lệch một chiều đã được loại bỏ và hiệu năng của TIADC đã được cải thiện 36,7 dB đối với SNDR và 70,6 dB đối với SFDR.



Hình 2.3: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch một chiều.



Hình 2.4: Sơ đồ hiệu chỉnh sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.



Hình 2.5: Sơ đồ chi tiết quá trình hiệu chỉnh sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.

2.2.2 Phương pháp hiệu chỉnh nền trên miền số sai lệch khuếch đại

Phương pháp đề xuất thực hiện hiệu chỉnh sai lệch khuếch đại thông qua hai bước ước lượng và sửa lỗi sai lệch khuếch đại như minh họa trong sơ đồ Hình 2.4. Phương pháp đề xuất thực hiện tính tỉ số công suất trung bình của ADC con thứ *i* và ADC tham chiếu $(ADC_0) g_0/g_i$ như mô hình trong Hình 2.5.

Hiệu quả của kỹ thuật đề xuất được thể hiện thông qua kết quả mô phỏng đối với TIADC 13 bit, 4 kênh lấy mẫu tại tần số 2,7 GHz như Hình 2.6. Tín hiệu đầu vào là tín hiệu hình sin có tần số $f_{in} = 0,45f_s$. Qua mô phỏng, các hài do sai lệch khuếch đại đã được loại bỏ và hiệu năng của TIADC đã được cải thiện 31,8 dB đối với SNDR và 61,3 dB đối với SFDR.

2.2.3 Phương pháp hiệu chỉnh nền trên miền số sai lệch định thời

Phương pháp đề xuất thực hiện hiệu chỉnh thông qua hai bước ước lượng và sửa lỗi như minh họa trong sơ đồ Hình 2.4. Trong đó, sai lệch định thời được ước lượng bằng thuật toán thích nghi LMS hoặc RLS. Phương pháp sửa lỗi thực hiện bằng cách sử dụng ma trận Hadamard hoặc ma trận điều chế.