BỘ GIÁO DỤC VÀ ĐÀO TẠO

BỘ QUỐC PHÒNG

HỌC VIỆN KỸ THUẬT QUÂN SỰ

TẠ VĂN THÀNH

NGHIÊN CỨU PHƯƠNG PHÁP HIỆU CHỈNH CÁC SAI LỆCH KÊNH TRONG ADC GHÉP XEN THỜI GIAN

LUẬN ÁN TIẾN SĨ KỸ THUẬT

HÀ NỘI - NĂM 2021

BỘ GIÁO DỤC VÀ ĐÀO TẠO

BỘ QUỐC PHÒNG

HỌC VIỆN KỸ THUẬT QUÂN SỰ

TẠ VĂN THÀNH

NGHIÊN CỨU PHƯƠNG PHÁP HIỆU CHỈNH CÁC SAI LỆCH KÊNH TRONG ADC GHÉP XEN THỜI GIAN

LUẬN ÁN TIẾN SĨ KỸ THUẬT

Chuyên ngành: Kỹ THUẬT ĐIỆN TỦ Mã số: 9 52 02 03

NGƯỜI HƯỚNG DẪN KHOA HỌC: PGS. TS HOÀNG VĂN PHÚC

HÀ NỘI - NĂM 2021

LỜI CAM ĐOAN

Tôi xin cam đoan Luận án và các kết quả trình bày trong luận án là công trình nghiên cứu của tôi dưới sự hướng dẫn của cán bộ hướng dẫn. Các số liệu, kết quả trình bày trong luận án là hoàn toàn trung thực và chưa được công bố trong bất kỳ công trình nào trước đây. Các kết quả sử dụng tham khảo đều đã được trích dẫn đầy đủ và theo đúng quy định.

> Hà Nội, ngày 07 tháng 9 năm 2021 Tác giả

> > Tạ Văn Thành

LỜI CẢM ƠN

Trong quá trình học tập, nghiên cứu và hoàn thành luận án, nghiên cứu sinh đã nhận được nhiều sự giúp đỡ và đóng góp quý báu.

Đầu tiên, nghiên cứu sinh xin bày tỏ lòng biết ơn sâu sắc đến thầy giáo PGS. TS Hoàng Văn Phúc. Thầy không chỉ là người hướng dẫn, giúp đỡ nghiên cứu sinh hoàn thành luận án này mà còn là người định hướng, truyền động lực và ý chí quyết tâm cho nghiên cứu sinh trên con đường nghiên cứu khoa học đầy gian khó.

Nghiên cứu sinh cũng chân thành cảm ơn các thầy giáo trong Khoa Vô tuyến điện tử, tập thể Bộ môn Kỹ thuật Xung số - Vi xử lý, Khoa Vô tuyến Điện tử, Học viện Kỹ thuật Quân sự, nơi nghiên cứu sinh làm việc, đã luôn quan tâm, động viên, tận tình giúp đỡ và tạo điều kiện mọi mặt trong suốt thời gian nghiên cứu sinh học tập, nghiên cứu tại đây.

Nghiên cứu sinh cũng chân thành cảm ơn Phòng Sau đại học - Học viện Kỹ thuật Quân sự; Trường Sĩ quan thông tin - Binh chủng Thông tin liên lạc là các đơn vị chủ quản đã thường xuyên hỗ trợ, tạo điều kiện và giúp đỡ nghiên cứu sinh hoàn thành luận án này.

Cuối cùng, nghiên cứu sinh trân trọng cảm ơn vợ, con, những người thân yêu trong gia đình, bạn bè và các đồng nghiệp đã luôn động viên, chia sẻ những khó khăn trong cuộc sống, gia đình và xã hội, tạo động lực rất lớn để nghiên cứu sinh hoàn thành công trình này.

Xin chân thành cảm ơn.

MỤC LỤC

| MỤC LỤC | •• |
|--|-----|
| DANH MỤC CÁC TỪ VIẾT TẮT | iii |
| DANH MỤC HÌNH VẼ | v |
| DANH MỤC BẢNG | x |
| DANH MỤC CÁC KÝ HIỆU TOÁN HỌC | xi |
| MỞ ĐẦU | 1 |
| Chương 1. TỔNG QUAN VỀ BỘ BIẾN ĐỔI TƯƠNG TỰ - SỐ | Ĉ |
| GHÉP XEN THỜI GIAN | 9 |
| 1.1. Tổng quan về bộ biến đổi tương tự - số ghép xen thời gian | 9 |
| 1.1.1. Sự cần thiết của bộ ADC ghép xen thời gian | 9 |
| 1.1.2. Nguyên lý hoạt động | 12 |
| 1.1.3. Các tham số của TIADC | 13 |
| 1.2. Các sai lệch kênh trong TIADC | 21 |
| 1.3. Ảnh hưởng của các sai lệch kênh trong TIADC | 25 |
| 1.3.1. Ảnh hưởng của sai lệch một chiều | 26 |
| 1.3.2. Ảnh hưởng của sai lệch khuếch đại | 29 |
| 1.3.3. Ảnh hưởng của sai lệch định thời | 32 |
| 1.3.4. Ảnh hưởng của sai lệch băng thông | 38 |
| | |

| 1.4. Tổng quan về các kỹ thuật hiệu chỉnh sai lệch kênh trong TIADC | 44 |
|---|-----|
| 1.4.1. Phương pháp hiệu chỉnh trước | 44 |
| 1.4.2. Phương pháp hiệu chỉnh nền | 45 |
| 1.5. Kết luận chương | 49 |
| Chương 2. PHƯƠNG PHÁP HIỆU CHỈNH NỀN TRÊN MI | ÊΝ |
| SỐ TỪNG SAI LỆCH KÊNH TRONG TIADC | 50 |
| 2.1. Mô hình hệ thống | 50 |
| 2.2. Phương pháp hiệu chỉnh đề xuất cho từng sai lệch kênh | 53 |
| 2.2.1. Phương pháp hiệu chỉnh nền trên miền số sai lệch một chiều | 53 |
| 2.2.2. Phương pháp hiệu chỉnh nền trên miền số sai lệch khuếch đại | 58 |
| 2.2.3. Phương pháp hiệu chỉnh nền trên miền số sai lệch định thời . | 65 |
| 2.3. Kết luận chương | 77 |
| Chương 3. PHƯƠNG PHÁP HIỆU CHỈNH NỀN TRÊN MI | ÊΝ |
| SỐ CHO NHIỀU SAI LỆCH KÊNH TRONG TIADC | 79 |
| 3.1. Phương pháp hiệu chỉnh nền trên miền số tuần tự các sai lệch k | ênh |
| trong TIADC | 79 |
| 3.2. Phương pháp hiệu chỉnh nền trên miền số đồng thời các sai lệch k | ênh |
| trong TIADC | 96 |
| 3.3. Kết luận chương | 109 |
| KẾT LUẬN VÀ HƯỚNG NGHIÊN CỨU | 111 |
| DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BỐ | 114 |
| TÀI LIỆU THAM KHẢO | 116 |
| | |

DANH MỤC CÁC TỪ VIẾT TẮT

| Từ viết tắt | Nghĩa Tiếng Anh | Nghĩa Tiếng Việt |
|-------------|-----------------------------|-----------------------------|
| ADC | Analog to Digital Converter | Bộ biến đổi tương tự - số |
| CMOS | Complementary Metal- | Công nghệ chế tạo vi mạch |
| | Oxide-Semiconductor | CMOS |
| DSP | Digital Signal Processing | Xử lý tín hiệu số |
| ENOB | Effective Number of Bit | Số bit hiệu dụng |
| FD-SOI | Fully-Depleted Silicon-On- | Công nghệ silicon trên chất |
| | Insulator | cách điện toàn phần |
| FFT | Fast Fourier transform | Biến đổi Fourier nhanh |
| FIR | Finite Impulse Response | Đáp ứng xung hữu hạn |
| FoM | Figure of Merit | Hệ số phẩm chất |
| FPGA | Field Programmable Gate | Mảng logic lập trình được |
| | Array | |
| IC | Integrated Circuit | Mạch tích hợp |
| LNA | Low Noise Amplifier | Bộ khuếch đại tạp âm thấp |
| LMS | Least Mean Square | Bình phương trung bình |
| | | cực tiểu |
| LO | Local Oscillator | Bộ tạo dao động nội |
| LUT | Lookup Table | Bảng tra cứu |
| MUX | Multiplexer | Bộ ghép kênh |
| PSD | Power Spectral Density | Mật độ phổ công suất |
| RF | Radio Frequency | Tần số vô tuyến |
| RLS | Recursive Least Squares | Bình phương cực tiểu |
| | | đệ quy |

| SAR ADC | Successive Approximation | ADC thanh ghi xấp xỉ |
|---------|-----------------------------|------------------------------|
| | Register ADC | liên tiếp |
| SDR | Software Defined Radio | Vô tuyến định nghĩa bằng |
| | | phần mềm |
| SFDR | Spurious Free Dynamic | Dải động không chứa hài |
| | Range | |
| SNR | Signal to Noise Ratio | Tỉ số tín hiệu trên tạp |
| SNDR | Signal to Noise and Distor- | Tỉ số tín hiệu trên tạp |
| | tion ratio | và méo |
| S/H | Sample and Hold | Trích và giữ mẫu |
| TIADC | Time-Interleaved Analog- | Bộ biến đổi tương tự - số |
| | to-Digital Converter | ghép xen thời gian |
| VHDL | Very High Speed Integrated | Ngôn ngữ mô tả phần cứng |
| | Circuit Hardware Descrip- | mạch tích hợp tốc độ rất cao |
| | tion Language | |
| WSS | Wide-Sense-Stationary | Dừng theo nghĩa rộng |

DANH MỤC HÌNH VĨ

| 1 | Sơ đồ khối máy thu lấy mẫu trực tiếp băng rộng | 1 |
|------|--|----|
| 1.1 | Sơ đồ khối máy thu lấy mẫu trực tiếp. | 10 |
| 1.2 | Quan hệ giữa công suất tiêu thụ và tần số lấy mẫu của ADC | |
| | đơn và TIADC | 11 |
| 1.3 | Mô hình TIADC M kênh (a) và giản đồ thời gian của TIADC | |
| | M kênh (b) | 12 |
| 1.4 | So sánh các phương pháp lượng tử hóa | 17 |
| 1.5 | Minh họa về SFDR trong phổ tần số đầu ra của ADC | 19 |
| 1.6 | Mô hình các sai lệch kênh trong từng kênh của TIADC | 22 |
| 1.7 | Mô hình các sai lệch kênh trong TIAD C M kênh. | 22 |
| 1.8 | Phổ tần đầu ra TIADC bao gồm tất cả các lỗi sai lệch kênh | |
| | đối với: (a) TIADC 2 kênh, (b) TIADC 4 kênh \hdots | 25 |
| 1.9 | Ảnh hưởng của lỗi sai lệch một chiều lên đầu ra của TIADC: | |
| | (a) miền thời gian, (b) miền tần số | 28 |
| 1.10 | Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch một chiều | 29 |
| 1.11 | Ảnh hưởng của lỗi sai lệch khuếch đại lên TIADC 4 kênh: (a) | |
| | miền thời gian, (b) miền tần số | 31 |
| 1.12 | Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch khuếch đại. | 33 |
| 1.13 | Minh họa về sai lệch định thời và rung pha ngẫu nhiên. \ldots . | 34 |
| 1.14 | Ảnh hưởng của lỗi sai lệch định thời lên đầu ra của TIADC 4 | |
| | kênh: (a) miền thời gian, (b) miền tần số | 36 |
| 1.15 | Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch định thời. $% f(x)=0$. | 38 |
| 1.16 | Mạch lấy mẫu đầu vào và mạch lọc thông thấp RC tương đương. | 39 |
| 1.17 | Phổ tần đầu ra chỉ có sai lệch băng thông đối với: (a) TIADC | |
| | 2 kênh, (b) TIADC 4 kênh | 42 |

| 1.18 | Ảnh hưởng của tần số tín hiệu vào đến hiệu năng của TIADC | |
|------|--|----|
| | 4 kênh chỉ có sai lệch băng thông: (a) SNDR, (b) ENOB. $\ . \ .$. | 43 |
| 2.1 | Mô hình TIADC M kênh chỉ gồm sai lệch một chiều, sai lệch | |
| | khuếch đại và sai lệch định thời | 51 |
| 2.2 | Sơ đồ hiệu chỉnh các sai lệch kênh trong TIADC M kênh | 53 |
| 2.3 | Sơ đồ hiệu chỉnh sai lệch một chiều trong từng kênh ADC con | |
| | của TIADC M kênh | 53 |
| 2.4 | Sơ đồ khối ước lượng sai lệch một chiều trong từng kênh ADC | |
| | con của TIADC M kênh | 55 |
| 2.5 | Sơ đồ khối sửa lỗi sai lệch một chiều trong từng kênh ADC con | |
| | của TIADC M kênh | 55 |
| 2.6 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch một chiều. | 57 |
| 2.7 | Phổ tần đầu ra của TIADC 8 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch một chiều. | 57 |
| 2.8 | So sánh SNDR và SFDR trước và sau khi hiệu chỉnh sai lệch | |
| | một chiều của TIADC 4 kênh (a) và 8 kênh (b). \ldots | 58 |
| 2.9 | Thời gian hội tụ của các giá trị sai lệch một chiều được ước | |
| | lượng trong TIADC: (a) 4 kênh, (b) 8 kênh | 59 |
| 2.10 | Sơ đồ hiệu chỉnh sai lệch khuếch đại trong từng kênh ADC con | |
| | của TIADC M kênh | 60 |
| 2.11 | Sơ đồ ước lượng sai lệch khuếch đại trong từng kênh ADC con | |
| | của TIADC M kênh | 61 |
| 2.12 | Sơ đồ sửa lỗi sai lệch khuếch đại trong từng kênh ADC con | |
| | của TIADC M kênh | 62 |
| 2.13 | Sơ đồ chi tiết quá trình hiệu chỉnh sai lệch khuếch đại trong | |
| | từng kênh ADC con của TIADC M kênh. | 62 |
| 2.14 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch khuếch đại | 64 |

| 2.15 | Phổ tần đầu ra của TIADC 8 kênh trước và sau khi hiệu chỉnh | |
|------|--|----|
| | sai lệch khuếch đại | 64 |
| 2.16 | So sánh SNDR và SFDR trước và sau khi hiệu chỉnh sai lệch | |
| | khuếch đại của TIADC 4 kênh (a) và 8 kênh (b) | 65 |
| 2.17 | Sơ đồ hiệu chỉnh sai lệch định thời trong từng kênh ADC con | |
| | của TIADC M kênh | 66 |
| 2.18 | Sơ đồ tổng quát quá trình ước lượng lỗi sai lệch định thời | 68 |
| 2.19 | Sơ đồ sửa lỗi sai lệch định thời đề xuất | 72 |
| 2.20 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch định thời bằng thuật toán ước lượng LMS | 74 |
| 2.21 | Thời gian hội tụ của sai lệch định thời ước lượng được trên | |
| | từng kênh so với giá trị mong muốn khi sử dụng thuật toán LMS. | 74 |
| 2.22 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch định thời bằng thuật toán ước lượng RLS | 75 |
| 2.23 | Thời gian hội tụ của sai lệch định thời ước lượng được trên | |
| | từng kênh so với giá trị mong muốn khi sử dụng thuật toán RLS. | 76 |
| 3.1 | Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC | |
| | M kênh. | 81 |
| 3.2 | Mô hình sửa lỗi sai lệch định thời đề xuất trong TIADC M kênh. | 83 |
| 3.3 | Mô hình ước lượng đề xuất cho các sai lệch kênh trong TIADC | |
| | M kênh. | 84 |
| 3.4 | Phổ tần số đầu ra của TIADC 4 kênh trước và sau khi hiệu | |
| | chỉnh các sai lệch kênh đối với tín hiệu vào đơn âm: (a) trước | |
| | khi hiệu chỉnh, (b) sau khi hiệu chỉnh. | 87 |
| 3.5 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh | |
| | sai lệch kênh đối với tín hiệu vào đa âm: (a) trước khi hiệu | |
| | chỉnh, (b) sau khi hiệu chỉnh. | 88 |
| 3.6 | Sự hội tụ khi áp dụng kỹ thuật đề xuất của các sai lệch kênh: | |
| | (a) sai lệch một chiều và (b) sai lệch định thời | 89 |

| 3.7 | Sơ đồ thực thi phần cứng cho kỹ thuật đề xuất được thực hiện |
|------|--|
| | thông qua công cụ System Generator trong công cụ mô phỏng |
| | MATLAB và phương pháp Xilinx FPGA in-the-loop (FIL) 90 |
| 3.8 | Cài đặt và kết quả thực nghiệm của phương pháp đề xuất trên |
| | phần cứng FPGA |
| 3.9 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh |
| | sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với |
| | tín hiệu vào đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu |
| | chỉnh |
| 3.10 | Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh |
| | sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với |
| | tín hiệu vào đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.92 |
| 3.11 | Sự hội tụ khi thực thi kỹ thuật đề xuất trên phần cứng FPGA |
| | của các sai lệch kênh: (a) sai lệch một chiều và (b) sai lệch định thời. 93 |
| 3.12 | Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC |
| | M kênh |
| 3.13 | Bộ lọc vi phân thông dải cho kỹ thuật hiệu chỉnh đề xuất 100 |
| 3.14 | Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh các sai |
| | lệch kênh đối với tín hiệu vào hình sin đơn âm: (a) trước khi |
| | hiệu chỉnh, (b) sau khi hiệu chỉnh sai lệch một chiều, (c) sau |
| | khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời. \ldots . 103 |
| 3.15 | Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh đối |
| | với tín hiệu vào hình sin đa âm: (a) trước khi hiệu chỉnh, (b) |
| | sau khi hiệu chỉnh |
| 3.16 | Kết quả mô phỏng sự hội tụ khi áp dụng kỹ thuật đề xuất đối |
| | với: (a) sai lệch một chiều, (b) sai lệch khuếch đại và (c) sai |
| | lệch định thời |

| 3.17 | Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh các | | |
|------|---|-----|--|
| | sai lệch kênh trên phần cứng FPGA đối với tín hiệu vào hình | | |
| | sin đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh | | |
| | sai lệch một chiều, (c) sau khi hiệu chỉnh sai lệch khuếch đại | | |
| | và sai lệch định thời | 106 | |
| 3.18 | Sự hội tụ khi thực thi kỹ thuật đề xuất trên FPGA đối với: | | |
| | (a) sai lệch một chiều, (b) sai lệch khuếch đại và (c) sai lệch | | |
| | định thời | 107 | |

DANH MỤC BẢNG

| 3.1 | Bång giá trị các sai lệch kênh trong từng kênh TIADC 86 |
|-----|---|
| 3.2 | Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất. 94 |
| 3.3 | Bảng so sánh kết quả của kỹ thuật đề xuất với các công trình |
| | đã công bố |
| 3.4 | Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất.108 |
| 3.5 | Bảng so sánh kết quả của kỹ thuật đề xuất với các công trình |
| | đã công bố |

DANH MỤC CÁC KÝ HIỆU TOÁN HỌC

| Ký hiệu | Ý nghĩa. |
|------------------|---|
| a | Ký hiệu một số vô hướng. |
| a | Ký hiệu một véc-tơ. |
| Α | Ký hiệu một ma trận. |
| \mathbf{A}^{T} | Chuyển vị của ma trận A . |
| Н | Ma trận Hadamard. |
| I | Ma trận đơn vị. |
| A_{in} | Biên độ tín hiệu vào. |
| f_s | Tần số lấy mẫu. |
| T_s | Chu kỳ lấy mẫu. |
| f_{in} | Tần số tín hiệu vào. |
| f_{ci} | Tần số cắt của kênh thứ i . |
| В | Băng thông tín hiệu vào. |
| M | Số kênh của TIADC. |
| N | Độ phân giải (số bit) của ADC. |
| Р | Công suất tiêu thụ. |
| P_s | Công suất trung bình của tín hiệu. |
| P_n | Công suất tạp âm lượng tử. |
| ω_s | Tần số góc của xung lấy mẫu. |
| ω_{in} | Tần số góc của tín hiệu vào. |
| x(t) | Tín hiệu tương tự đầu vào. |
| $y_i(t)$ | Tín hiệu đầu ra kênh thứ i của TIADC trong miền |
| | thời gian. |
| y(t) | Tín hiệu đầu ra của TIADC trong miền thời gian. |
| $y_i[k]$ | Tín hiệu số đầu ra của kênh thứ i tại mẫu thứ k . |

| y[n] | Tín hiệu số đầu ra của TIADC. |
|---------------------------|--|
| $X(j\omega)$ | Tín hiệu đầu vào của TIADC trong miền tần số. |
| $Y(j\omega)$ | Tín hiệu đầu ra của TIADC trong miền tần số. |
| $	au_i$ | Hằng số thời gian của bộ lọc thông thấp tương |
| | đương kênh thứ i . |
| $t_{ideal}[k]$ | Thời gian lấy mẫu lý tưởng. |
| $\phi_i(t)$ | Độ lệch pha của kênh thứ i . |
| δ_o | Phương sai của sai lệch một chiều. |
| Δg | Trung bình của sai lệch khuếch đại. |
| δ_g | Phương sai của sai lệch khếch đại. |
| δ_t | Phương sai của sai lệch định thời. |
| G_i | Hệ số khuếch đại kênh thứ i . |
| $	heta_i$ | Độ dịch pha kênh thứ i . |
| δ_b | Phương sai của sai lệch băng thông. |
| O_i | Sai lệch một chiều của kênh thứ i . |
| g_i | Sai lệch khuếch đại của kênh thứ i . |
| t_i | Sai lệch định thời của kênh thứ i . |
| $h_{	au_i}$ | Sai lệch băng thông của kênh thứ i . |
| \hat{O}_i | Sai lệch một chiều ước lượng được của kênh thứ $i.$ |
| $\hat{y}_i[k]$ | Tín hiệu đầu ra của kênh thứ i sau khi đã sửa lỗi. |
| $\hat{x}_i[n]$ | Tín hiệu đầu ra của kênh thứ i thu được. |
| $x_i[n]$ | Tín hiệu đầu ra của kênh thứ i lý tưởng. |
| $e_i[n]$ | Tín hiệu lỗi do sai lệch định thời của kênh thứ $i.$ |
| $\overline{x}_i[n]$ | Tín hiệu lỗi được điều chế của kênh thứ i . |
| $\hat{e}_i[n]$ | Tín hiệu lỗi được khôi phục của kênh thứ i . |
| \hat{t} | Lỗi sai lệch định thời ước lượng được. |
| $h_d[n]$ | Đáp ứng xung của bộ lọc vi phân lý tưởng. |
| $h_h[n]$ | Đáp ứng xung của bộ lọc Hilbert. |
| $h_{bd}[n]$ | Đáp ứng xung của bộ lọc vi phân thông dải. |
| $\mathbf{c}_{\mathbf{g}}$ | Véc-tơ chứa sai lệch khuếch đại. |

| $\mathbf{C_t}$ | Véc-tơ chứa sai lệch định thời. |
|---------------------|--------------------------------------|
| μ | Bước thích nghi của thuật toán LMS. |
| δ | Giá trị khởi tạo của thuật toán RLS. |
| λ | Hệ số forget của thuật toán RLS. |
| $E\left\{ . ight\}$ | Phép lấy trung bình. |

MỞ ĐẦU

A. Bộ biến đổi tương tự - số ghép xen thời gian và những thách thức

Ngày nay, hệ thống thông tin liên lạc vô tuyến ngày càng phát triển và đã đạt được những thành tựu đáng kể. Cùng với đó là sự ra đời của các chuẩn truyền thông mới. Trong đó, máy thu lấy mẫu trực tiếp đang được nghiên cứu, phát triển và được ứng dụng nhiều. Trong các máy thu này, thiết bị đóng vai trò quan trọng đó là các bộ biến đổi tương tự - số (ADC). Vị trí của các bộ ADC trong máy thu lấy mẫu trực tiếp băng rộng được minh họa trong Hình 1. Trong các máy thu này, người ta mong muốn đưa khối xử lý tín hiệu số (DSP) lại gần ăng-ten hơn nhằm loại bỏ một số thành phần tương tự như bộ lọc, bộ trộn, bộ khuếch đại. Điều này cho phép các máy thu sẽ linh hoạt hơn và có khả năng tái cấu hình cao hơn.

Để đáp ứng được các yêu cầu trên đòi hỏi các ADC phải làm việc ở tốc độ lấy mẫu cao (cỡ GHz), có độ phân giải lớn và công suất tiêu thụ thấp. Tuy nhiên, khi tăng tốc độ lấy mẫu của ADC thì công suất tiêu thụ cũng tăng



Hình 1: Sơ đồ khối máy thu lấy mẫu trực tiếp băng rộng.

lên và khi tăng vượt qua tần số ngưỡng thì công suất tiêu thụ sẽ tăng theo hàm mũ. Do đó, yêu cầu đặt ra là phải thiết kế ADC có khả năng làm việc ở tốc độ cao, có độ phân giải lớn và công suất tiêu thụ không tăng theo hàm mũ khi tần số lấy mẫu tăng. Để đáp ứng được các yêu cầu này thì các ADC ghép xen thời gian (TIADC) là một giải pháp có nhiều triển vọng [1–4]. Các bộ TIADC sử dụng M ADC đơn có độ phân giải cao, tốc độ thấp, hoạt động song song, lấy mẫu tín hiệu vào xen kẽ nhau về mặt thời gian. Tín hiệu số từ các kênh ADC được ghép lại với nhau để tạo thành chuỗi dữ liệu số đầu ra của TIADC.

Về lý tưởng, các bộ TIADC giúp tăng tốc độ lấy mẫu lên M lần (với M là số kênh ghép xen thời gian) trong khi vẫn giữ được các ADC ở các kênh hoạt động với tốc độ thấp. Vì vậy, công suất tiêu thụ của TIADC không tăng theo hàm mũ khi tăng tần số lấy mẫu. Trong trường hợp này, công suất tiêu thụ của TIADC chỉ tăng tuyến tính theo tần số lấy mẫu. Vì vậy, các bộ TIADC là giải pháp tốt cho các máy thu lấy mẫu trực tiếp.

Tuy nhiên, trong các bộ TIADC thực tế xảy ra các sai lệch giữa các kênh bao gồm sai lệch một chiều (offset mismatch), sai lệch khuếch đại (gain mismatch), sai lệch định thời (timing skew hoặc timing mismatch) và sai lệch băng thông (bandwidth mismatch) [5–7]. Nguyên nhân của các sai lệch này là do sai lệch trong quá trình xử lý, do điện áp, nhiệt độ, ... Điều này dẫn đến sự khác nhau về độ lệch một chiều, độ khuếch đại, thời gian lấy mẫu và băng thông giữa các kênh. Sự khác nhau của các thành phần này giữa các kênh được gọi là các lỗi sai lệch kênh. Tương ứng với các thành phần lỗi là các sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông. Các sai lệch kênh này tạo ra các thành phần hài không mong muốn trong phổ tần số đầu ra và do đó làm suy giảm nghiêm trọng hiệu năng của các bộ TIADC [5–10].

Vì vậy, yêu cầu đặt ra đối với các máy thu lấy mẫu trực tiếp hiện nay là phải sử dụng các bộ TIADC lấy mẫu ở tốc độ cao, độ phân giải cao, công suất tiêu thụ thấp và không có sai lệch giữa các kênh ADC. Do đó, bài toán hiệu chỉnh các sai lệch kênh trong TIADC để tăng hiệu năng của chúng đang là vấn đề hết sức cần thiết. Vì vậy, luận án tập trung nghiên cứu các phương pháp hiệu chỉnh sai lệch kênh trong các bộ TIADC.

B. Những tồn tại của vấn đề nghiên cứu

Đã có nhiều công trình nghiên cứu nhằm hiệu chỉnh các loại sai lệch kênh trong TIADC. Các công trình này thường đi theo hai hướng nghiên cứu chính là hiệu chỉnh trước (foreground) và hiệu chỉnh nền (background). Phương pháp hiệu chỉnh trước [11] yêu cầu một pha hiệu chỉnh ngoại tuyến trong khi TIADC đang trong chế độ hiệu chỉnh. Trong suốt pha ngoại tuyến, một tín hiệu đã được biết, chẳng hạn, tín hiệu hình sin với biên độ và tần số đã được biết trước sẽ được kết nối tại đầu vào của TIADC để làm tín hiệu hiệu chỉnh. Do đó, phương pháp này có thể được ứng dụng trong các hệ thống đo lường cao cấp, trong đó thiết bị có thể tự hiệu chỉnh hoặc được gửi để hiệu chỉnh trước. Tuy nhiên, phương pháp này yêu cầu TIADC dừng hoạt động trong pha hiệu chỉnh nên không phù hợp với các ứng dụng mà bộ chuyển đổi luôn luôn hoạt động, ví dụ như trong các máy thu viễn thông. Vì vậy, luận án không đi sâu phân tích và nghiên cứu về phương pháp hiệu chỉnh này.

Khác với phương pháp hiệu chỉnh trước, phương pháp hiệu chỉnh nền vẫn giữ TIADC hoạt động bình thường trong suốt quá trình hiệu chỉnh. Điều này rất phù hợp với sự hoạt động của các máy thu lấy mẫu trực tiếp nói riêng và các thiết bị viễn thông nói chung. Do đó, luận án tập trung nghiên cứu và đề xuất các phương pháp hiệu chỉnh nền cho các sai lệch kênh trong TIADC.

Phương pháp hiệu chỉnh nền được thực hiện theo hai bước: ước lượng lỗi và sửa lỗi sai lệch kệnh. Căn cứ vào dang tín hiệu xử lý trong hai bước này có thể được chia thành ba kỹ thuật: hiệu chỉnh hoàn toàn trên miền tương tự, hiệu chỉnh tín hiệu hỗn hợp và hiệu chỉnh hoàn toàn trên miền số. Kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự thực hiện ước lượng và sửa lỗi trên miền tương tự. Ngược lại, kỹ thuật hiệu chỉnh hoàn toàn trên miền số thực hiện ước lượng và sửa lỗi trên miền số. Kỹ thuật hiệu chỉnh tín hiệu hỗn hợp là sự kết hợp của hai kỹ thuật trên. Trong đó, quá trình ước lượng được thực hiện trên miền số, quá trình sửa lỗi được thực hiện trên miền tương tự. Trong các kỹ thuật này, kỹ thuật hiệu chỉnh hoàn toàn trên miền số đang được tập trung nghiên cứu và phát triển bởi vì nó có nhiều ưu điểm như: có thể phát triển nhanh hơn, tiêu tốn ít tài nguyên phần cứng hơn và hiệu quả hiệu chỉnh cao hơn. Ngoài ra, những ưu điểm và sự phát triển mạnh mẽ của công nghệ CMOS cho phép thiết kế các TIADC nhỏ gọn, độ chính xác cao nên phương pháp hiệu chỉnh nền trên miền số ngày càng phát triển và có nhiều thành tưu.

Các công trình nghiên cứu trong và ngoài nước về các phương pháp hiệu chỉnh nền trên miền số cho các sai lệch kênh trong TIADC thường giả sử chỉ có một loại sai lệch nhất định, các sai lệch khác được coi là không tồn tại hoặc đã được hiệu chỉnh [12–21]. Tuy nhiên, trong thực tế các sai lệch kênh trong TIADC thường tồn tại đồng thời. Do đó, việc hiệu chỉnh tất cả các sai lệch kênh trong quá trình thiết kế, chế tạo TIADC là đòi hỏi hết sức cấp thiết. Vì vậy, luận án tập trung nghiên cứu và phát triển kỹ thuật hiệu chỉnh nền trên miền số cho các sai lệch kênh trong TIADC. Các phương pháp hiệu chỉnh đề xuất hướng đến ứng dụng cho máy thu lấy mẫu trực tiếp sử dụng TIADC 13 bit hoặc 11 bit, 4 kênh, lấy mẫu tại tần số 2,7 GHz. Đây là các TIADC đang được sử dụng phổ biến trong các máy thu lấy mẫu trực tiếp hiện nay. Các tín hiệu tương tự đầu vào được chọn đa dạng, có thể là tín hiệu hình sin đơn âm hoặc đa âm. Các giá trị được chọn để mô phỏng và thực thi phần cứng được chọn dựa trên công bố về các sai lệch kênh trong thiết kế, chế tạo TIADC được cho trong [22]. Trong đó, luận án tập trung nghiên cứu việc xử lý tín hiệu trong các phương pháp hiệu chỉnh sai lệch kênh đề xuất.

C. Mục tiêu, đối tượng, phạm vi và phương pháp nghiên cứu

1. Mục tiêu nghiên cứu

Mục tiêu tổng quát của luận án là nghiên cứu, đề xuất các phương pháp hiệu chỉnh nền trên miền số cho các sai lệch kênh trong TIADC ứng dụng trong các máy thu SDR lấy mẫu trực tiếp. Trên cơ sở đó, luận án tiến hành giải quyết các mục tiêu cụ thể như sau:

 Nghiên cứu, đề xuất các phương pháp hiệu chỉnh nền trên miền số cho từng sai lệch kênh riêng lẻ, bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trong TIADC;

Nghiên cứu, đề xuất các phương pháp hiệu chỉnh tuần tự và đồng thời sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trong TIADC;
Nghiên cứu thực thi phần cứng FPGA cho các phương pháp hiệu chỉnh đề xuất với tài nguyên phần cứng thấp và tốc độ hiệu chỉnh nhanh.

- 2. Đối tượng nghiên cứu
 - Nghiên cứu về TIADC và các sai lệch kênh trong TIADC;

 Nghiên cứu, đề xuất các giải pháp hiệu chỉnh nền trên miền số cho các sai lệch kênh trong TIADC với tài nguyên phần cứng thấp và tốc độ hiệu chỉnh nhanh.

3. Phạm vi nghiên cứu

Tìm hiểu tổng quan về kiến trúc, nguyên lý làm việc, vị trí, vai trò của
 TIADC trong các máy thu lấy mẫu trực tiếp băng rộng;

Tập trung nghiên cứu quá trình xử lý tín hiệu trong TIADC, chưa đề cập đến công nghệ thiết kế, chế tạo TIADC;

 Nghiên cứu tổng quan về các phương pháp hiệu chỉnh nền các sai lệch kênh trong TIADC;

4. Phương pháp nghiên cứu

 Phương pháp phân tích và tổng hợp lý thuyết được sử dụng để phân tích tổng quan về TIADC và các sai lệch kênh trong TIADC;

 Phương pháp phân loại và hệ thống hóa lý thuyết để hệ thống lại các phương pháp hiệu chỉnh sai lệch kênh trong TIADC;

 Phương pháp mô hình hóa để xây dựng mô hình TIADC bao gồm các sai lệch kênh dùng cho các kỹ thuật hiệu chỉnh đề xuất;

 Phương pháp thực nghiệm được sử dụng để mô phỏng kỹ thuật đề xuất thông qua phần mềm MATLAB và thực nghiệm trên phần cứng FPGA;

 Phương pháp thống kê, so sánh để đánh giá kết quả thực nghiệm của các phương pháp đề xuất so với các công trình khác đã công bố.

D. Đóng góp của luận án

 Đề xuất phương pháp hiệu chỉnh lần lượt các sai lệch kênh trong TIADC bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. 2. Đề xuất phương pháp hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều trong TIADC. Các đề xuất trên đã được kiểm nghiệm bằng mô phỏng trên phần mềm MATLAB và kiểm chứng thông qua thực thi trên phần cứng FPGA.

E. Bố cục của luận án

Luận án được tổ chức thành 03 chương, bố cục cụ thể như sau:

- Chương 1: Tổng quan về bộ biến đổi tương tự số ghép xen thời gian Chương 1 trình bày những vấn đề chung về TIADC và các sai lệch kênh xảy ra trong TIADC. Bên cạnh đó, chương này cũng phân tích ảnh hưởng của từng sai lệch kênh đến hiệu năng của TIADC. Để có cơ sở đề xuất các phương pháp hiệu chỉnh sai lệch kênh trong TIADC, luận án đánh giá tổng quan các công trình nghiên cứu trong và ngoài nước về các phương pháp hiệu chỉnh sai lệch kênh. Từ đó rút ra ưu điểm và nhược điểm của các phương pháp đã công bố. Đây là cơ sở quan trọng để đề xuất các
- Chương 2: Phương pháp hiệu chỉnh nền trên miền số từng sai lệch kênh trong TIADC

Trên cơ sở đánh giá các công trình nghiên cứu ở Chương 1, Chương 2 xây dựng mô hình hệ thống và đề xuất các phương pháp hiệu chỉnh nền cho từng sai lệch kênh riêng lẻ trong TIADC. Đây là cơ sở quan trọng để đề xuất các phương pháp hiệu chỉnh nền cho nhiều sai lệch kênh trong TIADC.

• Chương 3: Phương pháp hiệu chỉnh nền trên miền số cho nhiều sai lệch

kênh trong TIADC

Trên cơ sở các phương pháp hiệu chỉnh nền đề xuất cho từng sai lệch kênh riêng lẻ trong Chương 2, luận án đề xuất hai phương pháp hiệu chỉnh nền cho cả ba sai lệch kênh bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Phương pháp thứ nhất thực hiện hiệu chỉnh lần lượt các sai lệch kênh. Phương pháp thứ hai thực hiện hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều. Trong đó, các phương pháp đề xuất được kiểm nghiệm bằng mô phỏng trên phần mềm MATLAB và kiểm chứng thông qua thực thi trên phần cứng FPGA.

Chương 1

TỔNG QUAN VỀ BỘ BIẾN ĐỔI TƯƠNG TỰ - SỐ GHÉP XEN THỜI GIAN

1.1. Tổng quan về bộ biến đổi tương tự - số ghép xen thời gian 1.1.1. Sự cần thiết của bộ ADC ghép xen thời gian

Trong những năm gần đây, các hệ thống thông tin vô tuyến và hữu tuyến tốc độ cao như set-top box (STB), Gateway, μ Wave Backhaul, các hệ thống thông tin băng rộng, máy vô tuyến định nghĩa bằng phần mềm (SDR) đã có những thành công trong nghiên cứu và phát triển mạnh mẽ [23]. Trong đó, tín hiệu được số hóa và xử lý ở tốc độ rất cao. Do đó, các bộ biến đổi tương tự - số (ADC) trong các hệ thống này đang đóng vai trò rất quan trọng. Nó được yêu cầu phải làm việc ở tốc độ ngày càng cao (cỡ GHz), độ phân giải cao và công suất tiêu thụ thấp [7]. Bằng cách khai thác lợi ích của việc thu nhỏ kích thước các linh kiện CMOS (CMOS: Complementary Metal-Oxide-Semiconductor) và mạch kỹ thuật số, các ADC đang được dịch chuyển về làm việc gần với ăng-ten hơn. Điều này giúp dịch chuyển vị trí các khối xử lý tương tự (bộ lọc, bộ trộn, bộ khuếch đại) dần sang miền số để tăng khả năng cấu hình và tính linh hoạt của máy thu như trong Hình 1.1 [23]. Kiến trúc máy thu như Hình 1.1 được gọi là máy thu lấy mẫu trực tiếp hoặc máy thu trực tiếp RF (RF direct receiver). Trong máy thu lấy mẫu trực tiếp, chỉ có một khối đầu cuối duy nhất cho xử lý tín hiệu tương tự, còn hầu hết phần



Hình 1.1: Sơ đồ khối máy thu lấy mẫu trực tiếp.

xử lý tín hiệu được thực hiện trên miền số. Do đó, cho phép các tuyến thu có thể được lập trình và điều chỉnh thiết kế.

Thành phần quan trọng trong tuyến thu là các bộ ADC có khả năng lấy mẫu tín hiệu vào ở tần số cao (cỡ GHz). Ngoài ra, các ADC này phải có độ phân giải cao và công suất tiêu thụ thấp. Tuy nhiên, khi tăng tốc độ lấy mẫu của ADC thì công suất tiêu thụ cũng tăng lên. Để dung hòa giữa yêu cầu về tăng tốc độ lấy mẫu và công suất tiêu thụ thì năm 1980, William Black và David Hodges đã đề xuất sử dụng nhiều ADC đơn lấy mẫu xen kẽ về mặt thời gian hay còn gọi là mô hình bộ biến đổi tương tự - số ghép xen thời gian (TIADC) [1]. Bằng cách ghép xen kẽ về mặt thời gian M kênh ADC đơn, tốc độ lấy mẫu của TIADC tăng lên M lần trong khi vẫn giữ tốc độ hoạt động của từng kênh ADC đơn ở tốc độ thấp và độ phân giải cao.

TIADC không chỉ giúp tăng tốc độ lấy mẫu, độ phân giải cao mà còn dung hòa giữa tần số lấy mẫu và công suất tiêu thụ [9,24,25]. Điều này được minh họa trong Hình 1.2 [9,24]. Hình 1.2 cho thấy, đối với ADC đơn chưa sử dụng kỹ thuật ghép xen thời gian thì công suất tiêu thụ của ADC tăng theo hàm



Hình 1.2: Quan hệ giữa công suất tiêu thụ và tần số lấy mẫu của ADC đơn và TIADC. mũ khi tần số lấy mẫu tăng quá tần số ngưỡng (f_{ng}) của ADC. Điều này là không mong muốn trong quá trình thiết kế ADC. Tuy nhiên, khi sử dụng kỹ thuật ghép xen thời gian, công suất tiêu thụ chỉ tăng tuyến tính với tần số lấy mẫu. Trong điều kiện lý tưởng thì sự tăng tuyến tính của công suất tiêu thụ theo tần số lấy mẫu là nhỏ như đường dấu chấm trong Hình 1.2.

Tóm lại, nhờ những ưu điểm về tốc độ lấy mẫu cao, độ phân giải cao và công suất tiêu thụ thấp mà TIADC được nghiên cứu và ứng dụng trong các máy thu lấy mẫu trực tiếp băng rộng. Điều này rất hữu ích khi sử dụng trong máy thu lấy mẫu trực tiếp băng rộng có sử dụng kỹ thuật lấy mẫu dải băng (hay còn gọi là sub-sampling hoặc undersampling hoặc bandpass sampling). Kỹ thuật này nhằm mục đích loại bỏ bớt các thành phần tương tự như bộ trộn, bộ lọc, bộ khuếch đại trong các máy thu lấy mẫu trực tiếp. Điều này giúp đưa quá trình xử lý tín hiệu số lại gần ăng-ten hơn, nhờ đó mà tăng tính linh hoạt và khả năng tái cấu hình của máy thu. Tuy nhiên, hiệu năng của các bộ TIADC trong thực tế bị ảnh hưởng bởi các sai lệch kênh. Các sai lệch kênh này làm cho công suất tiêu thụ của TIADC tăng tuyến tính cao hơn so với trong điều kiện lý tưởng như đường nét đứt trong Hình 1.2. Điều này làm giảm hiệu năng của TIADC. Do đó, các sai lệch kênh này cần phải được hiệu chỉnh để tăng hiệu năng của TIADC.

1.1.2. Nguyên lý hoạt động

Nguyên lý hoạt động của TIADC được minh họa trong Hình 1.3. Mô hình của bộ TIADC là một kiến trúc song song bao gồm M kênh ADC đơn lấy mẫu xen kẽ tín hiệu vào trong một chu kỳ T_s [1–5]. Mỗi ADC đơn có thể là bất kỳ loại ADC nào chẳng hạn như Flash ADC, SAR ADC, pipeline ADC hoặc Sigma Delta ADC [9, 26, 27]. Mỗi kênh ADC đơn này lấy mẫu tín hiệu đầu vào x(t) tại tần số $\frac{f_s}{M}$ với độ lệch pha giữa các kênh lân cận là $\phi_i(t), \ 0 \le i \le M - 1$. Thời gian lấy mẫu lý tưởng của các ADC con được cho bởi [28]:

$$t_{ideal}[k] = (kM + i)T_s, \ k \in \mathbb{Z}, \ i \in [0, 1, ..., M - 1],$$
(1.1)



Hình 1.3: Mô hình TIADC M kênh (a) và giản đồ thời gian của TIADC M kênh (b).

với Z là tập các số nguyên. Như vậy, thời gian lấy mẫu giữa hai kênh liên tiếp cách nhau một khoảng T_s như Hình 1.3(b). Tín hiệu số đầu ra của kênh ADC thứ *i* được biểu diễn như sau [28]:

$$y_i[k] = x(t_{ideal}) = x[kM + i].$$
 (1.2)

Sau đó, tín hiệu đầu ra $y_i[k]$ được ghép lại với nhau để tạo thành tín hiệu số đầu ra số của TIADC y[n] có tần số lấy mẫu là f_s [28].

$$y[n] = y_i \left[\frac{n-i}{M}\right], \text{ với } i = (n \mod M).$$
 (1.3)

Do đó, tốc độ lấy mẫu của TIADC theo lý thuyết tăng lên M lần. Tuy nhiên, trong thực tế, hiệu suất của các bộ TIADC này bị ảnh hưởng bởi các sai lệch kênh. Nguyên nhân của các sai lệch kênh này là do sai lệch trong quá trình xử lý, do điện áp, do nhiệt độ,... Điều này dẫn đến các sai lệch kênh như sai lệch một chiều, sai lệch về khuếch đại, sai lệch định thời và sai lệch băng thông.

1.1.3. Các tham số của TIADC

Có nhiều tham số để đánh giá chất lượng của TIADC như tỉ số tín hiệu trên tạp âm (SNR), tỉ số tín hiệu trên tạp âm và méo (SNDR), dải động không chứa hài (SFDR), số bit hiệu dụng (ENOB), tần số lấy mẫu (f_s), công suất tiêu thụ (P), hệ số sử dụng năng lượng (FoM),... [29–32]. Trong các ứng dụng viễn thông thường sử dụng SNR hoặc SNDR và SFDR để đánh giá hiệu năng của ADC trong miền tần số [30]. Ngoài ra, trong thiết kế vi mạch thường quan tâm đến f_s , P, ENOB và FoM của ADC. Chính vì vậy, luận án tập trung làm rõ những tham số này để ứng dụng vào đánh giá hiệu quả của các phương pháp hiệu chỉnh đề xuất ở những chương tiếp theo.

* Tỉ số tín hiệu trên tạp âm và tỉ số tín hiệu trên tạp âm và méo

Đây là hai tham số cần được xem xét cẩn thận khi nghiên cứu về ADC. Tỉ số tín hiệu trên tạp âm là tỉ số giữa công suất tín hiệu và công suất tạp âm lượng tử trong một băng tần nhất định và được tính như sau [29–31]:

$$SNR = \frac{P_s}{P_n},\tag{1.4}$$

Trong đó, P_s là công suất trung bình của tín hiệu và P_n là công suất tạp âm lượng tử. Khi biểu diễn bằng đơn vị đề-xi-ben (dB) thì SNR được tính như sau:

$$\operatorname{SNR}(\mathrm{dB}) = 10 \log\left(\frac{P_s}{P_n}\right).$$
 (1.5)

Trong các ADC đơn, tùy vào phương pháp lượng tử hóa mà có cách tính SNR khác nhau. Có hai phương pháp lượng tử hóa phổ biến được sử dụng: lượng tử hóa đều (lượng tử hóa tuyến tính) và lượng tử hóa không đều (lượng tử hóa phi tuyến). Trong lượng tử hóa đều thì có thể lượng tử hóa theo kiểu làm tròn hoặc cắt bỏ. Trong lượng tử hóa đều thì công suất trung bình của tín hiệu tỉ lệ với bình phương biên độ của tín hiệu như sau:

$$P_s = k|x|^2, (1.6)$$

Trong đó, k là hệ số tỉ lệ, $|x|^2$ là bình phương biên độ của tín hiệu. Tuy nhiên, công suất tạp âm lượng tử lại được tính tùy thuộc vào kiểu lượng tử hóa cắt bỏ hoặc làm tròn. Khi sử dụng kiểu cắt bỏ thì công suất tạp âm lượng tử được xác định như sau:

$$P_n^{CB} = \int_{-\infty}^{\infty} p_n(\varepsilon)\varepsilon^2 \mathrm{d}\varepsilon = \int_0^p \frac{1}{q}\varepsilon^2 \mathrm{d}\varepsilon = \frac{1}{q} \left. \frac{\varepsilon^3}{3} \right|_0^q = \frac{q^2}{3}.$$
 (1.7)

Do đó, công thức tính SNR của ADC khi lượng tử hóa tuyến tính theo

kiểu cắt bỏ sẽ là:

$$SNR^{CB} = \frac{P_s}{P_n^{CB}} = \frac{k|x|^2}{\frac{q^2}{3}} = 3k\frac{|x|^2}{q^2}.$$
 (1.8)

Khi sử dụng kiếu làm tròn thì công suất tạp âm lượng tử được xác định như sau:

$$P_n^{LT} = \int_{-\infty}^{\infty} p_n(\varepsilon)\varepsilon^2 \mathrm{d}\varepsilon = \int_{-\frac{q}{2}}^{\frac{q}{2}} \frac{1}{q}\varepsilon^2 \mathrm{d}\varepsilon = \frac{1}{q} \left. \frac{\varepsilon^3}{3} \right|_{-\frac{q}{2}}^{\frac{q}{2}} = \frac{q^2}{12}.$$
 (1.9)

Do đó, công thức tính SNR của ADC khi lượng tử hóa tuyến tính theo kiểu làm tròn sẽ là:

$$SNR^{LT} = \frac{P_s}{P_n^{LT}} = \frac{k|x|^2}{\frac{q^2}{12}} = 12k\frac{|x|^2}{q^2}.$$
 (1.10)

Từ công thức (1.8) và (1.10) có thể thấy rằng, $SNR^{LT} > SNR^{CB}$ nên trong thực tế thường dùng phương pháp lượng tử hóa tuyến tính theo kiểu làm tròn. Ngoài ra, khi lượng tử hóa tuyến tính thì SNR luôn phụ thuộc vào mức tín hiệu. Có nghĩa là, khi tăng mức lượng tử thì sẽ làm giảm công suất tạp âm lượng tử (P_n), do đó giúp tăng SNR. Tuy nhiên, việc tăng quá mức số mức lượng tử dẫn đến hai hệ quả: Thứ nhất, số mức lượng tử lớn dẫn đến số bit dùng để mã hóa các mức lượng tử tăng (cứ tăng số mức lượng tử lên hai lần thì phải thêm 1 bit trong tổ hợp mã), làm tăng tốc độ bit và do vậy tăng phổ chiếm dụng của tín hiệu số; Thứ hai, với cùng một dải động tín hiệu, việc tăng quá nhiều số mức lượng tử sẽ có thể dẫn đến mức lượng tử khôi phục lại ở phía thu bị nhận nhầm dưới tác động của tạp âm nhiệt trong các mạch điện tử. Thêm vào đó, nếu lượng tử hóa đều thì việc chia các mức với số mức tối thiểu (nhằm giảm số bit mã hóa cần dùng) xác định theo độ chính xác đã cho đối với các mức cao của tín hiệu lại dẫn đến sai số lớn đối các mức tín hiệu thấp của tín hiệu thoại thường xảy ra nhiều hơn so với các mức cao. Các mâu thuẫn nói trên trong thực tế được khắc phục nhờ áp dụng lượng tử hóa không đều (hay còn gọi là lượng tử hóa phi tuyến). Trong đó, khoảng cách giữa các mức lượng tử được chọn lớn đối với các tín hiệu lớn và chọn khoảng cách nhỏ đối với các tín hiệu nhỏ. Giải pháp này là khá tự nhiên do đối với mức tín hiệu lớn thì SNR vẫn khá nhỏ dù sai số lượng tử tuyệt đối có lớn. Tuy nhiên, việc chia các mức lượng tử không đều lại khá khó thực hiện trong thực tế và một giải pháp tương đương thường được áp dụng là thực hiện lượng tử hóa đều các tín hiệu được nén. Luật nén được áp dụng trong điều chế mã xung tín hiệu điện thoại là luật logarit, trong đó tín hiệu ra y của mạch nén biến thiên theo luật logarit của tín hiệu vào x. Ở phần thu, tín hiệu được giãn (giải nén) trở lại. Việc duy trì nén-giãn chính xác là một yêu cầu rất ngặt nghèo nhằm tránh các méo tín hiệu do quá trình

Các luật nén logarit được áp dụng trong hệ Châu Âu và hệ Mỹ theo cách khác nhau. Điều này là do lịch sử quá trình phát triển viễn thông trước đây trên các khu vực khác nhau để lại. Luật nén được áp dụng là luật μ đối với hệ Mỹ. Trong khi đó, hệ Châu Âu sử dụng luật nén A. Biểu thức giải tích xác định các luật nén μ và A là:

- Luật nén μ (hệ Mỹ):

$$y = sign(x)\frac{\ln(1+\mu|x|)}{\ln(1+\mu)}, \quad -1 \le x \le 1,$$
(1.11)

- Luật nén A (hệ châu Âu):

$$y = \begin{cases} sign(x) \frac{A|x|}{1+\ln A}, & 0 \le |x| \le 1/A\\ sign(x) \frac{1+\ln A|x|}{1+\ln A}, & 1/A \le |x| \le 1 \end{cases}$$
(1.12)

Trong các biểu thức (1.11) và (1.12), x và y lần lượt là các giá trị của các tín hiệu đầu vào và đầu ra của bộ nén được chuẩn hóa theo giá trị cực đại của chúng. Theo khuyến nghị G.711 của Ủy ban Tư vấn quốc tế về điện thoại và điện báo, giá trị của các tham số được chọn là: A = 87, 6 và $\mu = 255$.

Lượng tử hóa phi tuyến được sử dụng để đạt hiệu quả cao về SNR. Trong đó, thuật toán nén-giãn được áp dụng cho hai hệ thống Mỹ và Châu Âu dựa trên việc xấp xỉ các đường cong đặc trưng nén-giãn tương tự tương ứng với hai chuẩn μ và A. Cụ thể với hệ Mỹ, đường cong đặc trưng nén-giãn tương tự được xấp xỉ bằng 15 đoạn thẳng (bao gồm 7 đoạn dương, 7 đoạn âm và một đoạn qua gốc tọa độ). Với hệ Châu Âu, được xấp xỉ thành 13 đoạn thẳng (bao gồm 6 đoạn dương, 6 đoạn âm và một đoạn qua gốc tọa độ được chia thành 4 phân đoạn). Điều này được thể hiện trên Hình 1.4.



Hình 1.4: So sánh các phương pháp lượng tử hóa.

Với phạm vi của Luận án là tập trung giải quyết các sai lệch kênh trong các bộ TIADC thì Luận án xem xét và thực hiện phân tích đối với các ADC thành phần được lượng tử hóa tuyến tính. Điều này cũng phù hợp với các công trình đã công bố gần đây trên thế giới khi xem xét về sai lệch kênh và các phương pháp hiệu chỉnh sai lệch kênh trong TIADC [4,6,7,21,33–37].

Trong các ADC thực tế không chỉ có tạp âm lượng tử mà còn có cả méo. Do đó, khi xem xét hiệu năng của ADC thực tế người ta thường xem xét tỉ số tín hiệu trên tạp âm và méo (SNDR). Đó là tỉ số giữa công suất tín hiệu và tổng công suất tạp âm và méo trong một băng tần nhất định và được tính như sau [6,38,39]:

$$SNDR(dB) = 10 \log\left(\frac{P_s}{P_n + P_d}\right), \qquad (1.13)$$

Trong đó, P_d là công suất méo sinh ra trong ADC. SNDR là tham số quan trọng được sử dụng để đánh giá hiệu năng của ADC, đặc biệt khi lấy mẫu tín hiệu vào có tần số cao. SNDR còn được sử dụng để đánh giá sự suy giảm độ phân giải của ADC thực tế so với ADC lý tưởng.

* Dải động không chứa hài (SFDR)

SFDR là tỉ số của công suất tín hiệu và công suất hài lớn nhất trong một băng tần nhất định như minh họa trong Hình 1.5. Nghĩa là, SFDR chỉ ra đặc tính của thành phần hài, nguyên nhân chính làm hẹp dải tần của mạch và vì thế thông số này rất quan trọng. SFDR càng lớn thì chất lượng của ADC càng cao. SFDR thường được tính theo đơn vị đề-xi-ben như sau [30,39]:

$$SFDR(dB) = 10 \log \left(\frac{C \hat{o} ng \ suất \ tín \ hiệu}{C \hat{o} ng \ suất \ hài \ lớn \ nhất} \right) = 10 \log \left(\frac{X_1^2}{X_s^2} \right), \quad (1.14)$$

Trong đó, X_1 là giá trị trung bình bình phương của tín hiệu gốc và X_s là giá trị trung bình bình phương của hài lớn nhất. SFDR tại phổ tần đầu ra của

ADC được minh họa như Hình 1.5.

* Số bit hiệu dụng (ENOB) của ADC

Một ADC lý tưởng chỉ có lỗi lượng tử thì độ phân giải của ADC được suy ra từ công thức (1.5) như sau [30, 39]:

$$N(bit) = \frac{SNR - 1,76}{6,02}.$$
(1.15)

Tuy nhiên, ADC trong thực tế không chỉ có tạp âm lượng tử mà còn có cả méo. Do đó, SNR thực tế sẽ là SNDR. Vì vậy, độ phân giải thực tế (hay số bit hiệu dụng) của ADC lúc này sẽ được tính theo công thức (1.16) [30,39]:

$$ENOB(bit) = \frac{SNDR - 1,76}{6,02}.$$
 (1.16)

Công thức (1.16) cho thấy ENOB tỉ lệ tuyến tính với SNDR. Do đó, ENOB sẽ bị suy giảm so với N do SNDR nhỏ hơn SNR.

* Tần số lấy mẫu f_s

Tần số lấy mẫu thể hiện lượng mẫu mà tín hiệu đầu vào được ADC xử lý trong một đơn vị thời gian $f_s = 1/T_s$. Tần số lấy mẫu còn có thể được biểu



Hình 1.5: Minh họa về SFDR trong phổ tần số đầu ra của ADC.
diễn bằng đơn vị rad/s theo biểu thức $\omega_s = 2\pi/T_s$. f_s thể hiện tốc độ làm việc của ADC và là một trong những yếu tố quyết định độ chính xác của quá trình chuyển đổi và công suất tiêu thụ. Trong các ứng dụng hiện nay tần số lấy mẫu càng cao càng tốt. Tuy nhiên, tần số lấy mẫu của ADC phải thỏa mãn định lý lấy mẫu Nyquist–Shannon.

* Công suất tiêu thụ P

Công suất tiêu thụ là tham số quan trọng trong khi thiết kế và thực thi các mạch điện tử nói chung và ADC nói riêng. Đây là tổng công suất toàn mạch sử dụng trong quá trình làm việc. Công suất tiêu thụ của ADC phụ thuộc vào loại kiến trúc ADC được sử dụng trong thiết kế. Giá trị này càng nhỏ càng tốt vì điều đó có nghĩa mạch càng tiết kiệm năng lượng. Tuy nhiên, công suất tiêu thụ của ADC thường phải đánh đổi với độ chính xác và tần số lấy mẫu. Khi tần số lấy mẫu của ADC lớn thì công suất tiêu thụ cũng lớn và ngược lại. Điều tương tự cũng xảy ra đối với độ chính xác của ADC.

* Hệ số phẩm chất (FoM)

FoM là tham số được sử dụng để thể hiện năng lượng chuyển đổi bit theo tốc độ, tức là tham số thể hiện năng lượng mà ADC cần tiêu thụ để chuyển đổi được 1 bit. Đây là thông số được coi là có ý nghĩa nhất khi xét hiệu năng của một ADC sau khi thiết kế chế tạo vì nó thể hiện mối quan hệ giữa P, ENOB và f_s nên nó được sử dụng rộng rãi trong giới khoa học khi so sánh chất lượng của ADC. FoM được xác định theo biểu thức sau [30,32]:

$$FoM(J/conv) = \frac{P(W)}{f_s(Hz) \times 2^{ENOB(bit)}}.$$
(1.17)

Biểu thức này cho thấy FoM sẽ giảm khi tăng ENOB và/hoặc f_s trong khi giảm P và ngược lại.

1.2. Các sai lệch kênh trong TIADC

Như phân tích ở phần trước, hiệu năng của các bộ TIADC trong thực tế bị ảnh hưởng bởi các sai lệch kênh. Nguyên nhân gây ra các sai lệch kênh này là do sai lệch trong quá trình xử lý, điện áp, nhiệt độ,... Điều này dẫn đến sự khác nhau trong các thành phần độ lệch một chiều, độ khuếch đại, thời gian lấy mẫu và băng thông giữa các kênh với nhau. Sự khác nhau của các thành phần này giữa các kênh được gọi là các lõi sai lệch kênh. Tương ứng với các thành phần lỗi là các sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông. Các sai lệch kênh này tạo ra các hài không mong muốn trong phổ tần đầu ra và làm suy giảm nghiêm trọng hiệu năng của TIADC [8–10,35,40–44]. Để hiểu rõ về quá trình sinh ra các sai lệch này trong quá trình lấy mẫu của TIADC, luận án xét mô hình sai lệch kênh gây ra trong từng kênh của TIADC như minh họa trong Hình 1.6. Trong mô hình này, các sai lệch băng thông và sai lệch định thời được sinh ra do lỗi trong mạch trích và giữ mẫu (S/H) của TIADC. Sai lệch khuếch đại và sai lệch một chiều sinh ra do độ khuếch đại và độ lệch một chiều khác nhau giữa các kênh.

Xét tín hiệu tương tự đầu vào x(t) có băng tần hữu hạn sao cho $X(j\omega) = 0$, với tần số $|\omega| \ge B$ và băng thông $B \le \pi/T$. Điều này có nghĩa là định lý lấy mẫu Nyquist-Shannon được thỏa mãn và tín hiệu này có thể khôi phục được. Tín hiệu vào được lấy mẫu tại từng kênh với tần số f_s/M . Xét TIADC có tất cả các sai lệch kênh. Đầu ra của kênh thứ *i* có chứa tất cả các sai lệch kênh (ký hiệu là $y_i[k]$) bao gồm sai lệch một chiều o_i , sai lệch khuếch đại g_i , sai lệch định thời t_i và sai lệch băng thông $h_{\tau_i}(t)$. Quá trình lấy mẫu tín hiệu vào x(t) chịu sự tác động của các lỗi sai lệch kênh được minh họa trong



Hình 1.6: Mô hình các sai lệch kênh trong từng kênh của TIADC.

Hình 1.6. Tín hiệu được lấy mẫu từ các kênh này sau đó được ghép lại với nhau để tạo thành tín hiệu số đầu ra của TIADC được ký hiệu là y[n] như minh họa trên Hình 1.7.

Trong trường hợp lý tưởng, các mẫu của tín hiệu vào x(t) được biểu diễn



Hình 1.7: Mô hình các sai lệch kênh trong TIADC M kênh.

như sau [28]:

$$x_d(t) = \sum_{k=-\infty}^{+\infty} x(t)\delta(t - kT_s).$$
 (1.18)

Sau khi lấy mẫu, nếu không có lỗi thì đầu ra của kênh thứ i tại mẫu thứ k được biểu diễn như sau:

$$y_i[k] = x[kM+i].$$
 (1.19)

Tuy nhiên, do các sai lệch kênh được minh họa như trong Hình 1.7 nên đầu ra của kênh thứ i tại mẫu thứ k được biểu diễn lại như sau [45]:

$$y_i[k] = g_i x[kM + i + t_i] * h_{\tau_i}(t) + o_i.$$
(1.20)

Do đó, đầu ra của kênh thứ i trong miền thời gian được biểu diễn như sau [28,45]:

$$y_{i}(t) = \sum_{k=-\infty}^{+\infty} y_{i}[k]\delta(t - (kM + i)T_{s})$$

$$= \sum_{k=-\infty}^{+\infty} (g_{i}x[kM + i + t_{i}] * h_{\tau_{i}}(t) + o_{i}) \,\delta(t - (kM + i)T_{s}).$$
(1.21)

Sau khi ghép kênh, tín hiệu đầu ra của TIADC được cho bởi [9,28,45]:

$$y(t) = \sum_{i=0}^{M-1} y_i(t)$$

= $\sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} \underbrace{(g_i x [kM + i + t_i] * h_{\tau_i}(t) + o_i)}_{\hat{x}_i}$
 $\times \underbrace{\delta(t - (kM + i)T_s)}_{s_i},$ (1.22)

Trong đó, \hat{x}_i là kênh thứ *i* thu được bao gồm tất cả các lỗi, s_i là một chuỗi các xung Dirac. Do đó, để tìm phổ đầu ra của TIADC ta cần biến đổi Fourier

 \hat{x}_i và s_i như sau [9, 28, 45]:

$$S_i(j\omega) = \frac{2\pi}{MT} \sum_{k=-\infty}^{+\infty} \delta(\omega - k\frac{\omega_s}{M}) e^{-jki\frac{2\pi}{M}},$$
(1.23)

$$\hat{X}_i(j\omega) = g_i e^{-j\omega t_i} H_i(j\omega) X_i(j\omega) + o_i \delta(\omega).$$
(1.24)

Phổ tần đầu ra của TIADC bao gồm tất cả các lỗi sai lệch kênh được biểu diễn như sau [9,28,45]:

$$Y(j\omega) = \sum_{i=0}^{M-1} \frac{1}{2\pi} \hat{X}_i(j\omega) S_i(j\omega). \qquad (1.25)$$

Thay (1.23) và (1.24) vào (1.25) ta được [9, 28, 45]:

$$Y(j\omega) = \frac{1}{T_s} \sum_{i=0}^{M-1} \left[\frac{1}{M} \sum_{k=-\infty}^{+\infty} g_i H_i \left(j \left(\omega - k \frac{\omega_s}{M} \right) \right) e^{-j \left(\omega - k \frac{\omega_s}{M} \right) t_i} e^{-jki \frac{2\pi}{M}} \right]$$
$$\times X \left(j \left(\omega - k \frac{\omega_s}{M} \right) \right) + \frac{1}{T_s} \sum_{i=0}^{M-1} \frac{1}{M} \sum_{k=-\infty}^{+\infty} o_i e^{-jki \frac{2\pi}{M}} \delta \left(\omega - k \frac{\omega_s}{M} \right). \quad (1.26)$$

Biếu thức này chỉ ra rằng, khi có tất cả các lỗi thì các tín hiệu đầu vào được điều chế bằng các biểu thức trong ngoặc bao gồm tích của sai lệch khuếch đại, sai lệch băng thông và sai lệch định thời. Những lỗi này xuất hiện ở mỗi tần số $\pm \omega_{in} + k \frac{\omega_s}{M}$, trong đó ω_{in} là tần số tín hiệu vào. Trong khi đó, sai lệch một chiều là thành phần cộng thêm vào tín hiệu, độc lập với tín hiệu vào và xuất hiện tại các vị trí $k \frac{\omega_s}{M}$. Điều này được minh họa trong Hình 1.8. Hình 1.8(a) và 1.8(b) lần lượt minh họa cho ảnh hưởng của các sai lệch kênh lên hiệu năng của TIADC 2 kênh và 4 kênh. Từ đây chúng ta thấy rõ ràng rằng, hiệu năng của TIADC (cụ thể là tham số SFDR) đã bị giảm đáng kể bởi sự xuất hiện của các hài do các sai lệch kênh gây ra. Ngoài ra như phân tích ở trên, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông xảy ra tại các vị trí $\pm \omega_{in} + k \frac{\omega_s}{M}$ và phụ thuộc tần số tín hiệu vào. Sai lệch một chiều là



Hình 1.8: Phổ tần đầu ra TIADC bao gồm tất cả các lỗi sai lệch kênh đối với: (a) TIADC 2 kênh, (b) TIADC 4 kênh

thành phần cộng thêm vào đầu ra của TIADC, chỉ xảy ra tại các vị trí $k_{\overline{M}}^{\omega_s}$ và không phụ thuộc tần số tín hiệu vào.

1.3. Anh hưởng của các sai lệch kênh trong TIADC

Để có cơ sở nghiên cứu và đề xuất các phương pháp hiệu chỉnh cho các sai lệch kênh, phần này phân tích chi tiết ảnh hưởng của từng sai lệch kênh đến hiệu năng của TIADC. Đây là cơ sở để đề xuất các phương pháp hiệu chỉnh các sai lệch kênh ở các chương tiếp theo. Ở phần này, trên cơ sở phân tích các biểu thức toán học trên miền thời gian và miền tần số, luận án chỉ ra ảnh hưởng của từng sai lệch kênh đến hiệu năng của TIADC trên miền thời gian và miền tần số.

1.3.1. Ảnh hưởng của sai lệch một chiều

Xét TIADC chỉ có sai lệch một chiều và không có các sai lệch khác (tức là $g_i = 1, t_i = 0$ và $h_{\tau_i}(t) = 1$). Khi đó, công thức (1.20) trở thành [5,6]:

$$y_i[k] = x[kM+i] + o_i.$$
 (1.27)

Tín hiệu đầu ra của TIADC trong công thức (1.22) được viết lại như sau:

$$y(t) = x(t) + \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} o_i \delta(t - (kM + i)T_s).$$
(1.28)

Công thức (1.27) và (1.28) thể hiện lỗi sai lệch một chiều được cộng thêm vào tín hiệu các kênh ADC trong miền thời gian và không phụ thuộc tần số tín hiệu vào.

Khi xem xét ảnh hưởng của sai lệch một chiều trên miền tần số, công thức (1.26) được viết lại như sau:

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right) \left[\frac{1}{M} \sum_{i=0}^{M-1} e^{-jki\frac{2\pi}{M}}\right] + \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \frac{1}{M} \sum_{i=0}^{M-1} o_i e^{-jki\frac{2\pi}{M}} \delta\left(\omega - k\frac{\omega_s}{M}\right), \qquad (1.29)$$

Trong đó, ω_s là tần số góc của xung nhịp lấy mẫu và

$$\frac{1}{M} \sum_{i=0}^{M-1} e^{-jki\frac{2\pi}{M}} = \begin{cases} 1 & \text{n\'eu} \ k = [0, M] \\ 0 & \text{n\'eu} \ k \neq [0, M] \end{cases}.$$
 (1.30)

Vì vậy, phổ tần đầu ra của TIADC chỉ có sai lệch một chiều trong công thức (1.29) được viết lại như sau [6]:

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right) + \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \frac{1}{M} \sum_{i=0}^{M-1} o_i e^{-jki\frac{2\pi}{M}} \delta\left(\omega - k\frac{\omega_s}{M}\right).$$
(1.31)
Sai lêch một chiều

Công thức (1.31) cho thấy các hài xuất hiện tại các vị trí $k\omega_s/M$ (với k = 0, 1, ..., M - 1). Do đó, khi xét trên miền tần số thì các sai lệch một chiều cũng không phụ thuộc tần số tín hiệu vào. Ảnh hưởng của sai lệch một chiều trên miền thời gian và miền tần số được minh họa như Hình 1.9. Trên miền thời gian, sai lệch một chiều là hằng số theo từng kênh được cộng thêm vào tín hiệu như Hình 1.9(a). Trên miền tần số, sai lệch một chiều xuất hiện tại các điểm cố định có vị trí là bội của ω_s/M như Hình 1.9(b).

Ngoài ra, cần chú ý rằng, ảnh hưởng của sai lệch một chiều phụ thuộc vào giá trị sai lệch một chiều và số kênh ghép xen mà không phụ thuộc tần số tín hiệu vào. Điều đó có nghĩa là SNDR/SFDR là hằng số với mọi tần số đầu vào. Do phổ tín hiệu là tuần hoàn nên chỉ cần tập trung xem xét trong một chu kỳ để thấy được ảnh hưởng của các sai lệch một chiều, ví dụ $-\frac{\pi}{2} < \omega_{in}T_s < \frac{\pi}{2}$. Giả sử các giá trị sai lệch một chiều o_i là các đại lượng ngẫu nhiên phân bố Gauss với trung bình bằng 0 và phương sai δ_o . Lúc này, sự suy giảm SNDR do sai lệch một chiều được cho bởi công thức sau [30]:

$$SNDR = 10\log_{10}\left(\frac{A_{in}^2}{2\delta_o^2}\right).$$
(1.32)

Do đó, SNDR và ENOB là hàm của sai lệch một chiều δ_o và giảm tuyến tính theo hàm mũ khi sai lệch một chiều tăng lên. Điều này được minh họa như



Hình 1.9: Ánh hưởng của lỗi sai lệch một chiều lên đầu ra của TIADC: (a) miền thời gian, (b) miền tần số.

trong Hình 1.10. Hình 1.10(a) và Hình 1.10(b) lần lượt minh họa cho sự suy giảm của SNDR và ENOB khi các lỗi sai lệch một chiều δ_o tăng lên (trong đó giả sử biên độ tín hiệu vào $A_{in} = 1$). Kết quả mô phỏng trên Hình 1.10 cho thấy, đối với TIADC chỉ có sai lệch một chiều, để đạt được độ phân giải hiệu dụng 10 bit và SNDR = 60 dB thì phương sai của sai lệch một chiều δ_o phải nhỏ hơn 0,00071.



Hình 1.10: Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch một chiều.

1.3.2. Ảnh hưởng của sai lệch khuếch đại

Sai lệch khuếch đại trong TIADC được mô tả như sự thay đổi độ dốc (góc lệch) của đặc tuyến vào/ra thực tế so với lý tưởng. Nếu tín hiệu vào là tín hiệu hình sin thì sự khác nhau lớn nhất xảy ra tại đỉnh của sóng sin [5]. Trong kiến trúc ghép xen thời gian, sai lệch khuếch đại là sự khác nhau về hệ số khuếch đại giữa các kênh ghép xen thời gian với nhau. Xét TIADC chỉ có sai lệch khuếch đại xuất hiện trong kênh thứ i và bỏ qua các sai lệch khác (tức là $o_i = 0$, $t_i = 0$ và $h_{\tau_i}(t) = 1$) thì phương trình (1.20) trở thành [6,30]:

$$y_i[k] = g_i x[kM+i].$$
 (1.33)

Do đó, đầu ra của kênh thứ i trong miền thời gian được biểu diễn như sau:

$$y_{i}(t) = \sum_{k=-\infty}^{+\infty} y_{i}[k]\delta(t - (kM + i)T_{s})$$

= $\sum_{k=-\infty}^{+\infty} g_{i}x[kM + i]\delta(t - (kM + i)T_{s}).$ (1.34)

Tín hiệu đầu ra của TIADC chỉ có sai lệch khuếch đại được biểu diễn như sau [6,30]:

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} g_i x[kM+i]\delta(t - (kM+i)T_s).$$
(1.35)

Phương trình này chỉ ra rằng tín hiệu vào được điều chế với các lỗi sai lệch khuếch đại của các kênh. Điều này được minh họa trong Hình 1.11(a).

Phân tích trên miền tần số đối với tín hiệu vào hình sin có tần số là ω_{in} thì phổ tần đầu ra của TIADC chỉ có sai lệch khuếch đại như sau [6,30]:

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} g_i \cdot e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lệch khuếch đại}} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right).$$
(1.36)

Công thức (1.36) cho thấy sai lệch khuếch đại là một hàm của số kênh ghép xen thời gian M, giá trị các sai lệch khuếch đại trên từng kênh g_i và không phụ thuộc tần số tín hiệu vào ω_{in} . Thành phần này được nhân với bản sao của tín hiệu như trong công thức (1.36) để tạo thành tín hiệu điều chế biên độ của tín hiệu vào. Hậu quả là tại phổ tần đầu ra xuất hiện các hài tại các tần số $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$). Điều này được thể hiện trong Hình 1.11(b). Hình 1.11(b) biểu diễn phổ tần đầu ra của TIADC 13 bit 4 kênh lấy mẫu tại tần số 2,7 GHz chỉ bị ảnh hưởng bởi sai lệch khuếch đại.

Đối với tín hiệu vào hình sin, giả sử sai lệch khuếch đại g_i là các đại lượng ngẫu nhiên Gauss với trung bình Δg và phương sai σ_g . Lúc này, sự suy giảm



Hình 1.11: Ánh hưởng của lõi sai lệch khuếch đại lên TIADC 4 kênh: (a) miền thời gian, (b) miền tần số.

SNDR do sai lệch khuếch đại được cho bởi công thức sau [8, 30]:

$$SNDR = 20\log_{10}\left(\frac{\Delta g}{\sigma_g}\right) - 10\log_{10}\left(1 - \frac{1}{M}\right). \tag{1.37}$$

Thành phần cuối cùng của công thức (1.37) cho thấy SNDR phụ thuộc vào số kênh ghép xen thời gian. Tuy nhiên, sự phụ thuộc này thay đổi rất ít (khoảng 3 dB) khi M tăng từ 2 đến ∞ . Công thức (1.37) cũng chỉ ra rằng SNDR là hàm của lõi sai lệch khuếch đại σ_g nên ENOB cũng là hàm của σ_g . Điều này được minh họa như trong Hình 1.12. Hình 1.12(a) và Hình 1.12(b) lần lượt biểu diễn cho sự suy giảm SNDR và ENOB của TIADC theo lõi sai lệch khuếch đại với số kênh ghép xen thời gian lần lượt là 2, 4, 8 (trong đó $\Delta g = 1$). Kết quả mô phỏng trên Hình 1.12 cho thấy, đối với TIADC 4 kênh, để đạt được độ phân giải hiệu dụng 12 bit và SNDR = 75 dB thì sai lệch khuếch đại phải nhỏ hơn 0,00021.

1.3.3. Anh hưởng của sai lệch định thời

Sai lệch định thời (thường được gọi là timing mismatch hoặc timing skew hoặc clock skew hoặc phase skew hoặc lỗi thời gian lấy mẫu) là sai lệch thời gian lấy mẫu giữa các kênh ADC trong kiến trúc ghép xen thời gian. Sai lệch này có thể được tạo ra bởi nhiều yếu tố trong quá trình cấp tín hiệu đồng bộ từ bộ tạo xung đồng bộ đến các ADC thành phần, chẳng hạn như: chiều dài dây nối, sự thay đổi nhiệt độ, sự sai lệch về độ trễ đường truyền từ bộ tạo xung đồng bộ đến các ADC, điện dung khớp nối và sự khác nhau về điện dung trong các chuyển mạch đầu vào [9,45]. Do đó, mỗi kênh sẽ bị tăng hoặc giảm đi một khoảng thời gian t_i khác nhau và dẫn tới các sai lệch tại đầu ra của TIADC. Liên quan đến lỗi sai lệch định thời có hai loại cần phải phân



Hình 1.12: Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch khuếch đại.

jitter) [6,9,24]. Hai loại sai lệch này được minh họa trong Hình 1.13.

* Sai lệch định thời

Trong điều kiện lý tưởng thì sườn dốc của xung đồng bộ của hai kênh liên tiếp là T_s để đảm bảo cho các ADC con hoạt động xen kẽ về mặt thời gian như minh họa trong Hình 1.3(b). Tuy nhiên do các sai lệch trong việc tạo và

cấp xung đồng bộ đã gây ra độ trễ giữa các xung đồng bộ cấp cho các kênh. Sai lệch này dẫn đến đường bao của xung đồng bộ thực tế và lý tưởng là khác nhau như trong Hình 1.13.

* Rung pha ngẫu nhiên

Đây là sai số ngẫu nhiên trong chính đường bao của xung đồng bộ. Nó sinh ra do nhiễu pha của các bộ đệm đồng bộ. Nguyên nhân chính của lỗi này là do nhiễu thiết bị và nhiễu ngẫu nhiên của nguồn cung cấp.

Sai lệch định thời tạo ra các lõi giống như điều chế pha của tín hiệu đầu vào và sinh ra các nhiễu ảnh trong phổ tần đầu ra. Do đó, các hài do sai lệch định thời làm giảm SFDR của ADC. Rung pha ngẫu nhiên có thể được xem như phân bố Gauss của các thời điểm lấy mẫu [24]. Khác với sai lệch định thời, rung pha ngẫu nhiên tạo ra các lõi được trải ra trên toàn bộ băng tần Nyquist của ADC. Do đó, nó làm tăng nhiễu nền trong phổ tần tín hiệu và



Hình 1.13: Minh họa về sai lệch định thời và rung pha ngẫu nhiên.

làm giảm SNR. Cần chú ý rằng, các lỗi do rung pha ngẫu nhiên không tăng lên trong kiến trúc ghép xen thời gian giống như sai lệch định thời, nhưng đây lại là lỗi cơ bản và luôn tồn tại trong các kênh ADC đơn [46]. Do đó, giống như các công trình khác, trong luận án này chỉ xem xét ảnh hưởng của sai lệch định thời mà không xem xét lỗi do rung pha ngẫu nhiên.

Xét TIADC chỉ có sai lệch định thời và không có các sai lệch khác (có nghĩa là $o_i = 0$, $g_i = 1$ và $h_{\tau_i}(t) = 1$). Lúc này, đầu ra của kênh ADC thứ i chỉ có sai lệch định thời t_i được biểu diễn trên miền thời gian như sau:

$$y_i[k] = x[kM + i + t_i].$$
(1.38)

Do đó, đầu ra của TIADC khi chỉ có sai lệch định thời sẽ là [6,9,30]:

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} x(t+t_i)\delta(t-(kM+i)T_s).$$
(1.39)

Sai lệch định thời xảy ra trong pha của tín hiệu và xuất hiện tại đầu ra giống như quá trình điều chế pha. Điều này có thể quan sát được thông qua phân tích trên miền tần số. Trong thực tế, như minh họa trong Hình 1.14(a), sai lệch định thời tạo ra các tạp âm tại đầu ra của TIADC và trong miền thời gian, các lõi sai lệch định thời lớn nhất xảy ra khi tín hiệu vào đảo chiều, có nghĩa là đi qua điểm 0. Điều này tương ứng với nhiễu điều chế pha. Đường bao của tín hiệu lỗi là lớn nhất tại các điểm giao nhau với 0 với chu kỳ là M/f_s . Nó thay đổi 90 độ so với trường hợp sai lệch khuếch đại.

Phân tích trên miền tần số, phổ tần đầu ra của TIADC chỉ có sai lệch định thời được biểu diễn như sau [6,9,30]:

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} e^{-j\left(\omega-k\frac{\omega_s}{M}\right)t_i} e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lêch dinh thời}} X\left(j\left(\omega-k\frac{\omega_s}{M}\right)\right). \quad (1.40)$$

Phương trình (1.40) cho thấy lỗi sai lệch định thời là hàm của giá trị sai lệch định thời trên từng kênh (t_i) và tần số tín hiệu vào (ω_{in}) . Trên miền tần số, vị trí xảy ra sai lệch định thời phụ thuộc tần số tín hiệu vào và xảy ra tại các vị trí $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$) như minh họa trong Hình 1.14(b). Các sai lệch này làm giảm hiệu năng của TIADC một



Hình 1.14: Ảnh hưởng của lỗi sai lệch định thời lên đầu ra của TIADC 4 kênh: (a) miền thời gian, (b) miền tần số.

cách tuyến tính: SFDR và SNDR. Vị trí xảy ra sai lệch này giống với các vị trí do sai lệch khuếch đại gây ra. Tuy nhiên, khác với sai lệch khuếch đại, ảnh hưởng của sai lệch định thời tăng lên khi tần số tín hiệu vào tăng. Điểm khác biệt so với sai lệch một chiều và sai lệch khuếch đại là sai lệch định thời phụ thuộc tần số tín hiệu vào. Ngoài ra, đối với sai lệch một chiều và sai lệch khuếch đại, công suất tín hiệu tại đầu ra của TIADC không đổi khi f_{in} tăng. Tuy nhiên, đối với sai lệch định thời thì công suất tín hiệu tại đầu ra TIADC giảm khi f_{in} tăng, trong khi đó tổng công suất của tín hiệu và lỗi tại đầu ra vẫn giữ nguyên. Điều đó có nghĩa là SNR và SNDR giảm khi f_{in} tăng.

Đối với tín hiệu vào hình sin có tần số f_{in} , nếu sai lệch định thời là các đại lượng ngẫu nhiên Gauss với trung bình bằng 0 và phương sai δ_t^2 thì SNDR có thể được xấp xỉ như sau [6,30]:

$$SNDR = 20 \log_{10} \left(\frac{1}{\delta_t 2\pi f_{in}} \right) - 10 \log_{10} \left(1 - \frac{1}{M} \right).$$
(1.41)

Công thức (1.41) cho thấy hiệu năng của TIADC không chỉ bị ảnh hưởng bởi số kênh ghép xen thời gian (M) mà còn phụ thuộc tần số tín hiệu vào (f_{in}) và giá trị sai lệch định thời (δ_t) . Khi f_{in} tăng lên thì hiệu năng của TIADC sẽ giảm xuống. Bên cạnh đó, khi sai lệch định thời tăng lên cũng sẽ làm giảm SNDR và ENOB. Điều này được minh họa trong Hình 1.15. Hình 1.15 thể hiện ảnh hưởng của sai lệch định thời đến hiệu năng của TIADC 4 kênh tại một số tần số tín hiệu vào khác nhau. Đối với TIADC 4 kênh 13 bit, lấy mẫu tại tần số $f_s = 2,7$ GS/s, để đạt được độ phân giải hiệu dụng 11 bit và SNDR = 68 dB tại tần số $f_{in} = 0, 45f_s = 1215$ MHz thì sai lệch định thời δ_t phải nhỏ hơn 0,06 ps.



Hình 1.15: Sự suy giảm của (a) SNDR và (b) ENOB do sai lệch định thời.

1.3.4. Ảnh hưởng của sai lệch băng thông

Sai lệch băng thông (hoặc sai lệch đáp ứng tần số) là sai lệch về tần số cắt trong đáp ứng tần số giữa các kênh ADC với nhau trong TIADC. Trong kiến trúc TIADC thì các mạch trích và giữ mẫu đầu vào (hệ thống chuyển mạch tụ điện) có thể coi như mạch lọc thông thấp RC trong suốt pha trích mẫu [4–6,9,47]. Điều này được minh họa trong Hình 1.16. Khi chuyển mạch S_1 ở trạng thái "bật" thì chuyển mạch trích mẫu và tụ điện giữ mẫu trong suốt quá trình trích mẫu. Vì vậy, mạch này còn gọi là mạch trích và giữ mẫu (Sample and Hold). Trong pha lấy mẫu, mạch trích và giữ mẫu có thể coi như một mạch lọc thông thấp RC tương đương. Gọi R_i , C_i lần lượt là giá trị điện trở và điện dung của mạch trích và giữ mẫu của ADC con thứ *i*. Khi đó, hằng số thời gian của bộ lọc thông thấp thứ *i* là $\tau_i = R_i C_i$. Tín hiệu đầu vào x(t) sau khi qua mạch lọc RC tương đương như Hình 1.16 được mô tả bởi công thức sau [4,6,9]:

$$x(t) = y_i(t) + \tau_i \frac{dy_i(t)}{dt}.$$
 (1.42)

Khi đó, tín hiệu đầu ra của ADC con thứ i có thể được mô tả bởi công thức sau [4, 6, 9]:

$$y_i(t) = h_i(t) * x(t),$$
 (1.43)

Trong đó, $y_i(t)$ là tín hiệu đầu ra rời rạc theo thời gian được lấy ra trên tụ điện C_i và h_i là đáp ứng xung của bộ lọc thông thấp đầu vào thời gian liên tục. Do đó, hàm truyền của kênh thứ i (đáp ứng tần số của bộ lọc) có thể



Hình 1.16: Mạch lấy mẫu đầu vào và mạch lọc thông thấp RC tương đương.

được viết như sau [4, 6, 9]:

$$H_{\tau_i}(j\omega) = \frac{1}{1+j\omega\tau_i} = \frac{1}{\sqrt{1+(\omega\tau_i)^2}} e^{-j\arctan(\omega\tau_i)}.$$
 (1.44)

Các bộ lọc thông thấp này hoạt động như một hệ thống đơn cực với tần số cắt là $f_{ci} = \frac{1}{2\pi\tau_i} = \frac{1}{2\pi R_i C_i}$. Về lý tưởng, các tần số cắt (f_{ci}) của các kênh trong TIADC là hoàn toàn giống nhau. Tuy nhiên, do sự không hoàn hảo trong quá trình chế tạo IC (các giá trị R_i và C_i giữa các kênh không giống nhau) dẫn đến các sai lệch tần số cắt (f_{ci}) giữa các ADC đơn. Các sai lệch này được gọi là sai lệch băng thông hay sai lệch đáp ứng tần số. Sai lệch băng thông gây ra sự suy giảm hệ số khuếch đại (G_i) và độ dịch pha (θ_i) tại các tần số tín hiệu vào (f_{in}) khác nhau như sau [4,6,9]:

$$G_{i} = \frac{1}{\sqrt{1 + (\omega\tau_{i})^{2}}} \bigg|_{\omega = 2\pi f_{in}} = \frac{1}{\sqrt{1 + \left(\frac{f_{in}}{f_{ci}}\right)^{2}}},$$
(1.45)

$$\theta_i = -\arctan\left(\omega\tau_i\right)|_{\omega=2\pi f_{in}} = -\arctan\left(\frac{f_{in}}{f_{ci}}\right).$$
(1.46)

Công thức (1.45) và (1.46) cho thấy các sai lệch của G_i và θ_i phụ thuộc tần số tín hiệu vào (f_{in}) và băng thông của các kênh (f_{ci}). Sự phụ thuộc tần số này được ký hiệu là AC và được gọi là sai lệch khuếch đại AC và sai lệch pha AC để phân biệt với sai lệch khuếch đại và sai lệch định thời đã trình bày ở phần trước [5,45]. Sai lệch khuếch đại AC (G_i) do sai lệch băng thông phụ thuộc tần số tín hiệu vào. Trong khi đó, sai lệch khuếch đại đã nghiên cứu ở phần 1.3.2 là độ khuếch đại một chiều, không phụ thuộc tín hiệu vào. Trong khi đó, sai lệch dịnh thời là hàm tuyến tính của tần số tín hiệu vào. Trong khi đó, sai lệch băng thông bhủ thưởng của sai lệch định thời là hàm tuyến tính của tần số tín hiệu vào.

Nếu xét TIADC chỉ có sai lệch băng thông và không có các sai lệch khác $(o_i = 0, g_i = 1 \text{ và } t_i = 0)$ thì tín hiệu đầu ra của TIADC trong công thức (1.22) được biểu diễn lại như sau [6,9,45]:

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} h_{\tau_i}(t) * x(t)\delta(t - (kM + i)T_s).$$
(1.47)

Ánh hưởng của sai lệch băng thông lên phổ tần đầu ra của TIADC được cho bởi [6,9,45]:

$$Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \underbrace{\left[\frac{1}{M} \sum_{i=0}^{M-1} H_{\tau_i} \left(j\left(\omega - k\frac{\omega_s}{M}\right)\right) e^{-jki\frac{2\pi}{M}}\right]}_{\text{Sai lệch bằng thông}} X\left(j\left(\omega - k\frac{\omega_s}{M}\right)\right).$$
(1.48)

Công thức (1.48) cho thấy sai lệch băng thông cũng tạo ra các hài không mong muốn tại các vị trí $\pm \omega_{in} + k \frac{\omega_s}{M}$ (hoặc tại các tần số $\pm f_{in} + k \frac{f_s}{M}$) giống như sai lệch khuếch đại và sai lệch định thời. Điều này được minh họa trong Hình 1.17. Hình 1.17 biểu diễn phổ tần đầu ra của TIADC 2 kênh (Hình 1.17(a)) và 4 kênh (Hình 1.17(b)) độ phân giải 13 bit tại tần số lấy mẫu 2,7 GHz. Khác với sai lệch khuếch đại và sai lệch định thời, sai lệch băng thông ảnh hưởng đến cả pha và biên độ của tín hiệu vào. Các sai lệch về pha và biên độ của tín hiệu đầu ra TIADC đều phụ thuộc tần số tín hiệu vào như công thức (1.45) và (1.46).

Đối với tín hiệu vào hình sin có tần số f_{in} , nếu sai lệch băng thông (được đặc trưng bởi hằng số thời gian giữa các kênh τ_i) là các biến ngẫu nhiên Gauss với trung bình bằng τ và phương sai δ_b^2 thì sự suy giảm SNDR do sai



Hình 1.17: Phổ tần đầu ra chỉ có sai lệch băng thông đối với: (a) TIADC 2 kênh, (b) TIADC 4 kênh.

lệch băng thông có thể được xấp xỉ như sau [48]:

$$SNDR = 20 \log_{10} \left(\frac{\sqrt{1 + (2\pi f_{in}\tau)^2}}{2\pi f_{in}\tau \delta_b} \right) - 10 \log_{10} \left(1 - \frac{1}{M} \right). \quad (1.49)$$

Công thức (1.49) cho thấy hiệu năng của TIADC (SNDR) là hàm của số kênh ghép xen thời gian, sai lệch băng thông và tần số tín hiệu vào. Khi tần số tín hiệu vào tăng lên thì SNDR và ENOB giảm xuống. Sự suy giảm hiệu năng lớn khi tần số tín hiệu vào nhỏ như minh họa trong Hình 1.18. Hình 1.18(a) và Hình 1.18(b) lần lượt minh họa cho sự thay đổi SNDR và ENOB theo tần số tín hiệu vào khi chỉ có sai lệch băng thông của TIADC 4 kênh

trong băng tần Nyquist đầu tiên. Ngoài ra, khi sai lệch băng thông δ_b càng lớn thì hiệu năng của TIADC càng giảm. Để đạt được độ phân giải cỡ 11 bit và SNDR đạt 71 dB trong TIADC 4 kênh thì tần số tín hiệu vào là $0, 45f_s$ và sai lệch băng thông là $\delta_b = 0,001$.



Hình 1.18: Ánh hưởng của tần số tín hiệu vào đến hiệu năng của TIADC 4 kênh chỉ có sai lệch băng thông: (a) SNDR, (b) ENOB.

1.4. Tổng quan về các kỹ thuật hiệu chỉnh sai lệch kênh trong TIADC

Như đã trình bày ở phần trước, sai lệch kênh trong các bộ TIADC là nguyên nhân làm giảm hiệu năng của TIADC. Đã có nhiều phương pháp hiệu chỉnh sai lệch kênh. Tuy nhiên, tùy theo phương pháp và dạng tín hiệu hiệu chỉnh mà có các cách phân loại khác nhau. Căn cứ vào phương pháp hiệu chỉnh có thể phân ra thành phương pháp hiệu chỉnh trước (foreground) và phương pháp hiệu chỉnh nền (background) [49,50]. Nếu căn cứ vào dạng tín hiệu hiệu chỉnh thì có thể chia thành ba loại: hiệu chỉnh hoàn toàn trên miền tương tự, hiệu chỉnh tín hiệu hỗn hợp và hiệu chỉnh hoàn toàn trên miền số. Tuy nhiên, cách phân chia theo dạng tín hiệu thường được bao gồm trong cách phân loại theo phương pháp hiệu chỉnh.

1.4.1. Phương pháp hiệu chỉnh trước

Phương pháp hiệu chỉnh trước [11,49–55] yêu cầu một pha hiệu chỉnh ngoại tuyến trong khi TIADC đang trong chế độ hiệu chỉnh. Trong suốt pha ngoại tuyến, một tín hiệu đã được biết, chẳng hạn, tín hiệu hình sin với biên độ và tần số đã được biết trước sẽ được kết nối tại đầu vào của TIADC. Trong các nghiên cứu [56,57], một tín hiệu vào hình sin và xử lý FFT để tách sai lệch định thời trong pha hiệu chỉnh. Phương pháp hiệu chỉnh được trình bày trong [52], sai lệch định thời được hiệu chỉnh trong miền tương tự với tần số sóng sin đầu vào cố định. Trong [58], sai lệch một chiều được hiệu chỉnh bằng phương pháp hiệu chỉnh trước bằng cách cắt các bộ so sánh của các ADC con. Sai lệch định thời trong [59] được hiệu chỉnh theo phương pháp hiệu chỉnh trước bằng cách sử dụng bộ tạo tín hiệu vào với tần số đã được biết trước. Tín hiệu vào này được đồng bộ với xung đồng bộ. Đầu ra của tín hiệu này được lưu trong bảng tra (LUT) để so sánh với tín hiệu số đầu ra của TIADC cần hiệu chỉnh.

Phương pháp hiệu chỉnh trước có thể được ứng dụng trong các hệ thống đo lường cao cấp, trong đó thiết bị có thể tự hiệu chỉnh hoặc được gửi để hiệu chỉnh trước. Phương pháp này yêu cầu một pha hiệu chỉnh ngoại tuyến nên nó không phù hợp với các ứng dụng mà bộ chuyển đổi luôn luôn hoạt động, ví dụ như trong các máy thu viễn thông [28]. Vì vậy, trong luận án không đi sâu phân tích và nghiên cứu về phương pháp hiệu chỉnh này.

1.4.2. Phương pháp hiệu chỉnh nền

Phương pháp hiệu chỉnh trước được thay thế bằng phương pháp hiệu chỉnh nền, bởi vì phương pháp hiệu chỉnh nền vẫn giữ TIADC hoạt động bình thường trong quá trình hiệu chỉnh. Các phương pháp hiệu chỉnh nền có thể phân ra thành hiệu chỉnh mù (blind) và không mù (non-blind). Một số kỹ thuật hiệu chỉnh nền cần phải có tín hiệu đầu vào để hiệu chỉnh trong miền tương tự. Những kỹ thuật này được gọi là kỹ thuật hiệu chỉnh không mù. Ví dụ, sai lệch một chiều có thể được hiệu chỉnh bằng cách cộng thêm một tín hiệu ngẫu nhiên vào tín hiệu tương tự đầu vào như trong [60]. Tương tự, sai lệch khuếch đại cũng được hiệu chỉnh bằng cách nhân một tín hiệu ngẫu nhiên với tín hiệu tương tự đầu vào như trong [61]. Các kỹ thuật được trình bày trong [62] và [63] thực hiện hiệu chỉnh sai lệch băng thông bằng cách cộng một sóng hình sin đã biết vào tín hiệu tương tự đầu vào của TIADC. Các kỹ thuật này thường không được nghiên cứu nhiều vì phải sử dụng mạch số phức tạp, tài nguyên lớn và thời gian hiệu chỉnh dài. Ngược lại, các kỹ thuật hiệu chỉnh mù không yêu cầu bất kỳ tín hiệu đầu vào nào, điều này giúp giảm nguy cơ cộng thêm các nguồn nhiễu khác. Vì vậy, các kỹ thuật hiệu chỉnh nền mù đang được tập trung nghiên cứu và phát triển. Trong thực tế, không có phương pháp nào trong số này là mù hoàn toàn. Chúng yêu cầu một số thông tin về tín hiệu đầu vào, thường được thể hiện dưới dạng nội dung phổ hoặc thuộc tính thống kê của tín hiệu, chẳng hạn như thuộc tính dừng theo nghĩa rộng (WSS).

Kỹ thuật hiệu chỉnh nền thường được chia thành hai bước: ước lượng và sửa lỗi. Do đó, phương pháp hiệu chỉnh nền cũng có thể được chia thành ba loại (căn cứ vào dạng tín hiệu trong các bước này): hiệu chỉnh hoàn toàn trên miền tương tự, hiệu chỉnh tín hiệu hỗn hợp và hiệu chỉnh hoàn toàn trên miền số [2, 6].

* Kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự

Kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự thực hiện hiệu chỉnh và sửa lỗi trên miền tương tự [64–66]. Sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời đã được Harpe và các cộng sự [64] hiệu chỉnh bằng cách ước lượng và sửa lỗi trên miền tương tự thông qua một thuật toán duy nhất. Thuật toán này sử dụng tín hiệu thử nghiệm là chuỗi tín hiệu giả ngẫu nhiên được tạo ra trên chip và được dùng để ước lượng các lỗi sai lệch kênh. Các tín hiệu này được tính toán và đưa đến hiệu chỉnh các sai lệch này trên miền tương tự. Sai lệch định thời thường xảy ra liên quan đến việc phân phối xung đồng bộ trong mạch trích và giữ mẫu. Do đó, Wang và Razavi [65] đã đề xuất phương pháp hiệu chỉnh tương tự dựa vào các bộ chia tần số. Chou [67] đề xuất một kỹ thuật nội suy pha bằng một chuỗi điện trở. Một phương pháp khác được đề xuất bởi Wu và Black [68] bằng cách sử dụng các bộ trễ trên đường cấp xung đồng bộ, điện áp được điều khiến bằng các bộ so sánh. Ngoài ra, một giải pháp khác là đặt một bộ trích và giữ mẫu chung tại đầu vào của M kênh trong TIADC để hiệu chỉnh sai lệch định thời [69]. Tuy nhiên, mạch S/H này phải lấy mẫu ở tốc độ lấy mẫu chung của TIADC nên khó thực hiện.

Kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự có thể làm giảm hoặc loại bỏ hoàn toàn các sai lệch. Ưu điểm này có được là do kỹ thuật này sửa lõi sai lệch ngay từ nguồn tạo ra sai lệch kênh. Tuy nhiên, kỹ thuật này yêu cầu mạch ước lượng phức tạp, khó thiết kế, độ chính xác đạt được thấp và không hiệu quả khi thực hiện bằng công nghệ CMOS [2,12,44,70]. Do đó, kỹ thuật này ít được quan tâm nghiên cứu và phát triển.

* Kỹ thuật hiệu chỉnh tín hiệu hỗn hợp

Để khắc phục một số nhược điểm của kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự, một số tác giả nghiên cứu hiệu chỉnh trên miền tín hiệu hỗn hợp. Trong đó, quá trình ước lượng được thực hiện trên miền số, quá trình sửa lỗi được thực hiện trên miền tương tự và được thực hiện bởi một đường hồi tiếp (variable-delay line) từ đầu ra của TIADC [25, 36, 70–74]. Sai lệch băng thông trong TIADC được ước lượng trên miền số và đưa về để sửa lỗi trên miền tương tự bằng cách điều chỉnh các tham số hoạt động của mạch. Kỹ thuật này thực hiện được nhờ công nghệ silicon trên chất cách điện toàn phần (FD-SOI) [36,73]. Sai lệch định thời được El-Chammas và Murmann [58] hiệu chỉnh bằng cách sử dụng thêm một kênh làm kênh tham chiếu. Các sai lệch định thời được ước lượng trên miền số bằng các tính tương quan và thuật toán LMS. Các giá trị ước lượng sau đó được hồi tiếp trở về để hiệu chỉnh xung đồng bộ của các ADC con. Haftbaradaran và Martin [66] cũng đề xuất kỹ thuật hiệu chỉnh tín hiệu hỗn hợp cho sai lệch định thời. Trong đó, mỗi kênh thực hiện ước lượng trên miền số dựa vào đặc tính tương quan của các tín hiệu ra của TIADC. Việc sửa lõi được thực hiện trên miền tương tự bằng cách điều khiển các bộ trễ trên đường cấp xung đồng bộ cho ADC. Ngoài ra còn có một số công trình hiệu chỉnh sai lệch kênh bằng kỹ thuật hiệu chỉnh tín hiệu hỗn hợp được công bố [75–78].

Kỹ thuật hiệu chỉnh tín hiệu hỗn hợp chỉ cần thêm một vài phần cứng nên nó tiêu thụ công suất thấp, diện tích chip nhỏ. Tuy nhiên, các kỹ thuật này cho độ phân giải thấp và thời gian thiết kế lâu hơn và không hiệu quả khi thực hiện bằng công nghệ CMOS do vẫn phải sử dụng các mạch tương tự. Vì vậy, kỹ thuật này cũng ít được quan tâm nghiên cứu và phát triển.

* Kỹ thuật hiệu chỉnh hoàn toàn trên miền số

Nhờ ưu điểm của công nghệ CMOS mà kỹ thuật hiệu chỉnh hoàn toàn trên miền số đã khắc phục được nhược điểm của hai kỹ thuật trên. Kỹ thuật hiệu chỉnh hoàn toàn trên miền số thực hiện quá trình ước lượng và sửa lỗi hoàn toàn trên miền số. Do đó, kỹ thuật này có thể phát triển nhanh hơn, tiêu tốn ít tài nguyên phần cứng hơn và không phải thiết kế lại mạch khi thay đổi công nghệ [18,37,41,79–84]. Tuy nhiên, các công trình nghiên cứu về kỹ thuật này thường giả sử chỉ có một loại sai lệch nhất định, các sai lệch khác được coi là không tồn tại hoặc đã được hiệu chỉnh [4,14,18,21,33,34,80]. Tuy nhiên, trong thực tế các sai lệch kênh trong TIADC thường tồn tại đồng thời. Do đó, việc hiệu chỉnh tất cả các sai lệch kênh này trong quá trình thiết kế, chế tạo TIADC là đòi hỏi hết sức cấp thiết. Vì vậy, luận án tập trung nghiên cứu và phát triển kỹ thuật hiệu chỉnh nền trên miền số cho các sai lệch kênh trong TIADC.

1.5. Kết luận chương

Chương 1 đã trình bày khái quát chung về TIADC và các sai lệch kênh trong TIADC. Trong đó, các phân tích lý thuyết và mô phỏng trên miền thời gian và miền tần số đã chỉ ra ảnh hưởng của bốn loại sai lệch kênh đến hiệu năng của TIADC. Hiệu năng của TIADC cũng được phân tích và mô phỏng đối với từng lỗi sai lệch kênh. Bên cạnh đó, chương này đã đánh giá, phân tích một cách khái quát về các phương pháp hiệu chỉnh sai lệch kênh của các công trình nghiên cứu trong và ngoài nước. Các phân tích trong Chương 1 đã chỉ ra những hạn chế của các công trình nghiên cứu trong và ngoài nước đã công bố. Đây là cơ sở để tác giả đề xuất các phương pháp hiệu chỉnh sai lệch kênh trong các chương tiếp theo.

Chương 2

PHƯƠNG PHÁP HIỆU CHỈNH NỀN TRÊN MIỀN SỐ TỪNG SAI LỆCH KÊNH TRONG TIADC

Chương 2 trình bày mô hình TIADC chỉ có sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Từ đó, đề xuất các phương pháp hiệu chỉnh nền trên miền số đối với từng sai lệch kênh riêng lẻ này. Hiệu quả của các phương pháp đề xuất được đánh giá thông qua các kết quả mô phỏng.

2.1. Mô hình hệ thống

Như đã phân tích ở Chương 1, trước sự phát triển nhanh chóng của các chuẩn truyền thông mới, đòi hỏi tốc độ ngày càng cao thì TIADC là một giải pháp tốt. Nó giúp tăng tốc độ lấy mẫu, giảm công suất tiêu thụ khi làm việc ở tốc độ cao. Bên cạnh đó, khi kết hợp với các hệ thống undersampling thì nó giúp tăng tính linh hoạt của máy thu do có khả năng tái cấu hình. Tuy nhiên, các sai lệch kênh đang làm suy giảm nghiêm trọng hiệu năng của TIADC. Các sai lệch này đã được phân tích ở Chương 1. Chương 2 đề xuất mô hình TIADC chỉ gồm ba loại sai lệch kênh: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Mô hình này được thể hiện trên Hình 2.1

Trong mô hình đề xuất, các sai lệch kênh bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời lần lượt được đặc trưng bởi các tham số sai lệch ký hiệu là o_i , g_i và t_i . Do có sự không đồng nhất công thức trong một số công trình đã công bố nên trong luận án này tác giả thống nhất sử



Hình 2.1: Mô hình TIADC M kênh chỉ gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời.

dụng ký hiệu g_i tương ứng với $(1 + g_i)$ để biểu thị sai lệch khuếch đại của kênh thứ *i*. Như đã trình bày ở Chương 1, sai lệch định thời xảy ra khi thời gian lấy mẫu tại các ADC con có sự sai khác một lượng là t_i . Sự sai lệch này có thể là âm hoặc dương (giảm đi hoặc tăng lên so với chu kỳ lấy mẫu T_s). Do đó, trong một số công trình đã công bố, có một số công trình ký hiệu là $(kM + i)T_s - t_i$ hoặc $(kM + i)T_s + t_i$. Để thuận tiện và thống nhất trong biểu diễn các công thức toán học, trong luận án này thống nhất sử dụng ký hiệu thời gian lấy mẫu của ADC khi có sai lệch định thời là $(kM + i)T_s + t_i$. Điều này không làm thay đổi bản chất và sự đúng đắn của các biểu thức toán học cũng như hiệu quả của các kỹ thuật đề xuất.

Xét tín hiệu tương tự đầu vào x(t) là tín hiệu hình sin có băng tần hữu hạn $X(j\omega) = 0$ và tần số $|\omega| \ge B$ và băng thông $B \le \pi/T_s$. Tín hiệu này thỏa mãn định lý lấy mẫu Nyquist–Shannon và có thể khôi phục được. Bộ TIADC lấy mẫu tín hiệu x(t) tại từng kênh với tần số f_s/M . Để thực hiện hiệu chỉnh sai lệch kênh thì tín hiệu đầu vào x(t) phải là tín hiệu dừng theo nghĩa rộng (WSS). Ngoài ra, trong mô hình này, tạp âm lượng tử được giả sử là rất nhỏ và có thể bỏ qua. Khi đó, tín hiệu số đầu ra của kênh thứ i có thể được viết như sau:

$$y_i[k] = g_i x[kM + i + t_i] + o_i.$$
 (2.1)

Sau đó, tín hiệu đầu ra của các kênh được ghép kênh lại với nhau để tạo thành tín hiệu số đầu ra của TIADC như sau:

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} \left(g_i x(t+t_i) + o_i \right) \delta(t - (kM+i)T_s).$$
(2.2)

Để thực hiện hiệu chỉnh các sai lệch kênh trong TIADC, các công trình nghiên cứu trước đây thường giả sử chỉ có một loại sai lệch nhất định, các sai lệch khác được giả sử là không tồn tại hoặc đã được hiệu chỉnh. Tuy nhiên, luận án này đề xuất kỹ thuật hiệu chỉnh cho cả ba sai lệch kênh cùng xảy ra trong TIADC và làm suy giảm hiệu năng của nó. Tuy nhiên, để hiểu rõ và có cơ sở đề xuất các phương pháp hiệu chỉnh cho cả ba sai lệch kênh, luận án đã đề xuất kỹ thuật hiệu chỉnh cho từng loại sai lệch kệnh riệng lẻ. Sau đó, luận án đề xuất các kỹ thuật hiệu chỉnh lần lượt cho cả ba sai lệch kênh như mô hình trong Hình 2.2 hoặc hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều. Các đề xuất này sẽ được trình bày ở Chương 3. Trong mô hình hiệu chỉnh ở Hình 2.2, sai lệch một chiều phải được thực hiện trước bởi vì hiệu chỉnh sai lệch khuếch đại và sai lệch định thời yêu cầu đầu ra của các ADC con phải có trung bình bằng 0. Sai lệch khuếch đại và sai lệch định thời có thể được hiệu chỉnh lần lượt hoặc hiệu chỉnh đồng thời. Khi hiệu chỉnh lần lượt thì sai lệch khuếch đại được hiệu chỉnh trước do sai lệch này không phụ thuộc tần số tín hiệu vào nên hiệu chỉnh đơn giản hơn. Sai lệch định thời được hiệu chỉnh sau vì sai lệch này phụ thuộc tần số tín hiệu vào.



Hình 2.2: Sơ đồ hiệu chỉnh các sai lệch kênh trong TIADC M kênh.

2.2. Phương pháp hiệu chỉnh đề xuất cho từng sai lệch kênh

2.2.1. Phương pháp hiệu chỉnh nền trên miền số sai lệch một chiều

Như đã phân tích ở Chương 1, sai lệch một chiều là loại sai lệch tĩnh, không phụ thuộc tần số tín hiệu vào và được cộng thêm vào mỗi kênh trong quá trình lấy mẫu. Do đó, để hiệu chỉnh sai lệch một chiều, phương pháp đề xuất thực hiện ước lượng lỗi sai lệch một chiều của mỗi kênh và loại bỏ nó khỏi tín hiệu đầu ra của các ADC con. Sơ đồ khối của kỹ thuật đề xuất cho việc hiệu chỉnh sai lệch một chiều được minh họa trong Hình 2.3. Quá trình hiệu chỉnh sai lệch một chiều được thực hiện thông qua hai bước: ước lượng lỗi sai lệch một chiều và sửa lỗi sai lệch một chiều như sơ đồ hiệu chỉnh trong Hình 2.3.



Hình 2.3: Sơ đồ hiệu chỉnh sai lệch một chiều trong từng kênh ADC con của TIADC M kênh.

* Ước lượng sai lệch một chiều

Để có thể hiệu chỉnh được lõi sai lệch một chiều thì cần phải ước lượng được lõi này. Ký hiệu sai lệch một chiều ước lượng được của kênh thứ i là \hat{o}_i . Để ước lượng sai lệch một chiều, kỹ thuật đề xuất tính trung bình các mẫu đầu ra của kênh thứ i trên toàn bộ N mẫu theo biểu thức sau:

$$\hat{o}_i = \frac{1}{N} \sum_{k=0}^{N-1} y_i[k] = \frac{1}{N} \sum_{k=0}^{N-1} g_i x[kM + i + t_i] + o_i.$$
(2.3)

Theo lý thuyết về quá trình dừng theo nghĩa rộng (WSS), khi tín hiệu liên tục theo thời gian x(t) là quá trình WSS thì tín hiệu rời rạc hóa của nó $x(nT_s)$ cũng là quá trình WSS. Do đó, các tín hiệu này cũng thỏa mãn hai điều kiện của quá trình WSS. Trong đó, chúng ta quan tâm tới điều kiện đầu tiên về giá trị kỳ vọng của $x(nT_s)$ là bất biến theo thời gian và bằng giá trị kỳ vọng của quá trình liên tục theo thời gian x(t). Giá trị này xấp xỉ bằng 0 theo biểu thức sau:

$$\frac{1}{N} \sum_{k=0}^{N-1} g_i x [kM + i + t_i] \approx 0.$$
(2.4)

Giá trị sai lệch một chiều được ước lượng trên kênh thứ i thu được bằng cách thay (2.4) vào (2.3):

$$\hat{o}_{i} = \underbrace{\frac{1}{N} \sum_{k=0}^{N-1} g_{i} x [kM + i + t_{i}]}_{\approx 0} + o_{i} \approx o_{i}.$$
(2.5)

Công thức (2.5) chỉ ra rằng, bằng cách tính trung bình các mẫu đầu ra của mỗi kênh ADC theo N (với N là tổng số mẫu của kênh ADC con), chúng ta có thể ước lượng được giá trị của lỗi sai lệch một chiều trên từng kênh ADC. Giá trị sai lệch một chiều được ước lượng sẽ được đưa đến khối sửa lỗi sai lệch một chiều để thực hiện sửa lỗi. Sơ đồ khối ước lượng lỗi sai lệch một

chiều được minh họa trong Hình 2.4.



Hình 2.4: Sơ đồ khối ước lượng sai lệch một chiều trong từng kênh ADC con của TIADC M kênh.

* Sửa lỗi sai lệch một chiều

Do lỗi sai lệch một chiều là lỗi được cộng thêm vào tín hiệu đầu ra của các ADC con và không phụ thuộc tần số tín hiệu vào nên quá trình sửa lỗi sai lệch này khá đơn giản. Các lỗi sai lệch một chiều sau khi được ước lượng sẽ được trừ khỏi đầu ra của các ADC con để thu được tín hiệu đã sửa lỗi. Sơ đồ khối của khối sửa lỗi sai lệch một chiều trên từng kênh của TIADC được minh họa như trong Hình 2.5. Quá trình sửa lỗi sai lệch một chiều được mô tả bởi biểu thức sau:

$$\hat{y}_{i}[k] = y_{i}[k] - \hat{o}_{i}$$

$$= g_{i}x[kM + i + t_{i}] + o_{i} - \hat{o}_{i}$$

$$= g_{i}x[kM + i + t_{i}].$$
(2.6)

Quá trình sửa lỗi sai lệch một chiều khá đơn giản. Ở đây chỉ yêu cầu M-1



Hình 2.5: Sơ đồ khối sửa lỗi sai lệch một chiều trong từng kênh ADC con của TIADC M kênh.
bộ cộng làm việc tại tần số f_s/M . Tần số này đã giảm đi M lần so với tần số lấy mẫu nên sẽ giúp giảm công suất tiêu thụ của TIADC.

* Các kết quả mô phỏng

Để đánh giá hiệu năng của kỹ thuật đề xuất cho việc hiệu chỉnh sai lệch một chiều, TIADC 13 bit, 4 kênh và 8 kênh được đưa ra để tiến hành mô phỏng. TIADC này được lựa chọn dựa trên các kết quả nghiên cứu về TIADC được tổng hợp trong báo cáo [22]. Số bit của TIADC thực tế là 14 bit. Tuy nhiên, để thuận tiện trong quá trình xử lý tín hiệu của ADC, luận án chỉ xét 13 bit dữ liệu và bỏ qua một bit dấu của ADC. Tạp âm được thêm vào để SNR tại đầu ra của TIADC là 60 dB. TIADC được lấy mẫu tại tần số 2,7 GHz. Các bộ TIADC lấy mẫu tại tần số này phù hợp với các máy thu lấy mẫu trực tiếp RF ứng dụng cho SDR, hệ thống thông tin WiFi, WiMAX. Tín hiệu tương tự đầu vào là tín hiệu hình sin có tần số $f_{in} = 0,45 f_s$. Các tham số này sẽ được dùng để mô phỏng cho các phương pháp đề xuất ở chương này và Chương 3. Các sai lệch một chiều là các đại lượng ngẫu nhiên Gauss có độ lệch chuẩn bằng 0,05. Sau khi tiến hành mô phỏng Monte-Carlo, phố tần đầu ra trước và sau khi hiệu chỉnh của TIADC 4 kênh và 8 kênh lần lượt được thể hiện trong Hình 2.6 và Hình 2.7. Kết quả mô phỏng này cho thấy rằng, hầu hết các lỗi do sai lệch một chiều tại phổ tần đầu ra của TIADC được loại bỏ. Kết quả mô phỏng cũng cho thấy hiệu năng của TIADC đã được cải thiện đáng kế. Hiệu năng của TIADC 4 kênh đã cải thiện được 36,7 dB đối với SNDR và 70,6 dB đối với SFDR. Tương tự, hiệu năng của TIADC 8 kênh đã cải thiện được 38,1 dB đối với SNDR và 68,7 dB đối với SFDR. Sự cải thiện về hiệu năng này được minh họa trong Hình 2.8.

Kỹ thuật đề xuất đã cải thiện hiệu năng của TIADC tốt như trên là do kỹ



Hình 2.6: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch một chiều.



Hình 2.7: Phổ tần đầu ra của TIADC 8 kênh trước và sau khi hiệu chỉnh sai lệch một chiều.



Hình 2.8: So sánh SNDR và SFDR trước và sau khi hiệu chỉnh sai lệch một chiều của TIADC 4 kênh (a) và 8 kênh (b).

thuật này đã ước lượng khá chính xác lỗi sai lệch một chiều trong thời gian rất ngắn. Điều này được minh họa trong Hình 2.9. Trong đó, Hình 2.9(a) và Hình 2.9(b) lần lượt minh họa cho thời gian hội tụ của các lỗi sai lệch một chiều được ước lượng trên từng kênh của TIADC 4 kênh và 8 kênh. Kết quả mô phỏng cho thấy, chỉ sau khoảng 30 mẫu (khoảng 0,011 μ s) thì các giá trị ước lượng sai lệch một chiều đã hội tụ so với giá trị mong muốn.

* Nhận xét

Phương pháp hiệu chỉnh sai lệch một chiều đề xuất thực hiện hoàn toàn trên miền số và không yêu cầu biết trước bất kỳ tín hiệu nào. Kết quả hiệu chỉnh cho hiệu năng rất tốt. Phương pháp đề xuất chỉ sử dụng các bộ cộng làm việc tại các tần số của các ADC con (tần số thấp f_s/M) nên giúp giảm tài nguyên phần cứng và giảm công suất tiêu thụ.

2.2.2. Phương pháp hiệu chỉnh nền trên miền số sai lệch khuếch đại

Xét TIADC chỉ có lỗi sai lệch khuếch đại và không có các sai lệch khác như đã phân tích trong Chương 1. Tín hiệu tương tự đầu vào x(t) được lấy



Hình 2.9: Thời gian hội tụ của các giá trị sai lệch một chiều được ước lượng trong TIADC: (a) 4 kênh, (b) 8 kênh.

mẫu tại tần số f_s . Lúc này, tín hiệu đầu ra của TIADC trên miền thời gian được biểu diễn theo công thức (1.35) như sau:

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} g_i x(t) \delta(t - (kM + i)T_s).$$
(2.7)

Tương tự như hiệu chỉnh sai lệch một chiều, hiệu chỉnh sai lệch khuếch đại



Hình 2.10: Sơ đồ hiệu chỉnh sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.

cũng thực hiện theo hai bước: ước lượng và sửa lỗi sai lệch khuếch đại như Hình 2.10. Ý tưởng của phương pháp hiệu chỉnh đề xuất là giả sử kênh đầu tiên là kênh tham chiếu và hiệu chỉnh để độ khuếch đại của từng kênh còn lại bằng độ khuếch đại của kênh tham chiếu.

* Ước lượng sai lệch khuếch đại

Như đã phân tích ở trên, tín hiệu vào được giả sử là quá trình ngẫu nhiên và dừng theo nghĩa rộng. Do đó, khi không có sai lệch khuếch đại thì công suất đầu ra của các ADC con sẽ bằng công suất của tín hiệu vào.

$$P_{y_i[k]} = y_i^2[k] = P_{x(t)}.$$
(2.8)

Tuy nhiên, khi có sai lệch khuếch đại (g_i) thì công suất đầu ra của các ADC con sẽ không bằng công suất tín hiệu vào. Khi đó, công suất đầu ra của các ADC con sẽ bằng công suất tín hiệu vào nhân với bình phương sai lệch khuếch đại của từng kênh.

$$P_{y_i[k]} = y_i^2[k] = g_i^2 P_{x(t)}.$$
(2.9)

Do đó, để hiệu chỉnh sai lệch khuếch đại, luận án đề xuất xác định tỉ số công suất trung bình của ADC con thứ *i* so với ADC tham chiếu (sử dụng ADC đầu tiên (ADC_0) làm ADC tham chiếu) g_0/g_i . Tỉ số này được xác định theo công thức sau:

$$\frac{\frac{1}{N}\sum_{k=0}^{N-1}y_0^2\left[k\right]}{\frac{1}{N}\sum_{k=0}^{N-1}y_i^2\left[k\right]} = \frac{g_0^2 P_{x(t)}}{g_i^2 P_{x(t)}} = \frac{g_0^2}{g_i^2}.$$
(2.10)

Sau đó, tỉ số này được lấy căn bậc hai để thu được tỉ số g_0/g_i và đưa đến khối sửa lỗi sai lệch khuếch đại để sửa lỗi sai lệch khuếch đại như Hình 2.10. Quá trình ước lượng để xác định tỉ số g_0/g_i được thực hiện theo sơ đồ Hình 2.11.



Hình 2.11: Sơ đồ ước lượng sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.

* Sửa lỗi sai lệch khuếch đại

Sau khi đã loại bỏ sai lệch một chiều, tín hiệu đầu ra của ADC con thứ iđược biểu diễn như sau:

$$y_i[k] = g_i x[kM + i + t_i].$$
(2.11)

Như đã trình bày ở trên, mục đích của việc sửa lỗi là làm cho sai lệch khuếch đại ở các kênh bằng nhau và bằng g_0 . Điều này được thực hiện bằng cách tính trung bình tỉ số công suất đầu ra của các ADC con thứ i so với ADC đầu tiên. Tỉ số này (g_0/g_i) được nhân với đầu ra của ADC con thứ iđể thu được tín hiệu đầu ra đã được sửa lỗi như minh họa trong Hình 2.12. Tín hiệu đầu ra của ADC con thứ i đã được sửa lỗi sai lệch khuếch đại được



Hình 2.12: Sơ đồ sửa lỗi sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.

biểu diễn như sau:

$$\hat{y}_{i}[k] = \frac{g_{o}}{g_{i}}g_{i}x[kM + i + t_{i}]$$

= $g_{0}x[kM + i + t_{i}].$ (2.12)

Các tín hiệu này có độ khuếch đại bằng nhau và bằng g_o nên được xem như không có sai lệch khuếch đại giữa các kênh với nhau. Vì vậy, sai lệch khuếch đại giữa các kênh đã được loại bỏ bằng các làm cho các sai lệch này cân bằng với nhau giữa các kênh. Sơ đồ quá trình hiệu chỉnh sai lệch khuếch đại trên từng kênh ADC con trong TIADC M kênh được mô tả chi tiết như trong Hình 2.13.



Hình 2.13: Sơ đồ chi tiết quá trình hiệu chỉnh sai lệch khuếch đại trong từng kênh ADC con của TIADC M kênh.

* Kết quả mô phỏng

Để chứng minh hiệu quả của phương pháp đề xuất, luận án sử dụng phần mềm MATLAB để tiến hành mô phỏng. Kết quả mô phỏng được thực hiện với TIADC 13 bit, 4 kênh và 8 kênh, lấy mẫu tín hiệu tương tự đầu vào băng tần hữu hạn có tần số $f_{in} = 0, 45 f_s$ tại tần số lấy mẫu $f_s = 2, 7$ GHz. Số điểm FFT là 2¹⁸. Tạp âm được thêm vào để SNR tại đầu ra của TIADC là 60 dB. Các sai lệch khuếch đại là các đại lượng ngẫu nhiên Gauss với độ lệch chuẩn bằng 0,04. Kết quả mô phỏng cho TIADC 4 kênh và 8 kênh được thể hiện trong Hình 2.14 và Hình 2.15. Kết quả này cho thấy các hài do sai lệch khuếch đại gây ra đã được loại bỏ khi áp dụng phương pháp đề xuất. Ngoài ra, kết quả mô phỏng Monte-Carlo cho thấy hiệu năng của TIADC đã được cải thiện đáng kể. Hiệu năng của TIADC 4 kênh đã cải thiện được 31,8 dB đối với SNDR và 61,3 đối với SFDR. Tương tự, hiệu năng của TIADC 8 kênh đã cải thiện được 31 dB đối với SNDR và 59,2 dB đối với SFDR. Điều này được minh họa trong Hình 2.16.

* Nhận xét

Phương pháp hiệu chỉnh sai lệch khuếch đại đề xuất thực hiện hoàn toàn trên miền số và không yêu cầu biết trước bất kỳ tín hiệu nào. Phương pháp đề xuất thực hiện hiệu chỉnh bằng cách tính trung bình công suất đầu ra của các ADC con so với ADC tham chiếu. Phương pháp này giúp đưa các giá trị sai lệch khuếch đại của tất cả các kênh về cùng một giá trị và bằng giá trị sai lệch của kênh đầu tiên. Do đó, kết quả hiệu chỉnh cho thấy hầu hết các sai lệch khuếch đại đã được loại bỏ. Phương pháp đề xuất chỉ sử dụng các bộ nhân và bộ cộng làm việc tại các tần số của các ADC con (tần số thấp



Hình 2.14: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch khuếch đại.



Hình 2.15: Phổ tần đầu ra của TIADC 8 kênh trước và sau khi hiệu chỉnh sai lệch khuếch đại.



Hình 2.16: So sánh SNDR và SFDR trước và sau khi hiệu chỉnh sai lệch khuếch đại của TIADC 4 kênh (a) và 8 kênh (b).

 $f_s/M)$ nên giúp giảm tài nguyên phần cứng và giảm công suất tiêu thụ.

2.2.3. Phương pháp hiệu chỉnh nền trên miền số sai lệch định thời

Xét TIADC chỉ có sai lệch định thời và không có các sai lệch khác. Như đã trình bày ở Chương 1, sai lệch định thời xảy ra khi thời gian lấy mẫu tại các ADC con có sự sai khác một lượng là t_i . Sự sai lệch này có thể là âm hoặc dương (giảm đi hoặc tăng lên so với thời gian lấy mẫu T_s). Do đó, trong một số công trình đã công bố, có một số công trình ký hiệu là $(kM + i)T_s - t_i$ hoặc $(kM + i)T_s + t_i$. Để thuận tiện và thống nhất trong biểu diễn các công thức toán học, luận án thống nhất sử dụng ký hiệu thời gian lấy mẫu của ADC khi có sai lệch định thời là $(kM + i)T_s + t_i$. Điều này không làm thay đổi bản chất và sự đúng đắn của các biểu thức toán học cũng như hiệu quả của các kỹ thuật đề xuất. Tín hiệu đầu ra của ADC con thứ *i* chỉ có sai lệch định thời được biểu diễn trên miền thời gian như sau:

$$y_i[k] = x[kM + i + t_i]. (2.13)$$

Do đó, tín hiệu đầu ra của TIADC khi chỉ có sai lệch định thời sẽ là:

$$y(t) = \sum_{i=0}^{M-1} y_i(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} x(t+t_i)\delta(t-(kM+i)T_s).$$
(2.14)

Mục đích của quá trình hiệu chỉnh sai lệch định thời là ước lượng được giá trị sai lệch định thời t_i và loại bỏ nó khỏi đầu ra của TIADC. Do đó, quá trình hiệu chỉnh sai lệch định thời cũng thực hiện thông qua hai bước như trong Hình 2.17:

- Bước 1: Ước lượng lỗi sai lệch định thời \hat{t}_i bằng cách sử dụng các thuật toán thích nghi;

- Bước 2: Sửa lỗi sai lệch định thời dựa vào kết quả từ quá trình ước lượng.

Đối với quá trình ước lượng lỗi sai lệch định thời, luận án đề xuất hai thuật toán thích nghi là thuật toán bình phương trung bình cực tiểu (LMS) và thuật toán bình phương cực tiểu đệ quy (RLS). Trong quá trình ước lượng lỗi sai lệch định thời thường xảy ra chồng phổ tại các vị trí $k\pi/M$ nên trong luận án sử dụng bộ lọc f[n] hoặc bộ lọc Notch để tránh lỗi này. Luận án cũng đề xuất hai phương pháp sửa lỗi sai lệch định thời: phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard và phương pháp sửa lỗi sử dụng ma trận Hadamard



Hình 2.17: Sơ đồ hiệu chỉnh sai lệch định thời trong từng kênh ADC con của TIADC M kênh.

được sử dụng nhiều hơn do có nhiều ưu điểm. Ma trận Hadamard là một ma trận có tất cả các phần tử là ± 1 và thỏa mãn $\mathbf{H}\mathbf{H}^T = \mathbf{H}^T\mathbf{H} = n\mathbf{I}$. Điều đó có nghĩa là hai hàng khác nhau bất kỳ của ma trận này sẽ trực giao. Đặc điểm này cho phép khi nhân ma trận với đầu ra của ADC thì sẽ tách tín hiệu mong muốn và tín hiệu lỗi do các sai lệch khuếch đại và sai lệch định thời gây ra. Đặc biệt, khi thực thi phần cứng, ma trận này cho phép giảm tài nguyên phần cứng và tăng tốc độ xử lý.

* Ước lượng lỗi sai lệch định thời

Giả sử các sai lệch định thời là nhỏ so với chu kỳ lấy mẫu T_s . Tín hiệu đầu ra của ADC con thứ *i* có thể được biểu diễn thông qua xấp xỉ Taylor bậc một thành tổng của tín hiệu lý tưởng được lấy mẫu $x_i[n]$ và tín hiệu lỗi do sai lệch định thời gây ra $e_i[n]$ [8,85]:

$$\hat{x}_i[n] = x_i[n] + e_i[n], \qquad (2.15)$$

Trong đó, $e_i[n]$ là tín hiệu lỗi do sai lệch định thời gây ra tại kênh thứ *i*. Các tín hiệu lỗi này có thể được biểu diễn thông qua xấp xỉ Taylor bậc một như sau [8,85]:

$$e_i[n] \approx t_i x_i'[n], \qquad (2.16)$$

Trong đó, $x'_i[n]$ là đạo hàm của tín hiệu x(t) tại thời điểm $(nM+i)T_s$. Nhiệm vụ của quá trình ước lượng lõi sai lệch định thời là khôi phục tín hiệu lõi sai lệch định thời $\hat{e}_i[n]$ thông qua việc xác định sai lệch định thời của từng kênh \hat{t}_i và đạo hàm tín hiệu của kênh đó $x'_i[n]$ như trong công thức (2.16). Sơ đồ tổng quát của quá trình ước lượng lõi sai lệch định thời đề xuất được minh họa trong Hình 2.18.

Phương pháp đề xuất sử dụng bộ lọc vi phân lý tưởng để tính đạo hàm



Hình 2.18: Sơ đồ tổng quát quá trình ước lượng lỗi sai lệch định thời.

tín hiệu đầu ra của các ADC con. Đáp ứng xung của bộ lọc vi phân lý tưởng được xác định như sau:

$$h_d[n] = \begin{cases} 0 & (n=0) \\ \frac{\cos(n\pi)}{n} & (n \neq 0) \end{cases}.$$
 (2.17)

Tuy nhiên, để thiết kế được bộ lọc này, luận án đề xuất sử dụng bộ lọc vi phân có đáp ứng xung như sau:

$$h_d[n] = \frac{\cos\left(\pi \left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}},$$
(2.18)

Trong đó, N là bậc của bộ lọc thiết kế.

Đạo hàm tín hiệu đầu ra của ADC con thứ i được xác định như sau:

$$\hat{x}'_i[n] = \hat{x}_i[n] * h_d[n].$$
(2.19)

Tín hiệu này được nhân với các ma trận điều chế hoặc ma trận Hadamard trước khi qua bộ lọc f[n] để tạo thành tín hiệu lỗi được điều chế $\overline{x}_i[n]$:

$$\overline{x}_i[n] = \mathbf{m}[\mathbf{n}]\hat{x}_i[n] * h_d[n] * f[n].$$
(2.20)

Để tránh hiện tượng chồng phổ sau khi ước lượng tại các vị trí $k\pi/M$ thì trong luận án sử dụng bộ lọc f[n]. Tín hiệu lỗi sau đó được nhân với các

hệ số sai lệch định thời được ước lượng từ các thuật toán thích nghi để tạo thành tín hiệu lỗi được khôi phục $\hat{e}_i[n]$:

$$\hat{e}_{i}[n] = \hat{t}_{i}\mathbf{m}[\mathbf{n}]\hat{x}_{i}'[n] * f[n] = \hat{t}_{i}\mathbf{m}[\mathbf{n}]\hat{x}_{i}[n] * h_{d}[n] * f[n] = \hat{t}_{i}\overline{x}_{i}[n]. \quad (2.21)$$

Đồng thời, tín hiệu đầu ra của mỗi ADC con cũng được cho qua bộ lọc f[n]:

$$d_i[n] = \hat{x}_i[n] * f[n].$$
(2.22)

Để thực hiện các thuật toán thích nghi thì cần phải tạo tín hiệu lỗi của từng kênh $\varepsilon_i[n]$. Các tín hiệu này được xác định theo biểu thức sau:

$$\varepsilon_i[n] = d_i[n] - \hat{e}_i[n] = \hat{x}_i[n] * f[n] - \hat{t}_i \mathbf{m}[\mathbf{n}] \hat{x}_i[n] * h_d[n] * f[n]. \quad (2.23)$$

Các tín hiệu này được đưa đến khối thuật toán thích nghi để khôi phục lại các hệ số sai lệch định thời của các kênh \hat{t}_i theo một trong hai phương pháp: sử dụng thuật toán bình phương trung bình cực tiểu (LMS) và sử dụng thuật toán bình phương trung bình cực tiểu (LMS) và sử dụng thuật toán bình phương cực tiểu đệ quy (RLS). Đây là hai thuật toán kinh điển thường được sử dụng trong các kỹ thuật xử lý tín hiệu.

* Thuật toán bình phương trung bình cực tiểu: Thuật toán LMS thực hiện tối thiểu hóa hàm trung bình bình phương lỗi $E \{e^2(n,t)\}$. Trong đó E là phép lấy trung bình. Quá trình cập nhật các hệ số sai lệch định thời \hat{t}_i nhằm ước lượng các hệ số sai lệch này sao cho giống với các giá trị mong muốn t_i được thực hiện thông qua thuật toán LMS như sau:

- Khởi tạo LMS:

$$n = 0, \tag{2.24}$$

$$\hat{t}_i[0] = 0,$$
 (2.25)

$$\mu$$
. (2.26)

- Cập nhật LMS:

$$\varepsilon_i[n] = d_i[n] - \hat{t}_i \overline{x}_i[n], \qquad (2.27)$$

$$\hat{t}_i[n] = \hat{t}_i[n-1] + \mu \varepsilon_i[n] \overline{x}_i[n].$$
(2.28)

Trong đó, μ là bước thích nghi của thuật toán LMS. Thuật toán LMS đơn giản trong tính toán nhưng đòi hỏi thời gian nhiều hơn để hội tụ. Do đó, thuật toán này thường dùng trong các ứng dụng yêu cầu ít tài nguyên phần cứng.

* Thuật toán bình phương cực tiểu đệ quy: Thuật toán RLS thực hiện tính toán các hệ số sai lệch định thời của các kênh \hat{t}_i theo hai bước:

- Khởi tạo RLS:

$$\hat{t}_i[0] = 0, (2.29)$$

$$\mathbf{P} = \delta \mathbf{I}.\tag{2.30}$$

- Cập nhật RLS:

$$\varepsilon_i[n] = d_i[n] - \hat{t}_i \overline{x}_i[n], \qquad (2.31)$$

$$\pi = P\overline{x}_i[n],\tag{2.32}$$

$$k = \frac{\pi}{\lambda + \overline{x}_i^T[n]\pi},\tag{2.33}$$

$$P[n] = \frac{P[n-1] - k\overline{x}_i^T[n]P[n-1]}{\lambda}, \qquad (2.34)$$

$$\hat{t}_i[n] = \hat{t}_i[n-1] + k\varepsilon_i[n].$$
(2.35)

Trong đó, I là ma trận đơn vị, δ là giá trị khởi tạo và λ là hệ số forget $0 < \lambda < 1$, k là hệ số khuếch đại của thuật toán RLS. Thuật toán RLS cho tốc độ hội tụ rất tốt. Điều này sẽ được chứng minh trong phần kết quả mô phỏng.

* Sửa lỗi sai lệch định thời

Như đã phân tích ở trên, với giả sử rằng sai lệch định thời là rất nhỏ so với chu kỳ lấy mẫu của tín hiệu. Giả sử \hat{t}_i là sai lệch định thời ước lượng được của t_i . Tín hiệu đầu ra của ADC con thứ i có thể được biểu diễn bằng tổng của tín hiệu lý tưởng được lấy mẫu $x_i[n]$ và tín hiệu lỗi do sai lệch định thời gây ra $e_i[n]$:

$$\hat{x}_i[n] = x_i[n] + e_i[n],$$
(2.36)

Trong đó, $e_i[n]$ là tín hiệu lỗi do sai lệch định thời gây ra tại kênh thứ i. Nhiệm vụ của việc sửa lỗi sai lệch định thời là ước lượng chính xác các tín hiệu lỗi này và loại bỏ nó khỏi đầu ra của ADC con. Các tín hiệu lỗi này có thể được biểu diễn thông qua xấp xỉ Taylor bậc một như sau [8,85]:

$$e_i[n] \approx t_i \hat{x}'_i[n], \qquad (2.37)$$

Trong đó, $\hat{x}'_i[n]$ là đạo hàm của tín hiệu x(t) tại thời điểm $(kM+i)T_s$. Để đạo hàm tín hiệu x(t), luận án đề xuất sử dụng bộ lọc vi phân FIR với đáp ứng tần số và đáp ứng xung lần lượt là:

$$F(e^{j\omega}) = j\omega, \qquad (2.38)$$

$$h_d[n] = \begin{cases} 0 & (n=0) \\ \frac{\cos(n\pi)}{n} & (n \neq 0) \end{cases}.$$
 (2.39)

Tuy nhiên, để thiết kế được bộ lọc này, luận án đề xuất sử dụng bộ lọc vi phân có đáp ứng xung như sau:

$$h_d[n] = \frac{\cos\left(\pi \left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}},$$
(2.40)

Trong đó, N là bậc của bộ lọc thiết kế.

Do đó, tín hiệu đầu ra của ADC con sau khi qua bộ lọc vi phân được biểu diễn như sau:

$$\hat{x}'_{i}[n] = \frac{1}{T_{s}}\hat{x}_{i}[n] * h[nM+i]$$
(2.41)

Từ đây, tín hiệu lỗi trên mỗi kênh có thể được khôi phục lại theo biểu thức sau:

$$e_i[n] = t_i \hat{x}'_i[n] = t_i \frac{1}{T_s} \hat{x}_i[n] * h[nM+i] = t_i \frac{1}{T_s} \hat{x}_i[n] * h[nM+i] \quad (2.42)$$

Do đó, tín hiệu đầu ra của mỗi ADC có thể được khôi phục bằng cách trừ đi tín hiệu lỗi của nó như sau:

$$x_i[n] = \hat{x}_i[n] - e_i[n], \qquad (2.43)$$

Công thức (2.43) cho thấy rằng, tín hiệu đầu ra của các ADC con thứ i có thể được khôi phục một cách chính xác nếu tín hiệu lỗi $e_i[n]$ của từng kênh được khôi phục chính xác. Mô hình của phương pháp đề xuất được minh họa trên Hình 2.19. Phương pháp đề xuất cho thấy tín hiệu lỗi có thể khôi phục hoàn toàn mà không cần biết thông tin tín hiệu đầu vào và vẫn giữ TIADC hoạt động bình thường trong suốt quá trình hiệu chỉnh.



Hình 2.19: Sơ đồ sửa lõi sai lệch định thời đề xuất.

* Kết quả mô phỏng

Phương pháp hiệu chỉnh đề xuất cũng được xác minh hiệu quả thông mô

phỏng trên phần mềm MATLAB. TIADC 13 bit 4 kênh cũng được dùng để mô phỏng. Tín hiệu đầu vào x(t) có tần số $f_{in} = 0, 45f_s$ được lấy mẫu tại tần số $f_s = 2,7$ GHz. Số điểm FFT dùng để mô phỏng là 2¹⁸. Các sai lệch định thời là các đại lượng ngẫu nhiên Gauss với độ lệch chuẩn bằng 0,33 ps. Giả sử kênh đầu tiên không có sai lệch định thời. Bộ lọc vi phân $h_d[n]$ được thiết kế bằng phương pháp cửa sổ với bậc của bộ lọc là 41. Do yêu cầu khắt khe về độ gợn dải thông và suy hao dải chặn nên hàm cửa sổ Blackman được dùng để thiết kế bộ lọc vi phân. Phương pháp đề xuất được thực hiện mô phỏng lần lượt thông qua thuật toán LMS và RLS.

* Khi áp dụng kỹ thuật ước lượng bằng thuật toán LMS: Tham số mô phỏng của thuật toán LMS là: $\mu = 2^{11}$. Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh lần lượt được thể hiện trên Hình 2.20. Thời gian hội tụ của sai lệch định thời ước lượng được trên từng kênh được minh họa trong Hình 2.21. Từ kết quả mô phỏng ở Hình 2.20 cho thấy phương pháp hiệu chỉnh sai lệch định thời sử dụng kỹ thuật ước lượng LMS đã loại bỏ hầu hết các lỗi do sai lệch định thời gây ra. Các hài do sai lệch định thời gây ra đã được loại bỏ khỏi phổ tần đầu ra của TIADC. Do đó, hiệu năng của TIADC đã được cải thiện 28,82 dB đối với SNDR và 51,91 dB đối với SFDR. Thời gian hội tụ của sai lệch định thời khi áp dụng thuật toán ước lượng LMS khá nhanh. Sau khoảng 1300 mẫu (tương ứng 0,48 μ s) thì các sai lệch định thời đã được ước lượng chính xác. Điều này được minh họa trong Hình 2.21.

* Khi áp dụng kỹ thuật ước lượng bằng thuật toán RLS: Tham số mô phỏng của thuật toán RLS là: $\delta = 1$ và hệ số forget $\lambda = 0,99$. Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh lần lượt được thể hiện trên Hình 2.22. Thời gian hội tụ của sai lệch định thời ước lượng được



Hình 2.20: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch định thời bằng thuật toán ước lượng LMS.



Hình 2.21: Thời gian hội tụ của sai lệch định thời ước lượng được trên từng kênh so với giá trị mong muốn khi sử dụng thuật toán LMS.

trên từng kênh được minh họa trong Hình 2.23. Tương tự như khi sử dụng kỹ thuật LMS, phương pháp hiệu chỉnh sai lệch định thời sử dụng kỹ thuật RLS cũng đã hiệu chỉnh hoàn toàn các lỗi do sai lệch định thời gây ra. Các hài do sai lệch định thời gây ra đã được loại bỏ khỏi phổ tần số đầu ra của TIADC. Do đó, hiệu năng của TIADC đã được cải thiện 28,82 dB đối với SNDR và 51,91 dB đối với SFDR. Điều này được minh họa trên Hình 2.22. Thời gian hội tụ khi áp dụng thuật toán RLS rất nhanh. Chỉ sau khoảng 600 mẫu (tương ứng 0,22 μ s) thì sai lệch định thời đã được ước lượng chính xác. Điều này được minh họa trong Hình 2.23.

So sánh ở cùng hiệu năng của TIADC sau khi hiệu chỉnh sai lệch định thời có thể rút ra rằng, thuật toán RLS cho thời gian hội tụ nhanh hơn so với



Hình 2.22: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch định thời bằng thuật toán ước lượng RLS.



Hình 2.23: Thời gian hội tụ của sai lệch định thời ước lượng được trên từng kênh so với giá trị mong muốn khi sử dụng thuật toán RLS.

thuật toán LMS. Thật vậy, sau khi hiệu chỉnh sai lệch định thời, thuật toán LMS cho SNDR và SFDR lần lượt là 80,0517 dB và 104,0671 dB. Sau khi hiệu chỉnh sai lệch định thời bằng thuật toán RLS cũng cho kết quả tương tự, SNDR và SFDR lần lượt là 80,0498 dB và 104,0671 dB. Tuy nhiên, thời gian hội tụ khi sử dụng thuật toán RLS là khoảng 600 mẫu (tương ứng 0,22 μs). Trong khi đó, thời gian hội tụ khi áp dụng tuật toán LMS khoảng 1300 mẫu (tương ứng 0,48 μs).

* Nhận xét

Phần này đã trình bày phương pháp hiệu chỉnh nền hoàn toàn trên miền số cho sai lệch định thời. Phương pháp hiệu chỉnh được thực hiện trong điều kiện các lỗi sai lệch định thời là rất nhỏ so với chu kỳ lấy mẫu. Phương pháp đề xuất sử dụng kỹ thuật lọc thích nghi để ước lượng lỗi sai lệch định thời. Trong đó, lý thuyết và mô phỏng về kỹ thuật ước lượng lỗi sai lệch định thời bằng thuật toán LMS và RLS đã được trình bày. Phần này cũng trình bày phương pháp sửa lỗi sai lệch định thời bằng cách sử dụng bộ lọc vi phân để đạo hàm tín hiệu đầu ra của ADC con. Từ đó, tín hiệu lỗi do sai lệch định thời gây ra đã được khôi phục và loại bỏ khỏi đầu ra của các ADC con tương ứng. Kết quả mô phỏng chỉ ra rằng kỹ thuật hiệu chỉnh đề xuất đã loại bỏ hầu hết các lỗi do sai lệch định thời gây ra. Phần này cũng đã đánh giá hai kỹ thuật ước lượng LMS và RLS để từ đó chỉ ra hướng ứng dụng trong các kỹ thuật đề xuất ở phần tiếp theo.

2.3. Kết luận chương

Chương 2 đã trình bày mô hình hệ thống TIADC dùng để đánh giá các phương pháp đề xuất cho việc hiệu chỉnh từng sai lệch kênh riêng lẻ bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Xuất phát từ mô hình hệ thống, các phương pháp hiệu chỉnh từng sai lệch kênh riêng lẻ đã được đề xuất. Sai lệch một chiều được ước lượng bằng cách tính trung bình các mẫu đầu ra tại mỗi ADC con và được sửa lỗi bằng cách trừ đi giá trị ước lượng tại đầu ra của mỗi ADC con. Sai lệch khuếch đại được hiệu chỉnh bằng cách tính tỉ số trung bình công suất của ADC con thứ i so với ADC đầu tiên được dùng làm ADC tham chiếu. Mục đích của việc này là làm cho giá trị khuếch đại trên mỗi kênh bằng nhau và bằng giá trị khuếch đại của kênh tham chiếu. Sai lệch định thời được hiệu chỉnh bằng cách sử dụng các thuật toán thích nghi để ước lượng và sử dụng ma trận điều chế hoặc ma trận Hadamard để sửa lỗi. Các kỹ thuật đề xuất cho việc hiệu chỉnh các sai lệch kênh riêng lễ này đều được kiểm chứng thông qua kết quả mô phỏng trên phần mềm MATLAB. Kết quả mô phỏng này cho thấy, khi áp dụng kỹ thuật đề xuất thì các hài do các sai lệch kênh gây ra đã được loại bỏ và hiệu năng đã được cải thiện. Các kết quả này là cơ sở để đề xuất các phương pháp hiệu chỉnh mới ở Chương 3.

Chương 3

PHƯƠNG PHÁP HIỆU CHỈNH NỀN TRÊN MIỀN SỐ CHO NHIỀU SAI LỆCH KÊNH TRONG TIADC

Chương 3 trình bày hai đề xuất về các phương pháp hiệu chỉnh nền hoàn toàn trên miền số cho cả ba sai lệch kênh (bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời). Đề xuất thứ nhất thực hiện hiệu chỉnh lần lượt sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời theo các kỹ thuật đã trình bày ở Chương 2. Trong đó, sai lệch định thời được hiệu chỉnh bằng cách sử dụng ma trận Hadamard và thuật toán LMS. Đề xuất thứ hai thực hiện hiệu chỉnh sai lệch một chiều. Trong đó, sai lệch khuếch đại và sai lệch dịnh thời đồng thời sau khi đã hiệu chỉnh sai lệch một chiều. Trong đó, sai lệch khuếch đại và sai lệch dịnh thời được hiệu chỉnh đồng thời bằng cách sử dụng ma trận Hadamard cho việc sửa lõi và thuật toán LMS kết hợp với sử dụng bộ lọc vi phân thông dải cho việc ước lượng lỗi. Sai lệch một chiều được hiệu chỉnh trước bằng kỹ thuật tính trung bình các mẫu đầu ra của các ADC thành phần. Các đề xuất này đã được công bố trong các công trình C1, C2, J1, J2 và J3.

3.1. Phương pháp hiệu chỉnh nền trên miền số tuần tự các sai lệch kênh trong TIADC

Phần này trình bày phương pháp hiệu chỉnh nền hoàn toàn trên miền số tuần tự cho cả ba sai lệch kênh (bao gồm sai lệch một chiều, sai lệch khuếch

đại và sai lệch định thời). Phương pháp đề xuất sử dụng kỹ thuật tính trung bình các mẫu đầu ra của các ADC con để ước lượng sai lệch một chiều và loại bỏ nó khỏi đầu ra của các ADC con tương ứng. Sai lệch khuếch đại được hiệu chỉnh bằng cách tính trung bình công suất của ADC con so với ADC tham chiếu (ADC đầu tiên). Sai lệch định thời được hiệu chỉnh bằng cách sử dụng ma trận Hadamard cho việc sửa lỗi và thuật toán LMS cho việc ước lượng sai lệch định thời. Kỹ thuật đề xuất đã được kiểm chứng thông qua kết quả mô phỏng bằng phần mềm MATLAB và kết quả thực thi trên phần cứng FPGA. Kỹ thuật đề xuất đã đạt được hiệu năng cao sau khi hiệu chỉnh và tốc độ hội tụ của thuật toán ước lượng cao hơn so với phương pháp thông thường. Kỹ thuật đề xuất cũng không yêu cầu phải biết trước tín hiệu vào nên đây là kỹ thuật đề xuất cũng không yêu cầu phải biết trước tín hiệu vào bố trong các công trình **C2**, **J2** và **J3**. Trong đó, công trình **C2** là kết quả bước đầu. Kết quả này đã được đánh giá lại chi tiết hơn và bổ sung thêm kết quả thực thi trên phần cứng FPGA ở công trình **J2** và **J3**.

Xét mô hình TIADC M kênh chỉ bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời như Hình 3.1. Các sai lệch này được đặc trưng bởi các tham số sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trên kênh thứ *i* tương ứng là o_i , g_i và t_i .

Xét tín hiệu tương tự đầu vào x(t) là tín hiệu hình sin có băng tần hữu hạn $X(j\omega) = 0$ và tần số lấy mẫu $|\omega| \ge B$ và băng thông $B \le \pi/T_s$. Tín hiệu này thỏa mãn định lý lấy mẫu Nyquist–Shannon và có thể khôi phục được. Bộ TIADC lấy mẫu tín hiệu x(t) tại từng kênh với tần số f_s/M . Để thực hiện hiệu chỉnh sai lệch kênh thì tín hiệu đầu vào x(t) phải là tín hiệu dừng theo nghĩa rộng (WSS). Ngoài ra, trong mô hình này, tạp âm lượng tử



Hình 3.1: Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC M kênh. được giả sử là rất nhỏ và có thể bỏ qua. Khi đó, tín hiệu số đầu ra của kênh thứ i có thể được viết như sau:

$$y_i[k] = g_i x[kM + i + t_i] + o_i.$$
(3.1)

Sau đó, tín hiệu đầu ra của các kênh này được ghép kênh lại với nhau để tạo thành tín hiệu số đầu ra của TIADC như sau:

$$y(t) = \sum_{i=0}^{M-1} \sum_{k=-\infty}^{+\infty} \left(g_i x(t+t_i) + o_i \right) \delta(t - (kM+i)T_s).$$
(3.2)

Để thực hiện hiệu chỉnh các sai lệch kênh trong TIADC, các công trình nghiên cứu trước đây đã sử dụng kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự [64] hoặc hiệu chỉnh tín hiệu hỗn hợp (hiệu chỉnh cả trên miền tương tự và miền số) [66,70]. Kỹ thuật hiệu chỉnh hoàn toàn trên miền tương tự có thể thực hiện với bất kỳ tín hiệu vào nào nhưng quá trình ước lượng tương tự lại khó thực hiện và không phù hợp với công nghệ CMOS. Kỹ thuật hiệu chỉnh tín hiệu hỗn hợp cho công suất tiêu thụ thấp và diện tích chip nhỏ. Tuy nhiên, quá trình sửa lỗi không chính xác và cần thêm mạch tương tự nghệ CMOS [12]. Do đó, độ phân giải của TIADC bị giảm đi và thời gian hiệu chỉnh tăng lên. Kỹ thuật hiệu chỉnh hoàn toàn trên miền số ra đời đã khắc phục được nhược điểm của hai kỹ thuật trên. Tuy nhiên, kỹ thuật này thường giả sử chỉ có một loại sai lệch nhất định, các sai lệch khác được giả sử là không tồn tại hoặc đã được hiệu chỉnh [11–15,85–87]. Do đó, luận án đề xuất kỹ thuật hiệu chỉnh cho cả ba sai lệch kênh cùng tồn tại trong TIADC và làm suy giảm hiệu năng của TIADC. Đây là điểm khác biệt mang ý nghĩa then chốt khi thực hiện kỹ thuật đề xuất. Tuy nhiên, để thực hiện hiệu chỉnh có hiệu quả thì luận án thực hiện hiệu chỉnh theo thứ tự: hiệu chỉnh sai lệch một chiều, hiệu chỉnh sai lệch khuếch đại và hiệu chỉnh sai lệch định thời. Trong đó, sai lệch một chiều phải được thực hiện trước bởi vì hiệu chỉnh sai lệch khuếch đại và sai lệch định thời yêu cầu đầu ra của các ADC con phải có trung bình bằng 0. Sai lệch một chiều được hiệu chỉnh bằng cách tính trung bình các mẫu đầu ra của ADC con như đã trình bày trong phần 2.2.1. Sai lệch khuếch đại được hiệu chỉnh bằng cách tính tỉ số công suất trung bình của ADC con thứ i so với ADC tham chiếu như đã trình bày trong phần 2.2.2. Tín hiệu đầu ra của ADC con thứ i sau khi hiệu chỉnh sai lệch một chiều và sai lệch khuếch đại được biểu diễn như sau:

$$y_i[k] = x[kM + i + t_i].$$
 (3.3)

Để hiệu chỉnh sai lệch định thời, phương pháp đề xuất sử dụng ma trận Hadamard và bộ lọc vi phân để sửa lỗi sai lệch định thời và sử dụng thuật toán LMS để ước lượng lỗi sai lệch định thời. Quá trình này được được thực hiện theo hai bước: ước lượng lỗi sai lệch định thời và sửa lỗi sai lệch định thời như sau:

* Sửa lỗi sai lệch định thời

Mô hình của kỹ thuật sửa lỗi sai lệch định thời đề xuất được minh họa trong Hình 3.2. Tín hiệu đầu ra của ADC con thứ i có sai lệch định thời được cho qua bộ lọc vi phân $h_d[n]$ và nhân với ma trận Hadamard để tạo tín hiệu lỗi $y'_t[n]$.

$$\mathbf{y}_t'[n] = y_i[n]\mathbf{H}[n] * h_d[n], \qquad (3.4)$$

Trong đó, $\mathbf{H}[n]$ là ma trận Hadamard bậc M và $h_d[n]$ là đáp ứng xung của bộ lọc vi phân. Đáp ứng xung này được biểu diễn như sau:

$$h_d[n] = \begin{cases} \frac{\cos(n\pi)}{n} & n \neq 0\\ 0 & n = 0 \end{cases}$$
(3.5)

Tuy nhiên, để thiết kế được bộ lọc này, luận án đề xuất sử dụng bộ lọc vi phân có đáp ứng xung như sau:

$$h_d[n] = \frac{\cos\left(\pi \left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}},$$
(3.6)

Trong đó, N là bậc của bộ lọc thiết kế.

Khi các sai lệch định thời t_i được ước lượng một cách chính xác từ khối ước lượng sai lệch định thời thì các sai lệch này \hat{t}_i được dùng để tạo tín hiệu



Hình 3.2: Mô hình sửa lỗi sai lệch định thời đề xuất trong TIADC M kênh.

lõi theo phương trình sau:

$$e[n] = t'_i \mathbf{y}'_t[n]. \tag{3.7}$$

Sau đó, các sai lệch này được trừ khỏi đầu ra của ADC con thứ i để tạo thành tín hiệu đã được sửa lỗi sai lệch định thời $\hat{y}_i[n]$ như sau:

$$\hat{y}_i[n] = y_i[n] - e[n] = y_i[n] - t'_i \mathbf{y}'_t[n].$$
 (3.8)

Các hệ số của bộ lọc vi phân trong công thức (3.6) được xác định bằng phương pháp cửa sổ với hàm cửa sổ Hanning. Các lỗi sai lệch định thời được tính dựa vào ma trận Hadamard như sau:

$$\begin{bmatrix} t'_{0} \\ t'_{1} \\ \vdots \\ t'_{M-1} \end{bmatrix} \approx \frac{1}{M} \mathbf{H} \begin{bmatrix} t_{0} \\ t_{1} \\ \vdots \\ t_{M-1} \end{bmatrix}.$$
(3.9)

Trong đó, t_i nhỏ hơn 1 (với i = 0, 1, ..., M - 1) và $t'_0 = 0$.

* Ước lượng sai lệch định thời

Để ước lượng sai lệch định thời, kỹ thuật đề xuất sử dụng thuật toán LMS để khôi phục lại các sai lệch định thời trong từng kênh \hat{t}_i . Mô hình khối ước lượng sai lệch định thời được minh họa trong Hình 3.3. Giá trị sai lệch định



Hình 3.3: Mô hình ước lượng đề xuất cho các sai lệch kênh trong TIADC M kênh.

thời ước lượng được \hat{t}_i được dùng để tạo tín hiệu lỗi $\hat{y}'_t[n]$ theo công thức sau:

$$\hat{y}'_t[n] = \mathbf{\hat{t}}_i \mathbf{\bar{y}}'_t[\mathbf{n}], \qquad (3.10)$$

Trong đó, $\mathbf{\bar{y}}'_{\mathbf{t}}[\mathbf{n}]$ được tạo bởi bộ lọc f[n] và ma trận Hadamard H[\mathbf{n}] theo công thức sau:

$$\overline{\mathbf{y}}_{\mathbf{t}}'[\mathbf{n}] = y[n]\mathbf{H}[\mathbf{n}] * h_d[n] * f[n].$$
(3.11)

Các hệ số sai lệch định thời trên từng kênh được tính toán bằng thuật toán LMS như sau:

$$\mathbf{\hat{t}}_{\mathbf{i}}\left[\mathbf{n}\right] = \mathbf{\hat{t}}_{\mathbf{i}}\left[\mathbf{n}-\mathbf{1}\right] + \mu \mathbf{\bar{y}}'\left[\mathbf{n}\right] \boldsymbol{\varepsilon}\left[n\right], \qquad (3.12)$$

Trong đó, μ là bước thích nghi của thuật toán LMS và $\varepsilon[n]$ là phiên bản trễ của tín hiệu y[n] sau khi qua bộ lọc f[n]. Các sai lệch định thời ước lượng được \hat{t}_i sẽ được dùng để tạo tín hiệu lỗi $\hat{y}'_t[n]$ như phương trình (3.10). Các tín hiệu lỗi này sẽ được trừ khỏi đầu ra của ADC để tạo thành tín hiệu được sửa lỗi $\hat{y}_i[n]$:

$$\hat{y}_i[n] = y_i[n] - \hat{y}'_t[n].$$
(3.13)

* Kết quả mô phỏng

Phương pháp mô phỏng Monte-Carlo trên phần mềm MATLAB được dùng để chứng minh cho hiệu quả của phương pháp hiệu chỉnh sai lệch kênh đề xuất. Trong đó, TIADC 4 kênh 11 bit lấy mẫu tại tần số $f_s = 2,7$ GHz được dùng để mô phỏng. Giả sử kênh đầu tiên không có sai lệch định thời và là kênh tham chiếu để thực hiện hiệu chỉnh sai lệch khuếch đại và sai lệch định thời. Các sai lệch kênh được cho trong Bảng 3.1. Tín hiệu tương tự đầu vào có băng tần hữu hạn với phương sai $\sigma = 1$. Số điểm FFT dùng để mô phỏng là 2¹⁸. Bộ lọc vi phân $h_d[n]$ được xây dựng bằng phương pháp cửa sổ với hàm cửa sổ Hanning và có bậc là 33. Cửa sổ Hanning được sử dụng để vừa đảm

| ADC con | Giá trị các loại sai lệch kênh | | |
|---------|--------------------------------|---------|----------------|
| | o_i | g_i | t_i |
| ADC_0 | 0,0269 | 0,0365 | 0 |
| ADC_1 | 0,0917 | -0,0048 | $-0,00093T_s$ |
| ADC_2 | -0,0113 | -0,0047 | $0,00093T_{s}$ |
| ADC_3 | 0,0431 | 0,0078 | $0,00103T_s$ |

Bảng 3.1: Bảng giá trị các sai lệch kênh trong từng kênh TIADC.

bảo yêu cầu của kỹ thuật đề xuất vừa có bậc bộ lọc nhỏ. Do đó, kỹ thuật đề xuất có thể giảm bớt tài nguyên phần cứng khi thực thi trên FPGA. Bước thích nghi của thuật toán LMS là $\mu = 2^{-14}$. Kết quả mô phỏng được thực hiện với tín hiệu vào đơn âm và tín hiệu đa âm.

Hình 3.4 thể hiện kết quả mô phỏng mật độ phổ công suất (PSD) của kỹ thuật đề xuất đối với tín hiệu vào đơn âm tại tần số $f_{in} = 0, 45 f_s$. Kết quả mô phỏng cho thấy, các sai lệch kênh trong TIADC đã được loại bỏ. Hiệu năng của TIADC sau khi hiệu chỉnh cũng đã được cải thiện đáng kể. SNDR trước khi hiệu chỉnh là 19,1 dB, sau khi hiệu chỉnh là 67,2 dB. Do đó, SNDR đã cải thiện 48,1 dB. Tương tự, SFDR trước khi hiệu chỉnh là 19,91 dB, sau khi hiệu chỉnh là 97,89 dB. Do đó, SFDR được cải thiện 77,98 dB. So với các công trình hiệu chỉnh sai lệch kênh [13,14,43,79] thì kỹ thuật đề xuất đã cải thiện đáng kể hiệu năng của TIADC.

Bên cạnh đó, kỹ thuật đề xuất cũng thực hiện đối với tín hiệu vào đa âm tại các tần số $f_{in} = [0, 05 \ 0, 18 \ 0, 29 \ 0, 405] \times f_s$ trong băng tần Nyquist đầu tiên. Kết quả mô phỏng phổ tần đầu ra cho tín hiệu này được minh họa trên Hình 3.5. Kết quả mô phỏng cũng cho thấy hầu hết các hài do sai lệch kênh gây ra đã được hiệu chỉnh.

Ngoài ra, hiệu quả của kỹ thuật đề xuất cũng được đánh giá thông qua



Hình 3.4: Phổ tần số đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh các sai lệch kênh đối với tín hiệu vào đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

thời gian ước lượng các tham số sai lệch kênh. Hình 3.6(a) và Hình 3.6(b) minh họa cho sự hội tụ của các tham số sai lệch một chiều \hat{o}_i và sai lệch định thời \hat{t}_i . Kết quả mô phỏng này cho thấy, sau khoảng 25 mẫu (tương ứng 9,26 ns), các sai lệch một chiều \hat{o}_i đã được ước lượng chính xác. Đối với sai lệch định thời, sau khoảng 30000 mẫu (tương ứng 11,1 μs) thì tham số ước lượng \hat{t}_i đã hội tụ với tham số mong muốn.

* Thực thi phần cứng cho kỹ thuật đề xuất

Kỹ thuật đề xuất cũng đã được thực thi trên phần cứng FPGA để khẳng định chắc chắn hơn nữa hiệu quả của nó và chứng minh khả năng có thể



Hình 3.5: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh đối với tín hiệu vào đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

thực thi trên phần cứng của phương pháp đề xuất. Kết quả thực thi trên FPGA để xác nhận rằng, kỹ thuật đề xuất có thể thực thi trên phần cứng. Kết quả thực thi trên phần cứng được thực hiện thông qua đồng mô phỏng phần cứng/phần mềm (co-simulation) bằng phần mềm MATLAB/Simulink và công cụ thiết kế Xilinx FPGA. Công cụ này thực hiện xây dựng mô hình hiệu chỉnh các sai lệch kênh thông qua ngôn ngữ mô tả phần cứng VHDL được tạo ra từ MATLAB/Simulink. Kiến trúc phần cứng của kỹ thuật đề xuất được thiết kế và tối ưu hóa theo cách biểu diễn dấu phẩy tĩnh (fixedpoint). Kiến trúc này được đặc trưng bởi dải tín hiệu và chiều dài từ mã tín hiệu (signal word length) được tối ưu bởi công cụ thiết kế.

Sơ đồ thực thi phần cứng cho kỹ thuật đề xuất được thực hiện thông qua



Hình 3.6: Sự hội tụ khi áp dụng kỹ thuật đề xuất của các sai lệch kênh: (a) sai lệch một chiều và (b) sai lệch định thời.

công cụ System Generator trong MATLAB và phương pháp đồng mô phỏng phần cứng/phần mềm gọi là Xilinx FPGA in-the-loop (FIL) được minh họa trong Hình 3.7. Với tín hiệu đầu ra của TIADC tạo ra từ máy tính được thực hiện thông qua mô phỏng trên phần mềm MATLAB và mô phỏng phần cứng



Hình 3.7: Sơ đồ thực thi phần cứng cho kỹ thuật đề xuất được thực hiện thông qua công cụ System Generator trong công cụ mô phỏng MATLAB và phương pháp Xilinx FPGA in-the-loop (FIL)

đồng thời thông qua phương pháp FIL trên bảng mạch FPGA. Tín hiệu đầu ra của TIADC bao gồm các sai lệch kênh được tạo ra trên máy tính thông qua phần mềm MATLAB. Các tín hiệu này được nạp vào bảng mạch FPGA đã nhúng kỹ thuật hiệu chỉnh đề xuất thông qua cáp USB JTAG. Kết quả sau khi thực hiện trên phần cứng được đưa trở lại máy tính để so sánh với kết quả mô phỏng trên MATLAB/Simulink. Kết quả so sánh bao gồm mật độ phổ công suất (PSD), SNDR, SFDR và thời gian hội tụ. Hình 3.8 minh họa các cài đặt và kết quả thực nghiệm của phương pháp đề xuất trong phòng thí nghiệm.

Kết quả thực nghiệm trên phần cứng FPGA của kỹ thuật đề xuất được minh họa trên Hình 3.9, Hình 3.10 và Hình 3.11. So sánh kết quả mô phỏng



Hình 3.8: Cài đặt và kết quả thực nghiệm của phương pháp đề xuất trên phần cứng FPGA.



Hình 3.9: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với tín hiệu vào đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.


Hình 3.10: Phổ tần đầu ra của TIADC 4 kênh trước và sau khi hiệu chỉnh sai lệch kênh thông qua thực thi trên phần cứng FPGA đối với tín hiệu vào đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

thông qua phần mềm MATLAB trong Hình 3.4 và Hình 3.5 với kết quả thực thi trên phần cứng FPGA trong Hình 3.9 và Hình 3.10 là khá giống nhau. Hiệu năng của TIADC trước và sau khi hiệu chỉnh trên phần cứng FPGA cũng gần đạt được như kết quả mô phỏng. Kết quả thực nghiệm chỉ ra rằng hiệu năng của TIADC đã được cải thiện 34,03 dB đối với SNDR và 62,07 dB đối với SFDR. Do có sự khác nhau trong cách biểu diễn dấu phẩy tĩnh và dấu phẩy động khi mô phỏng và thực nghiệm nên có sự chênh lệch về hiệu năng của hai phương pháp trên.

Bên cạnh đó, sự hội tụ của các tham số ước lượng cũng đã được minh họa trong Hình 3.11. Trong đó, sự hội tụ của quá trình ước lượng sai lệch một chiều và sai lệch định thời trên phần cứng FPGA lần lượt được minh họa trong Hình 3.11(a) và Hình 3.11(b). Kết quả này cho thấy, sai lệch một chiều



Hình 3.11: Sự hội tụ khi thực thi kỹ thuật đề xuất trên phần cứng FPGA của các sai lệch kênh: (a) sai lệch một chiều và (b) sai lệch định thời.

 \hat{o}_i hội tụ sau khoảng 50 mẫu (tương ứng 0,0185 μs) và sai lệch định thời \hat{t}_i hội tụ sau khoảng 30000 mẫu (tương ứng 11,1 μs). Kết quả này rất giống với kết quả mô phỏng được thể hiện trên Hình 3.6.

Các kết quả trên được thực hiện trên phần cứng FPGA (thông qua bo

| Tài nguyên | XC7Z020 CLG484-1 SoC |
|------------|----------------------|
| LUT | 9921/53.200~(18,65%) |
| LUT RAM | 61/17.400~(0,35%) |
| Flip-Flop | 7035/106.400~(6,61%) |
| DSP slices | 15/220~(6,82%) |
| Fmax | $102,7~\mathrm{MHz}$ |

Bảng 3.2: Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất.

mạch Xilinx ZYNQ-7000 SoC ZC702 evaluation board) đã chứng minh rằng mạch đã được tổng hợp hoạt động đúng và tiêu tốn rất ít tài nguyên phần cứng của chip FPGA. Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất được thể hiện trong Bảng 3.2.

Kết quả so sánh với các công trình đã công bố được thể hiện trong Bảng 3.3. Các kết quả này được thực hiện thông qua mô phỏng Monte-Carlo. Kết quả so sánh cho thấy hiệu năng của kỹ thuật đề xuất cao hơn so với các công trình khác. Bên cạnh đó, thời gian hiệu chỉnh của kỹ thuật đề xuất ngắn hơn do tốc độ hội tụ nhanh hơn so với các công trình khác. Công trình [13] không đề cập đến tần số lấy mẫu nên chưa xác định được thời gian hội tụ. Công trình [14] có thời gian hội tụ ít hơn (khoảng 3,7 μ s) nhưng hiệu năng thấp hơn và chỉ thực hiện hiệu chỉnh cho sai lệch định thời. Công trình [79] đã thực hiện hiệu chỉnh cả ba lỗi sai lệch kênh nhưng có thời gian ước lượng lâu hơn (khoảng 12,5 μ s) và hiệu năng thấp hơn. Trong khi đó kỹ thuật đề xuất có thời gian hội tụ ít hơn (khoảng 11,1 μ s) và hiệu năng cao hơn. Do đó, kỹ thuật đề xuất cho hiệu quả tốt hơn các kỹ thuật thông thường.

* Nhận xét và thảo luận

Phần này đã trình bày phương pháp hiệu chỉnh nền trên miền số tuần tự

| Tham số so sánh | TCAS-I 2013 | TCAS-II 2016 | TCAS-I 2018 | Kỹ thuật |
|------------------------|-------------|--------------------|-------------------|--------------------|
| | [13] | [14] | [79] | đề xuất |
| Loại sai lệch kênh | G, T^* | T^* | O,G,T^* | O, G, T^* |
| Hiệu chỉnh mù | Có | Có | Có | Có |
| Hiệu chỉnh nền | Có | Có | Có | Có |
| Số kênh ghép xen | 4** | 4 | 4 | 4** |
| Tần số lấy mẫu | _ | $2,7 \mathrm{GHz}$ | $32 \mathrm{GHz}$ | $2,7 \mathrm{GHz}$ |
| Tần số đầu vào | $0,\!45f_s$ | Đa âm | $0,\!18f_{s}$ | 0,45 f_s & Đa âm |
| Số bit | 10 | 11 | 9 | 11 |
| Cải thiện SNDR (dB) | 62 | 11 | $36,\!55$ | 48,1 |
| Cải thiện SFDR (dB) | _ | 28 | 43,72 | $77,\!98$ |
| Thời gian hội tụ (mẫu) | 60k | 10k | 400k | 30k |

Bảng 3.3: Bảng so sánh kết quả của kỹ thuật đề xuất với các công trình đã công bố

*O: Sai lệch một chiều, G: Sai lệch khuếch đại, T: Sai lệch định thời

**: Phụ thuộc ma trận Hadamard

dề xuất đối với sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trong TIADC *M* kênh. Trong đó, sai lệch một chiều được hiệu chỉnh trước bằng cách tính trung bình các mẫu đầu ra của các ADC thành phần. Sau đó, sai lệch khuếch đại được hiệu chỉnh bằng cách tính tỉ số trung bình công suất của các ADC thành phần với ADC đầu tiên. Cuối cùng, sai lệch định thời được hiệu chỉnh bằng cách sử dụng ma trận Hadamard cho việc sửa lỗi và thuật toán LMS cho việc ước lượng lỗi. Các sai lệch kênh này đã được hiệu chỉnh với kỹ thuật đơn giản, tiêu tốn ít tài nguyên phần cứng, cho hiệu năng cao và thời gian hội tụ nhanh hơn so với các kỹ thuật thông thường. Phương pháp đề xuất sử dụng ma trận Hadamard cho việc hiệu chỉnh sai lệch định thời nên số kênh của TIADC phụ thuộc vào bậc của ma trận này. Tuy nhiên, bậc của ma trận này thường được chọn là 2, 4, 8,... nên nó cũng phù hợp với việc thiết kế, chế tạo TIADC hiện nay.

3.2. Phương pháp hiệu chỉnh nền trên miền số đồng thời các sai lệch kênh trong TIADC

Phần này trình bày phương pháp hiệu chỉnh nền hoàn toàn trên miền số đồng thời các sai lệch kênh (bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời) trong TIADC M kênh. Trong đó, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời sau khi hiệu chỉnh sai lệch một chiều. Phương pháp đề xuất sử dụng kỹ thuật tính trung bình các mẫu đầu ra của các ADC con để ước lượng sai lệch một chiều và trừ nó khỏi đầu ra của các ADC con tương ứng. Sau đó, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách sử dụng ma trận Hadamard cho việc sửa lỗi và thuật toán LMS cho việc ước lượng lỗi. Kỹ thuật đề xuất đã được kiếm chứng thông qua kết quả mô phỏng bằng phần mềm MATLAB và kết quả thực thi trên phần cứng FPGA. Sau khi hiệu chỉnh, kỹ thuật đề xuất cũng đã đạt được hiệu năng và tốc độ hội tụ của thuật toán ước lượng cao hơn so với phương pháp thông thường. Đề xuất này đã được công bố trong các công trình C1 và J1. Trong đó, công trình C1 là kết quả bước đầu chỉ được kiểm chứng thông qua mô phỏng MATLAB. Kết quả này đã được đánh giá lại chi tiết hơn và bổ sung thêm kết quả thực thi trên phần cứng và so sánh với các công trình khác ở công trình **J1**.

Trong đề xuất này cũng xem xét mô hình TIADC M kênh với sai lệch một chiều o_i , sai lệch khuếch đại g_i và sai lệch định thời t_i như đã trình bày ở phần 2.1. Đầu ra của ADC con thứ i chỉ chứa các sai lệch kênh này được viết như sau:

$$y_i[k] = g_i x[kM + i + t_i] + o_i.$$
(3.14)

Trong kỹ thuật hiệu chỉnh đề xuất, đầu tiên, sai lệch một chiều được hiệu chỉnh trước bằng kỹ thuật tính trung bình các mẫu đầu ra của ADC con như đã trình bày trong tiểu mục 2.2.1. Do đó, phần này không trình bày lại kỹ thuật hiệu chỉnh sai lệch một chiều. Cuối cùng, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách kết hợp ma trận Hadamard cho việc sửa lỗi và thuật toán LMS cho việc ước lượng lỗi. Thay vì sử dụng bộ lọc vi phân lý tưởng như trong [13,86], trong kỹ thuật đề xuất này sử dụng bộ lọc vi phân thông dải. Điều này giúp cải thiện hiệu năng của TIADC. Ngoài ra bộ lọc này cho phép TIADC có thể được sử dụng trực tiếp trong các máy thu lấy mẫu trực tiếp thế hệ tiếp theo, chẳng hạn như: vô tuyến định nghĩa bằng phần mềm, máy thu vệ tinh băng thông rộng hoặc các máy thu lấy mẫu dải băng. Trong các máy thu này, TIADC có thể lấy mẫu tín hiệu vào băng tần hữu hạn trong các băng tần Nyquist cao hơn. Ngoài ra, kỹ thuật đề xuất đã tối ưu bước thích nghi của thuật toán LMS để đạt được hiệu năng cao hơn. Kỹ thuật này cũng đã được xác thực thông qua các kết quả mô phỏng trên phần mềm MATLAB và các kết quả thực thi trên phần cứng FPGA. Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC được minh họa trong Hình 3.12. Trong mô hình này, sai lệch một chiều được hiệu chỉnh trước bằng kỹ thuật tính trung bình các mẫu đầu ra của ADC con tại khối trung bình (TB) như đã trình bày trong tiểu mục 2.2.1. Do đó, phần này chỉ tập trung trình bày kỹ thuật hiệu chỉnh sai lệch khuếch đại và sai lệch định thời.

* Kỹ thuật sửa lỗi sai lệch khuếch đại và sai lệch định thời.

Quá trình sửa lỗi sai lệch khuếch đại và sai lệch định thời được thực hiện bằng cách khôi phục các tín hiệu lỗi do các sai lệch này gây ra và trừ nó khỏi



Hình 3.12: Mô hình hiệu chỉnh đề xuất cho các sai lệch kênh trong TIADC M kênh. đầu ra của TIADC. Sau khi sửa lỗi sai lệch một chiều, tín hiệu đầu ra của ADC con thứ i chỉ có sai lệch khuếch đại và sai lệch định thời được biểu diễn như sau:

$$y_i[k] = g_i x[kM + i + t_i].$$
(3.15)

Như đã trình bày trong [13, 86], véc-tơ tín hiệu chồng phổ giả và đạo hàm của nó được biểu diễn như sau:

$$\mathbf{x}_{e}[n] = y[n], \qquad (3.16)$$
$$\mathbf{x}_{e}'[n] = y[n] * h_{d}[n].$$

Tín hiệu này được nhân với ma trận Hadamard trước khi nhân với hệ số sai lệch khuếch đại và sai lệch định thời để khôi phục lại tín hiệu lỗi do sai lệch khuếch đại và sai lệch định thời gây ra theo công thức sau:

$$\mathbf{x}_{e}[n] = \mathbf{H}y[n], \qquad (3.17)$$
$$\mathbf{x}_{e}'[n] = \mathbf{H}y[n] * h_{d}[n].$$

Trong đó, $\mathbf{x}_e[n]$ và $\mathbf{x}'_e[n]$ lần lượt là véc-tơ tín hiệu chồng phổ giả gây ra bởi sai lệch khuếch đại và sai lệch định thời; $\mathbf{y}[n]$ là tín hiệu đầu ra của TIADC; \mathbf{H} là ma trận Hadamard bậc M; $h_d[n]$ là đáp ứng xung của bộ lọc vi phân lý tưởng. Các phương pháp thông thường [13,85] thường sử dụng bộ lọc vi phân lý tưởng để xác định đạo hàm của tín hiệu băng tần hữu hạn WSS tại băng tần Nyquist đầu tiên. Đáp ứng xung ($h_d[n]$) của bộ lọc vi phân lý tưởng được biểu diễn như sau:

$$h_d[n] = \begin{cases} 0 & n = 0\\ \frac{\cos(n\pi)}{n} & n \neq 0 \end{cases}.$$
(3.18)

Bộ lọc vi phân lý tưởng chỉ hiệu quả đối với các tín hiệu vào nằm trong băng tần Nyquist đầu tiên. Nó không phù hợp cho các ứng dụng yêu cầu băng tần cao hơn, chẳng hạn như: vô tuyến định nghĩa bằng phần mềm, máy thu vệ tinh băng thông rộng hoặc các máy thu lấy mẫu dải băng [12]. Do đó, kỹ thuật đề xuất sử dụng bộ lọc vi phân khác để tính đạo hàm của tín hiệu đầu ra của TIADC. Bộ lọc này có thể làm việc với các tín hiệu vào tại bất kỳ băng tần Nyquist nào. Nó được gọi là bộ lọc vi phân thông dải (Bandpass Derivative Filter). Cấu trúc bộ lọc này được minh họa trong Hình 3.13. Nó bao gồm hệ số tỉ lệ phụ thuộc vào thứ tự của băng tần Nyquist (k_{NB}) và hai bộ lọc đáp ứng xung hữu hạn (FIR). Hai bộ lọc FIR này bao gồm một bộ lọc Hilbert ($h_h[n]$) và một bộ vi phân ($h_d[n]$). Đáp ứng xung của bộ lọc Hilbert được viết như sau:

$$h_h[n] = \begin{cases} 0 & n = 0\\ \frac{2}{\pi} \frac{\sin^2(\frac{n\pi}{2})}{n} & n \neq 0 \end{cases}.$$
 (3.19)

Tuy nhiên, để thiết kế được bộ lọc này, luận án đề xuất sử dụng bộ lọc vi



Hình 3.13: Bộ lọc vi phân thông dải cho kỹ thuật hiệu chỉnh đề xuất.

phân và bộ lọc Hilbert lần lượt có đáp ứng xung như sau:

$$h_d[n] = \frac{\cos\left(\pi \left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}},$$
(3.20)

$$h_h[n] = \frac{2}{\pi} \frac{\sin^2\left(\pi\left(n - \frac{N-1}{2}\right)\right)}{n - \frac{N-1}{2}}$$
(3.21)

Trong đó, N là bậc của bộ lọc thiết kế.

Đối với tín hiệu vào băng thông hữu hạn WSS liên tục theo thời gian nằm trong băng tần Nyquist thứ k_{NB} , hai thành phần tần số của nó phải thỏa mãn định lý lấy mẫu Nyquist–Shannon như sau [10]:

$$(k_{NB} - 1)\frac{f_s}{2} < f_L \le |f| \le f_H < k_{NB}\frac{f_s}{2}, \ k_{NB} \ge 1, \tag{3.22}$$

Trong đó, f_L và f_H lần lượt là các tần số thấp nhất và tần số cao nhất của băng tần tín hiệu.

Để tránh chồng phổ thì điều kiện (3.22) phải được thỏa mãn. Do đó, cấu trúc đề xuất sử dụng bộ lọc Hilbert để quay pha tín hiệu 90°. Đáp ứng xung của bộ lọc vi phân thông dải đề xuất được biểu diễn như sau:

$$h_{bd}[n] = h_d[n] + h_h[n] \times (-1)^{k_{NB}} \left\lfloor \frac{k_{NB}}{2} \right\rfloor 2\pi.$$
 (3.23)

Thay $h_d[n]$ bằng $h_{bd}[n]$ thì công thức (3.17) được viết lại như sau:

$$\mathbf{x}_{e}[n] = \mathbf{H}y[n], \qquad (3.24)$$
$$\mathbf{x}_{e}'[n] = \mathbf{H}y[n] * h_{bd}[n].$$

Do đó, tín hiệu sau khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời được tính như sau:

$$\hat{y}[n] = y[n] - \mathbf{c}_g \mathbf{x}_e[n] - \mathbf{c}_t \mathbf{x}'_e[n], \qquad (3.25)$$

Trong đó, \mathbf{c}_g và \mathbf{c}_t lần lượt là các véc-tơ hệ số sai lệch khuếch đại và sai lệch định thời. Các véc-tơ này được tính như sau:

$$\mathbf{c}_g \approx \frac{1}{M} \mathbf{H} \mathbf{g}, \ \mathbf{c}_t \approx \frac{1}{M} \mathbf{H} \mathbf{t},$$
 (3.26)

Trong đó, **g** và **t** lần lượt là các véc-tơ chứa các giá trị sai lệch khuếch đại g_i và sai lệch định thời t_i .

Như vậy, khi biết được véc-tơ các hệ số sai lệch khuếch đại và sai lệch định thời thì có thể sửa các lỗi này bằng cách trừ các tín hiệu sai lệch khỏi đầu ra của TIADC theo phương trình (3.25). Các véc-tơ hệ số sai lệch này cần phải được ước lượng chính xác thì mới sửa các lỗi này một cách hiệu quả. Việc ước lượng các lỗi sai lệch này sẽ được trình bày ở phần tiếp theo.

* Kỹ thuật ước lượng lỗi sai lệch khuếch đại và sai lệch định thời.

Nhiệm vụ của khối ước lượng là khôi phục chính xác các hệ số sai lệch khuếch đại và sai lệch định thời để đưa đến khối sửa lỗi. Khối này thực hiện tái tạo lại véc-tơ tín hiệu giả ngẫu nhiên và đạo hàm của nó để đưa đến khối LMS. Véc-tơ tín hiệu giả ngẫu nhiên và đạo hàm của nó được xác định theo phương trình sau:

$$\hat{\mathbf{y}}_e[n] = \mathbf{H}\hat{y}[n], \qquad (3.27)$$

$$\hat{\mathbf{y}}_{e}'[n] = \mathbf{H}\hat{y}[n] * h_{bd}[n].$$
(3.28)

Để tránh hiện tượng chồng phổ giữa tín hiệu mong muốn và tín hiệu lỗi khôi phục thì bộ lọc Notch được sử dụng. Bộ lọc này dùng để loại bỏ các tín hiệu $\hat{y}[n]$ tại các vị trí $k\pi/M$ để tránh lỗi ước lượng. Các tín hiệu giả ngẫu nhiên $\hat{\mathbf{y}}_e[n]$ và đạo hàm của nó $\hat{\mathbf{y}}'_e[n]$ được đưa đến khối LMS để tính tương quan của nó so với tín hiệu đầu ra được khôi phục $\hat{y}[n]$. Khối LMS dùng để tính hệ số sai lệch khuếch đại và sai lệch định thời theo thuật toán LMS được xác định như sau:

$$\hat{\mathbf{c}}_{g}[n] = \hat{\mathbf{c}}_{g}[n-1] + \mu_{g}\hat{y}[n]\hat{\mathbf{y}}_{e}[n], \qquad (3.29)$$

$$\hat{\mathbf{c}}_t[n] = \hat{\mathbf{c}}_t[n-1] + \mu_t \hat{y}[n] \hat{\mathbf{y}}'_e[n], \qquad (3.30)$$

Trong đó, μ_g và μ_t lần lượt là các bước thích nghi của thuật toán LMS để ước lượng sai lệch khuếch đại $\hat{\mathbf{c}}_g$ và sai lệch định thời $\hat{\mathbf{c}}_t$.

* Kết quả mô phỏng

Để chứng minh hiệu quả của kỹ thuật hiệu chỉnh đề xuất, TIADC 4 kênh 60 dB SNR lấy mẫu tại tần số 2,7 GHz được mô hình hóa và mô phỏng bằng phần mềm MATLAB. TIADC này bao gồm cả ba sai lệch kênh bao gồm sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Độ lệch chuẩn của các sai lệch này lần lượt là 0,07, 0,05 và 0,33 *ps*. Bộ lọc vi phân thông dải 33 khâu lọc được sử dụng để mô phỏng cho cả khối ước lượng và khối sửa lỗi như đã trình bày trong Hình 3.12. Bộ lọc này được xây dựng theo phương pháp cửa sổ với hàm của sổ Hanning. Bước thích nghi của thuật toán LMS được chọn lần lượt là $\mu_g = 2^{-10}$ và $\mu_t = 2^{-11}$. Tín hiệu tương tự đầu vào dùng để mô phỏng được xét trong cả hai trường hợp: tín hiệu đơn âm tại tần số $f_{in} = 0, 45 f_s$ và tín hiệu đa âm tại các tần số 135 HMz, 486 MHz, 780 MHz và 1094 MHz. Các tín hiệu tương tự đầu vào được lấy mẫu trong khoảng 2^{18} điểm FFT.

Đối với tín hiệu vào hình sin đơn âm, phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh bằng kỹ thuật đề xuất được minh họa trong Hình 3.14. Kết quả này cho thấy hầu hết các hài do các sai lệch kênh gây ra cũng đã được loại bỏ. Kết quả mô phỏng trên Hình 3.14 cũng cho thấy hiệu năng của TIADC cũng đã được cải thiện đáng kể. SNDR sau khi hiệu chỉnh đã cải thiện được 43,7 dB so với trước khi hiệu chỉnh. Tương tự, SFDR cũng đã được cải thiện 74 dB so với trước khi hiệu chỉnh.

Đối với tín hiệu vào hình sin đa âm tại các tần số 135 HMz, 486 MHz, 780 MHz và 1094 MHz, phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh được minh họa trong Hình 3.15. Kết quả mô phỏng cho thấy, không



Hình 3.14: Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh các sai lệch kênh đối với tín hiệu vào hình sin đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh sai lệch một chiều, (c) sau khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời.



Hình 3.15: Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh đối với tín hiệu vào hình sin đa âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh.

cần phải thay đổi các tham số mô phỏng, kỹ thuật đề xuất vẫn loại bỏ hết các hài do các sai lệch kênh gây ra. Điều này đã cho thấy hiệu quả của kỹ thuật đề xuất.

Kỹ thuật đề xuất còn được xem xét ở thời gian hội tụ của các tham số ước lượng sai lệch kênh. Quá trình hội tụ của các tham số ước lượng sai lệch kênh được minh họa trong Hình 3.16. Trong đó, Hình 3.16(a), 3.16(b) và 3.16(c) lần lượt minh họa cho sự hội tụ của tham số ước lượng của sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Kết quả này cho thấy, sai lệch một chiều ước lượng được hội tụ rất nhanh, chỉ sau khoảng 50 mẫu (tương ứng 0,019 μ s). Các hệ số ước lượng được của sai lệch khuếch đại $\hat{\mathbf{c}}_g$ và sai lệch định thời $\hat{\mathbf{c}}_t$ lần lượt hội tụ sau khoảng 10000 mẫu (tương ứng 3,7 μ s) và 9000 mẫu (tương ứng 3,3 μ s).

* Thực thi phần cứng cho kỹ thuật đề xuất

Tiến hành thực thi phần cứng FPGA (thông qua bo mạch Xilinx ZYNQ-



Hình 3.16: Kết quả mô phỏng sự hội tụ khi áp dụng kỹ thuật đề xuất đối với: (a) sai lệch một chiều, (b) sai lệch khuếch đại và (c) sai lệch định thời.

7000 SoC ZC702 evaluation board) cho kỹ thuật đề xuất theo mô hình và cách làm tương tự như đã trình bày trong mục 3.1. Kết quả thực thi trên phần cứng FPGA cũng được lấy ra kết quả về phổ tần đầu ra, hiệu năng (SNDR và SFDR) của TIADC trước và sau khi hiệu chỉnh và sự hội tụ của các tham số sai lệch kênh ước lượng được. Các kết quả này được đưa trở về máy tính để quan sát và so sánh với kết quả mô phỏng trên phần mềm MATLAB.

Phổ tần đầu ra và hiệu năng của TIADC trước và sau khi hiệu chỉnh trên phần cứng FPGA được minh họa trong Hình 3.17. Kết quả này cho thấy hầu hết các hài do các sai lệch kênh gây ra đã được loại bỏ. Kết quả thực nghiệm trên Hình 3.17 và kết quả mô phỏng trên Hình 3.14 khá tương đồng nhau. Hiệu năng của TIADC sau khi hiệu chỉnh trên phần cứng FPGA cũng được cải thiện đáng kể. SNDR sau khi hiệu chỉnh đã cải thiện được 44,49 dB,



Hình 3.17: Phổ tần đầu ra của TIADC trước và sau khi hiệu chỉnh các sai lệch kênh trên phần cứng FPGA đối với tín hiệu vào hình sin đơn âm: (a) trước khi hiệu chỉnh, (b) sau khi hiệu chỉnh sai lệch một chiều, (c) sau khi hiệu chỉnh sai lệch khuếch đại và sai lệch định thời.

SFDR sau khi hiệu chỉnh đã cải thiện được 63,2 dB. Sự khác nhau về kết quả thực nghiệm với kết quả mô phỏng là do cách biểu diễn dấu phẩy tĩnh và dấu phẩy động của hai quá trình này. Do đó, sự chênh lệch này hoàn toàn có thể chấp nhận được.

Kết quả về sự hội tụ của các tham số ước ượng sai lệch kênh được minh họa trong Hình 3.18. Trong đó, Hình 3.18(a), Hình 3.18(b) và Hình 3.18(c) lần lượt minh họa cho sự hội tụ của tham số ước lượng của sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời khi thực thi trên phần cứng FPGA. Các kết quả này hoàn toàn tương đồng với kết quả mô phỏng trong Hình 3.16. Điều này chứng minh rằng, kỹ thuật hiệu chỉnh đề xuất là hoàn



Hình 3.18: Sự hội tụ khi thực thi kỹ thuật đề xuất trên FPGA đối với: (a) sai lệch một chiều, (b) sai lệch khuếch đại và (c) sai lệch định thời.

toàn đúng đắn và có thể thực thi trên phần cứng.

Ngoài ra, các kết quả thực thi trên phần cứng FPGA cũng chứng minh rằng các mạch hiệu chỉnh được tổng hợp hoạt động tốt và tiêu tốn rất ít tài nguyên phần cứng trên chip FPGA. Điều này được minh họa trong Bảng 3.4. Bên cạnh đó, trong Bảng 3.5 trình bày kết quả so sánh các tham số quan trọng của kỹ thuật đề xuất với các công trình đã công bố. Kết quả so sánh cho thấy kỹ thuật đề xuất có hiệu năng cao hơn và thời gian hội tụ ít hơn so với các công trình khác. Công trình [13] không đề cập đến tần số lấy mẫu nên chưa xác định được thời gian hội tụ. Công trình [79] đã thực hiện hiệu chỉnh cả ba lỗi sai lệch kênh nhưng có thời gian ước lượng lâu hơn (khoảng 12,5 μ s) và hiệu năng thấp hơn. Công trình của các tác giả trong [40] đã hiệu chỉnh cả ba sai lệch kênh với thời gian hội tụ ít hơn nhưng hiệu năng thấp

Bảng 3.4: Kết quả sử dụng tài nguyên phần cứng FPGA của kỹ thuật đề xuất.

| Tài nguyên | XC7Z020 CLG484-1 SoC |
|-----------------|------------------------|
| LUT | 10.600/53.200~(19,92%) |
| LUT RAM | 66/17.400~(0,38%) |
| Flip-Flop (FFs) | 7281/106.400~(6,84%) |
| DSP slices | 30/220~(13,64%) |
| Fmax | 102,7 MHz |

Bảng 3.5: Bảng so sánh kết quả của kỹ thuật đề xuất với các công trình đã công bố.

| Tham số so sánh | TCAS-I 2013 | TCAS-I 2018 | CSSP 2017 | Kỹ thuật |
|------------------------|-------------|--------------------|-----------------------|---------------------|
| | [13] | [79] | [40] | đề xuất |
| Loại sai lệch kênh | G, T* | O, G, T^* | O, G, T^* | O, G, T^{*} |
| Hiệu chỉnh mù | Có | Có | Có | Có |
| Hiệu chỉnh nền | Có | Có | Có | Có |
| Số kênh ghép xen | 8 | 4 | 8 | 4 |
| Tần số lấy mẫu (f_s) | _ | 32 GS/s | $3,072~\mathrm{GS/s}$ | $2,7~\mathrm{GS/s}$ |
| Tần số đầu vào | $0,\!45f_s$ | $0,18f_{s}$ | $0, 1f_s$ | $0,\!45f_s$ |
| Số bit | 10 | 9 | 12 | 11 |
| Thời gian hội tụ (mẫu) | 60K | $40 \mathrm{K}$ | 11K | 10K |
| Cải thiện SNDR (dB) | 25 | $36,\!55$ | 21 | 43,7 |
| Cải thiện SFDR (dB) | _ | 43,72 | — | 74 |

*O: Sai lệch một chiều, G: Sai lệch khuếch đại, T: Sai lệch định thời

hơn và chưa kiếm chứng trên FPGA. Trong khi đó kỹ thuật đề xuất có thời gian hội tụ ít hơn (khoảng 3,7 μs) và hiệu năng cao hơn. Do đó, kỹ thuật đề xuất cho hiệu quả tốt hơn các kỹ thuật thông thường.

* Nhận xét và thảo luận

Phần này đã trình bày phương pháp hiệu chỉnh nền hoàn toàn số đề xuất đối với sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời trong TIADC M kênh. Trong đó, sai lệch một chiều được hiệu chỉnh trước bằng cách tính trung bình các mẫu tại đầu ra của mỗi ADC con. Sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách sử dụng ma trận Hadamard và bộ lọc vi phân thông dải để khôi phục các tín hiệu lỗi gây ra bởi các sai lệch này. Các tín hiệu lỗi sau đó được trừ khỏi đầu ra của TIADC

để tạo thành tín hiệu đã hiệu chỉnh. Các kết quả mô phỏng và kết quả thực nghiệm trên phần cứng FPGA đã cho thấy sự cải thiện của kỹ thuật hiệu chỉnh đề xuất về SNDR, SFDR và thời gian hội tụ. Kết quả thực nghiệm cho thấy, kỹ thuật đề xuất cũng tiêu tốn ít tài nguyên trên phần cứng FPGA. Phương pháp đề xuất sử dụng ma trận Hadamard cho việc hiệu chỉnh sai lệch khuếch đại và sai lệch định thời nên số kênh của TIADC phụ thuộc vào bậc của ma trận này. Tuy nhiên, bậc của ma trận này thường được chọn là 2, 4, 8,... nên nó cũng phù hợp với việc thiết kế, chế tạo TIADC hiện nay.

3.3. Kết luận chương

Trên cơ sở mô hình hệ thống TIADC M kênh bao gồm sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và các phương pháp hiệu chỉnh các sai lệch này ở Chương 2, Chương 3 đã đề xuất hai phương pháp hiệu chỉnh nền trên miền số cho cả ba sai lệch kênh trong TIADC. Trong đó, phương pháp đề xuất thứ nhất thực hiện hiệu chỉnh lần lượt các sai lệch kênh. Phương pháp này thực hiện hiệu chỉnh lần lượt các sai lệch kênh từ sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời như đã trình bày ở Chương 2. Trong đó, sai lệch định thời được ước lượng bằng thuật toán LMS. Kết quả hiệu chỉnh của phương pháp đề xuất đã được so sánh với các công trình công bố gần đây và cho kết quả tốt. Phương pháp đề xuất thứ hai thực hiện hiệu chỉnh sai lệch một chiều trước bằng kỹ thuật tính trung bình các mẫu tại đầu ra của mỗi ADC con. Tuy nhiên, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách kết hợp sử dụng ma trận Hadamard và bộ lọc vi phân thông dải để sửa lỗi các sai lệch này. Các sai lệch này được ước lượng bằng các sử dụng thuật toán LMS. Kết quả cho thấy phương pháp đề xuất đã loại bỏ hoàn toàn các hài do các sai lệch kênh gây ra. Các kết quả trong hai phương pháp đề xuất đã được kiểm chứng thông qua kết quả mô phỏng trên phần mềm MATLAB và thực nghiệm trên phần cứng FPGA.

KẾT LUẬN VÀ HƯỚNG NGHIÊN CỨU

Luận án đã trình bày kết quả nghiên cứu, tìm hiểu tổng quan về các bộ biến đổi tương tự - số ghép xen thời gian, vị trí, vai trò của nó trong các máy thu lấy mẫu trực tiếp và các sai lệch kênh xảy ra trong TIADC. Trên cơ sở phân tích ảnh hưởng của các sai lệch kênh đến hiệu năng của TIADC và các công trình nghiên cứu liên quan về các phương pháp hiệu chỉnh sai lệch kênh trong TIADC, luận án đã đề xuất các phương pháp hiệu chỉnh sai lệch kênh mới. Hai phương pháp đề xuất mới đó là: phương pháp hiệu chỉnh lần lượt các sai lệch kênh trong TIADC bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời và phương pháp hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều trong TIADC. Các đề xuất trên đã được kiểm nghiệm bằng mô phỏng trên phần mềm MATLAB và kiểm chứng thông qua thực thi trên phần cứng FPGA. Tóm tắt những đóng góp của luận án được trình bày cụ thể dưới đây.

A. NHỮNG ĐÓNG GÓP CỦA LUẬN ÁN

Việc nghiên cứu, đề xuất các giải pháp hiệu chỉnh các sai lệch kênh trong TIADC luôn là vấn đề được nhiều nhà khoa học quan tâm. Trong luận án này, nghiên cứu sinh đã nghiên cứu đề xuất các giải pháp hiệu chỉnh các sai lệch kênh trong TIADC và có một số đóng góp quan trọng sau:

1. Nghiên cứu, đề xuất và thực hiện thành công phương pháp hiệu chỉnh lần lượt cho cả ba sai lệch kênh trong TIADC bao gồm: sai lệch một chiều, sai lệch khuếch đại và sai lệch định thời. Phương pháp đề xuất đã được kiểm chứng thông qua mô phỏng trên phần mềm MATLAB và thực thi thử nghiệm trên công nghệ FPGA. Đóng góp này được công bố trong các công trình khoa học: 03 bài báo đăng trên tạp chí, hội nghị khoa học uy tín (trong đó có một bài đăng trên tạp chí quốc tế và một bài báo đăng trên tạp chí khoa học trong nước và một bài báo đăng trong kỷ yếu hội nghị quốc tế).

2. Nghiên cứu, đề xuất và thực hiện thành công phương pháp hiệu chỉnh đồng thời sai lệch khuếch đại và sai lệch định thời sau khi hiệu chỉnh sai lệch một chiều trong TIADC. Theo đó, sai lệch một chiều được hiệu chỉnh trước bằng kỹ thuật tính trung bình các mẫu tại đầu ra của mỗi ADC thành phần. Sau đó, sai lệch khuếch đại và sai lệch định thời được hiệu chỉnh đồng thời bằng cách kết hợp sử dụng ma trận Hadamard và bộ lọc vi phân thông dải. Phương pháp đề xuất này được kiểm chứng thông qua quả mô phỏng trên phần mềm MATLAB và thực thi thử nghiệm trên công nghệ FPGA. Đóng góp này được công bố trong các công trình khoa học: một bài đăng trên tạp chí quốc tế thuộc danh mục SCIE và một bài báo đăng trong kỷ yếu hội nghị khoa học quốc gia có uy tín.

B. HƯỚNG NGHIÊN CỨU TIẾP THEO

Trên cơ sở các công trình nghiên cứu, để hoàn thiện hơn nữa cần phải tiếp tục nghiên cứu các vấn đề có liên quan và phát triển một số đề xuất mới. Nội dung cụ thể cần tiếp tục mở rộng nghiên cứu gồm:

- Nghiên cứu, đề xuất phương pháp hiệu quả hơn nữa đế hiệu chỉnh cho các sai lệch kênh trong TIADC, sử dụng các thuật toán thích nghi khác, chẳng hạn như FxLMS, RLS, ... để ước lượng các sai lệch kênh trong TIADC.
- Nghiên cứu, đề xuất phương pháp hiệu chỉnh cho sai lệch băng thông trong TIADC.

- 3. Nghiên cứu, đề xuất phương pháp hiệu chỉnh cho tất cả các sai lệch kênh trong TIADC. Các sai lệch này bao gồm sai lệch một chiều, sai lệch khuếch đại, sai lệch định thời và sai lệch băng thông.
- Nghiên cứu, đề xuất phương pháp hiệu chỉnh các sai lệch kênh trong TIADC bằng kỹ thuật học sâu (Deep learning).

DANH MỤC CÁC CÔNG TRÌNH ĐÃ CÔNG BÔ

A. Các công trình sử dụng trong luận án

- J1. V.-T. Ta, V.-P. Hoang, V.-P. Pham, and C.-K. Pham, "An improved alldigital background calibration technique for channel mismatches in high speed time-interleaved analog-to-digital converters," *Electronics*, vol. 9, no. 1, p. 73, 2020. (SCIE)
- J2. T. Van-Thanh, H. Van-Phuc, T. Xuan Nam, "All-digital background calibration technique for offset, gain and timing mismatches in timeinterleaved ADCs," *EAI Endorsed Transactions on Industrial Networks* and Intelligent Systems, vol. 6, no. 21, 2019.
- J3. T. Van-Thanh, H. Van-Phuc, "Combined Power Ratio Calculation, Hadamard Transform and LMS-Based Calibration of Channel Mismatches inTime-Interleaved ADC," VNU of Science: Computer Science and Communication Engineering, vol. 32, no. 2, 2020.
- C1. Van-Thanh Ta, Y. H. Thi, H. Le Duc and V.-P. Hoang, "Fully Digital Background Calibration Technique for Channel Mismatches in TIADCs," Proceeding of the 2018 5th NAFOSTED Conference on Information and Computer Science (NICS), pp. 270-275, 2018.
- C2. Van-Thanh Ta, Van-Phuc Hoang, "Sequential All-Digital Background Calibration for Channel Mismatches in Time-Interleaved ADC," Intelligent Computing in Engineering, Springer, pp. 1081-1089, 2020.

B. Các công trình liên quan đến luận án

- C3. Hoàng Thị Yến, Tạ Văn Thành, Lê Đức Hân, Trịnh Xuân Minh, Hoàng Văn Phúc, Đỗ Ngọc Tuấn, "Đánh giá các thuật toán ước lượng mù trong bù sai lệch định thời cho các bộ ADC ghép xen thời gian," Proceeding of The 21st National Conference on Electronics, Communications and Information Technology (REV-ECIT 2018), pp. 78-82, 2018.
- C4. Yen Hoang Thi, Van-Thanh Ta, Han Le Duc, Duong Quang Manh and Van-Phuc Hoang, "Background Calibration of Multiple Channel Mismatches in Time-Interleaved ADCs," Proceeding of the 2019 3rd International Conference on Recent Advances in Signal Processing, Telecommunications & Computing (SigTelCom), pp. 43-47, 2019.
- J4. Van-Phuc Hoang and Van-Thanh Ta, "Fully digital background calibration of channel mismatches in time-interleaved ADCs using recursive least square algorithm," *AEU-International Journal of Electronics and Communications*, vol. 130, p. 153574, 2021. (SCIE).

TÀI LIỆU THAM KHẢO

- W. C. Black and D. A. Hodges, "Time interleaved converter arrays," *IEEE Journal of Solid-state circuits*, vol. 15, no. 6, pp. 1022–1029, 1980.
- [2] H. Le Duc, D. M. Nguyen, C. Jabbour, P. Desgreys, O. Jamin *et al.*, "Fully digital feedforward background calibration of clock skews for subsampling tiades using the polyphase decomposition," *IEEE Transactions* on Circuits and Systems I: Regular Papers, vol. 64, no. 6, pp. 1515–1528, 2017.
- [3] X. Bai, H. Hu, W. Li, and F. Liu, "Blind calibration method for twochannel time-interleaved analog-to-digital converters based on fft," *Journal of Electronic Testing*, vol. 34, no. 6, pp. 643–650, 2018.
- [4] X. Liu, H. Xu, Y. Wang, Y. Dai, N. Li, and G. Liu, "Calibration for sample-and-hold mismatches in m-channel tiades based on statistics," *Applied Sciences*, vol. 9, no. 1, p. 198, 2019.
- [5] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, and K. Kobayashi, "Explicit analysis of channel mismatch effects in timeinterleaved adc systems," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, no. 3, pp. 261–271, March 2001.
- [6] C. Jabbour, P. Desgreys, and D. Dallet, *Digitally enhanced mixed signal systems*. Institution of Engineering & Technology, 2019.

- [7] Y. A. Tavares, K.-Y. Lee, and M. Lee, "All-digital bandwidth mismatch calibration of ti-adcs based on optimally induced minimization," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 5, pp. 1175–1184, 2020.
- [8] C. Vogel, "The impact of combined channel mismatch effects in timeinterleaved adcs," *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 1, pp. 415–427, Feb 2005.
- [9] F. Ghanem, "Bandwidth mismatch calibration in time-interleaved analog-to-digital converters," Ph.D. dissertation, 2012.
- [10] V.-P. Hoang, V.-T. Ta, H. Le Duc, and V.-H. Pham, "Impacts of channel mismatches in undersampling tiadcs," in *The 2016 National Conference on Electronics, Communications and Information Technology* (*REV-2016*), 2016, pp. 2–8–2–15.
- [11] C. Vogel, D. Draxelmayr, and F. Kuttner, "Compensation of timing mismatches in time-interleaved analog-to-digital converters through transfer characteristics tuning," in *The 2004 47th Midwest Symposium on Circuits* and Systems, 2004. MWSCAS'04., vol. 1. IEEE, 2004, pp. I–341.
- [12] H. Le Duc, D. M. Nguyen, C. Jabbour, T. Graba, P. Desgreys, O. Jamin et al., "Hardware implementation of all digital calibration for undersampling tiades," in 2015 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2015, pp. 2181–2184.
- [13] J. Matsuno, T. Yamaji, M. Furuta, and T. Itakura, "All-digital background calibration technique for time-interleaved adc using pseudo alias-

ing signal," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 5, pp. 1113–1121, 2013.

- [14] H. Le Duc, D. M. Nguyen, C. Jabbour, T. Graba, P. Desgreys, O. Jamin et al., "All-digital calibration of timing skews for tiadcs using the polyphase decomposition," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 1, pp. 99–103, 2016.
- [15] C. Vogel and S. Mendel, "A flexible and scalable structure to compensate frequency response mismatches in time-interleaved adcs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 11, pp. 2463–2475, 2009.
- [16] S. Singh, L. Anttila, M. Epp, W. Schlecker, and M. Valkama, "Frequency response mismatches in 4-channel time-interleaved adcs: Analysis, blind identification, and correction," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 9, pp. 2268–2279, 2015.
- [17] B. T. Reyes, R. M. Sanchez, A. L. Pola, and M. R. Hueda, "Design and experimental evaluation of a time-interleaved adc calibration algorithm for application in high-speed communication systems," *IEEE Transactions* on Circuits and Systems I: Regular Papers, vol. 64, no. 5, pp. 1019–1030, 2016.
- [18] H. Chen, Y. Pan, Y. Yin, and F. Lin, "All-digital background calibration technique for timing mismatch of time-interleaved adcs," *Integration*, vol. 57, pp. 45–51, 2017.
- [19] M. Chakravarthi and B. Chandramohan, "Estimation of sampling time offsets in an n-channel time-interleaved adc network using differential

evolution algorithm and correction using fractional delay filters," in *Machine Intelligence and Signal Analysis*. Springer, 2019, pp. 267–278.

- [20] S. Singh, "Time-interleaved analog-to-digital-converters: Modeling, blind identification and digital correction of frequency response mismatches," Ph.D. dissertation, 2016.
- [21] A. Abbaszadeh, E. N. Aghdam, and A. Rosado-Munoz, "Digital background calibration algorithm and its fpga implementation for timing mismatch correction of time-interleaved adc," *Analog Integrated Circuits and Signal Processing*, vol. 99, no. 2, pp. 299–310, 2019.
- [22] B. Murmann, "Adc performance survey 1997-2021," 2021. [Online].
 Available: http://web.stanford.edu/~murmann/adcsurvey.html
- [23] S. Ahmadi, 5G NR: Architecture, Technology, Implementation, and Operation of 3GPP New Radio Standards. Academic Press, 2019.
- [24] C. Jabbour, "Reconfigurable parallel delta sigma analog to digital converters," Ph.D. dissertation, Citeseer, 2010.
- [25] B. Razavi, "Design considerations for interleaved adcs," IEEE Journal of Solid-State Circuits, vol. 48, no. 8, pp. 1806–1817, 2013.
- [26] K. Doris, E. Janssen, C. Nani, A. Zanikopoulos, and G. Van der Weide, "A 480mw 2.6gs/s 10b 65nm cmos time-interleaved adc with 48.5db sndr up to nyquist," in 2011 IEEE International Solid-State Circuits Conference, Feb 2011, pp. 180–182.
- [27] E. Z. Tabasy, A. Shafik, K. Lee, S. Hoyos, and S. Palermo, "A 6b 10gs/s ti-sar adc with embedded 2-tap ffe/1-tap dfe in 65nm cmos," in 2013 Symposium on VLSI Circuits, June 2013, pp. C274–C275.

- [28] M. El-Chammas and B. Murmann, Background calibration of timeinterleaved data converters. Springer Science & Business Media, 2011.
- [29] R. H. Walden, "Analog-to-digital converter survey and analysis," *IEEE Journal on selected areas in communications*, vol. 17, no. 4, pp. 539–550, 1999.
- [30] M. Gustavsson, J. J. Wikner, and N. Tan, CMOS data converters for communications. Springer Science & Business Media, 2000, vol. 543.
- [31] K. H. Lundberg, "Analog-to-digital converter testing," A High speed, Low power Analog-to-Digital Converter Testing in Fully Depleted Silicon-on-Insulator Technology, pp. 97–109, 2002.
- [32] B. E. Jonsson, "A/d-converter performance evolution," Converter Passion, 2012.
- [33] D. H. Le, T. K. P. Dinh, V.-P. Hoang, and D. M. Nguyen, "Alldigital background calibration of gain and timing mismatches in timeinterleaved adcs using adaptive noise canceller," *AEU-International Journal of Electronics and Communications*, vol. 114, p. 152999, 2020.
- [34] H. Chen, Y. Yin, T. Liu, L. Gan, R. Xiao, H. Yan, and H. Deng, "A split-based fully digital feedforward background calibration technique for timing mismatch in tiadc," *Integration*, vol. 71, pp. 105–114, 2020.
- [35] J. Li, J. Pan, and Y. Zhang, "Automatic calibration method of channel mismatches for wideband ti-adc system," *Electronics*, vol. 8, no. 1, p. 56, 2019.
- [36] A. Mas, E. Andre, C. Lelandais-Perrault, F. V. dos Santos, and P. Benabes, "Analogue bandwidth mismatch compensation techniques for time-

interleaved adcs using fd-soi technology," *Electronics Letters*, vol. 55, no. 15, pp. 831–833, 2019.

- [37] T.-C. Hung, F.-W. Liao, and T.-H. Kuo, "A 12-bit time-interleaved 400ms/s pipelined adc with split-adc digital background calibration in 4,000 conversions/channel," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 11, pp. 1810–1814, 2019.
- [38] R. J. Baker, CMOS: circuit design, layout, and simulation. John Wiley & Sons, 2008, vol. 1.
- [39] W. Kester, "Understand sinad, enob, snr, thd, thd+ n, and sfdr so you don't get lost in the noise floor," Analog Devices, MT- 003 TUTORIAL, 2009.
- [40] S. R. Khan, A. A. Hashmi, and G. Choi, "A fully digital background calibration technique for m-channel time-interleaved adcs," *Circuits, Systems, and Signal Processing*, vol. 36, no. 8, pp. 3303–3319, 2017.
- [41] H. Chen, Y. Yin, H. Deng, and F. Lin, "A low complexity all-digital background calibration technique for time-interleaved adcs," VLSI Design, vol. 2016, 2016.
- [42] A. Bonnetat, J.-M. Hodé, G. Ferré, and D. Dallet, "Correlation-based frequency-response mismatch compensation of quad-tiadc using real samples," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 8, pp. 746–750, 2015.
- [43] C. Cho, J.-G. Lee, P. D. Hale, J. A. Jargon, P. Jeavons, J. Schlager, and A. Dienstfrey, "Calibration of channel mismatch in time-interleaved

real-time digital oscilloscopes," in *Microwave Measurement Conference* (ARFTG), 2015 85th. IEEE, 2015, pp. 1–5.

- [44] Z. Jiang, L. Zhao, X. Gao, R. Dong, J. Liu, and Q. An, "Mismatch error correction for time interleaved analog-to-digital converter over a wide frequency range," *Review of Scientific Instruments*, vol. 89, no. 8, p. 084709, 2018.
- [45] H. Le Duc, "All-digital calibration techniques of timing skews for undersampling time-interleaved adcs," Ph.D. dissertation, Ph. D. dissertation, COMELEC Department, Telecom-ParisTech, 46 Rue Barrault, 75013, 2015.
- [46] E. Iroaga, B. Murmann, and L. Nathawad, "A background correction technique for timing errors in time-interleaved analog-to-digital converters," in 2005 IEEE International Symposium on Circuits and Systems, May 2005, pp. 5557–5560 Vol. 6.
- [47] P. Satarzadeh, B. C. Levy, and P. J. Hurst, "Bandwidth mismatch correction for a two-channel time-interleaved a/d converter," in 2007 IEEE International Symposium on Circuits and Systems. IEEE, 2007, pp. 1705–1708.
- [48] S.-W. Sin, U.-F. Chio, U. Seng-Pan, and R. P. Martins, "Statistical spectra and distortion analysis of time-interleaved sampling bandwidth mismatch," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 7, pp. 648–652, 2008.
- [49] C. R. Grace, P. J. Hurst, and S. H. Lewis, "A 12 b 80 ms/s pipelined adc with bootstrapped digital calibration," in 2004 IEEE International

Solid-State Circuits Conference (IEEE Cat. No. 04CH37519). IEEE, 2004, pp. 460–539.

- [50] D.-Y. Chang, J. Li, and U.-K. Moon, "Radix-based digital calibration techniques for multi-stage recycling pipelined adcs," *IEEE Transactions* on Circuits and Systems I: Regular Papers, vol. 51, no. 11, pp. 2133–2140, 2004.
- [51] Y.-C. Jenq, "Digital spectra of nonuniformly sampled signals: theories and applications-measuring clock/aperture jitter of an a/d system," *IEEE Transactions on Instrumentation and Measurement*, vol. 39, no. 6, pp. 969–971, 1990.
- [52] L. Kull, T. Toifl, M. Schmatz, P. A. Francese, C. Menolfi, M. Braendli, M. Kossel, T. Morf, T. M. Andersen, and Y. Leblebici, "22.1 a 90gs/s 8b 667mw 64× interleaved sar adc in 32nm digital soi cmos," in 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). IEEE, 2014, pp. 378–379.
- [53] D. V. Stepanovic, "Calibration techniques for time-interleaved sar a/d converters," Ph.D. dissertation, UC Berkeley, 2012.
- [54] W. Li, T. Wang, and G. C. Temes, "Digital foreground calibration methods for sar adcs," in 2012 IEEE International Symposium on Circuits and Systems. IEEE, 2012, pp. 1054–1057.
- [55] S. Roy, H. Basak, and S. Banerjee, "Foreground calibration technique of a pipeline adc using capacitor ratio of multiplying digital-to-analog converter (mdac)," *Microelectronics Journal*, vol. 44, no. 12, pp. 1336– 1347, 2013.

- [56] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, "A 20 gs/s 8 b adc with a 1 mb memory in 0.18/spl mu/m cmos," in 2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. IEEE, 2003, pp. 318–496.
- [57] Y. M. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt,
 P. Flemke, N. Ben-Hamida, D. Pollex, P. Schvan, and S.-C. Wang, "A 40gs/s 6b adc in 65nm cmos," in 2010 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2010, pp. 390–391.
- [58] M. El-Chammas and B. Murmann, "A 12-gs/s 81-mw 5-bit timeinterleaved flash adc with background timing skew calibration," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 838–847, 2011.
- [59] A. Salib, M. F. Flanagan, and B. Cardiff, "A generic foreground calibration algorithm for adcs with nonlinear impairments," *IEEE Transactions* on Circuits and Systems I: Regular Papers, vol. 66, no. 5, pp. 1874–1885, 2018.
- [60] D. Fu, K. C. Dyer, S. H. Lewis, and P. J. Hurst, "A digital background calibration technique for time-interleaved analog-to-digital converters," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1904–1911, 1998.
- [61] J.-E. Eklund and F. Gustafsson, "Digital offset compensation of timeinterleaved adc using random chopper sampling," in 2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for

the 21st Century. Proceedings (IEEE Cat No. 00CH36353), vol. 3. IEEE, 2000, pp. 447–450.

- [62] S. Mendel and C. Vogel, "On the compensation of magnitude response mismatches in m-channel time-interleaved adcs," in 2007 IEEE International Symposium on Circuits and Systems. IEEE, 2007, pp. 3375–3378.
- [63] P. Satarzadeh, B. C. Levy, and P. J. Hurst, "Adaptive semiblind calibration of bandwidth mismatch for two-channel time-interleaved adcs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 9, pp. 2075–2088, 2009.
- [64] P. J. Harpe, J. A. Hegt, and A. H. van Roermund, "Analog calibration of channel mismatches in time-interleaved adcs," *International Journal* of Circuit Theory and Applications, vol. 37, no. 2, pp. 301–318, 2009.
- [65] Y.-T. Wang and B. Razavi, "An 8-bit 150-mhz cmos a/d converter," IEEE Journal of Solid-State Circuits, vol. 35, no. 3, pp. 308–317, 2000.
- [66] A. Haftbaradaran and K. W. Martin, "A sample-time error compensation technique for time-interleaved adc systems," in 2007 IEEE Custom Integrated Circuits Conference. IEEE, 2007, pp. 341–344.
- [67] J.-M. Chou, Y.-T. Hsieh, and J.-T. Wu, "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 5, pp. 984–991, 2006.
- [68] L. Wu and W. C. Black, "A low-jitter skew-calibrated multi-phase clock generator for time-interleaved applications," in 2001 IEEE International

Solid-State Circuits Conference. Digest of Technical Papers. ISSCC (Cat. No. 01CH37177). IEEE, 2001, pp. 396–397.

- [69] K. C. Dyer, D. Fu, S. H. Lewis, and P. J. Hurst, "An analog background calibration technique for time-interleaved analog-to-digital converters," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1912–1919, 1998.
- [70] D. Camarero, K. B. Kalaia, J.-F. Naviner, and P. Loumeau, "Mixedsignal clock-skew calibration technique for time-interleaved adcs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 11, pp. 3676–3687, 2008.
- [71] B. Razavi, "Problem of timing mismatch in interleaved adcs," in *Proceed*ings of the IEEE 2012 Custom Integrated Circuits Conference. IEEE, 2012, pp. 1–8.
- [72] M. Straayer, J. Bales, D. Birdsall, D. Daly, P. Elliott, B. Foley, R. Mason,
 V. Singh, and X. Wang, "27.5 a 4gs/s time-interleaved rf adc in 65nm cmos with 4ghz input bandwidth," in 2016 IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2016, pp. 464–465.
- [73] A. Mas, E. Andre, C. Lelandais-Perrault, F. V. dos Santos, and P. Benabes, "Analog bandwidth mismatch compensation for time-interleaved adcs using fd-soi technology," in 2017 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2017, pp. 1–4.
- [74] C.-Y. Lin, Y.-H. Wei, and T.-C. Lee, "A 10-bit 2.6-gs/s time-interleaved sar adc with a digital-mixing timing-skew calibration technique," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 5, pp. 1508–1517, 2018.

- [75] E. Iroaga, B. Murmann, and L. Nathawad, "A background correction technique for timing errors in time-interleaved analog-to-digital converters," in 2005 IEEE International Symposium on Circuits and Systems. IEEE, 2005, pp. 5557–5560.
- [76] H. Jin and E. K. Lee, "A digital-background calibration technique for minimizing timing-error effects in time-interleaved adcs," *IEEE Trans*actions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 47, no. 7, pp. 603–613, 2000.
- [77] D. Stepanovic and B. Nikolic, "A 2.8 gs/s 44.6 mw time-interleaved adc achieving 50.9 db sndr and 3 db effective resolution bandwidth of 1.5 ghz in 65 nm cmos," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 971–982, 2013.
- [78] C.-C. Huang, C.-Y. Wang, and J.-T. Wu, "A cmos 6-bit 16-gs/s timeinterleaved adc using digital background calibration techniques," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 848–858, 2011.
- [79] Y. Qiu, Y.-J. Liu, J. Zhou, G. Zhang, D. Chen, and N. Du, "All-digital blind background calibration technique for any channel time-interleaved adc," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 8, pp. 2503–2514, 2018.
- [80] S. Chen, L. Wang, H. Zhang, R. Murugesu, D. Dunwell, and A. C. Carusone, "All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 9, pp. 2552–2560, 2017.
- [81] Y.-S. Yin, M.-C. Jian, and H.-M. Chen, "A digital calibration technique for timing mismatch in a four-channel time-interleaved adcs," in 2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). IEEE, 2016, pp. 1546–1548.
- [82] H. Mafi, M. Yargholi, and M. Yavari, "Digital blind background calibration of imperfections in time-interleaved adcs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 6, pp. 1504–1514, 2017.
- [83] R. Zhang, Y. Yin, and M. Gao, "Split-adc based digital background calibration for time-interleaved adc," *Journal of Electronics (China)*, vol. 29, no. 3-4, pp. 302–309, 2012.
- [84] C.-Y. Lin, Y.-H. Wei, and T.-C. Lee, "27.7 a 10b 2.6 gs/s time-interleaved sar adc with background timing-skew calibration," in 2016 IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2016, pp. 468–469.
- [85] C. Vogel, S. Saleem, and S. Mendel, "Adaptive blind compensation of gain and timing mismatches in m-channel time-interleaved adcs," in 2008 15th IEEE International Conference on Electronics, Circuits and Systems. IEEE, 2008, pp. 49–52.
- [86] J. Matsuno, T. Yamaji, M. Furuta, and T. Itakura, "All-digital background calibration for time-interleaved adc using pseudo aliasing signal," in 2012 IEEE International Symposium on Circuits and Systems. IEEE, 2012, pp. 1050–1053.

[87] C. Vogel, "A frequency domain method for blind identification of timing mismatches in time-interleaved adcs," in 2006 NORCHIP. IEEE, 2006, pp. 45–48.